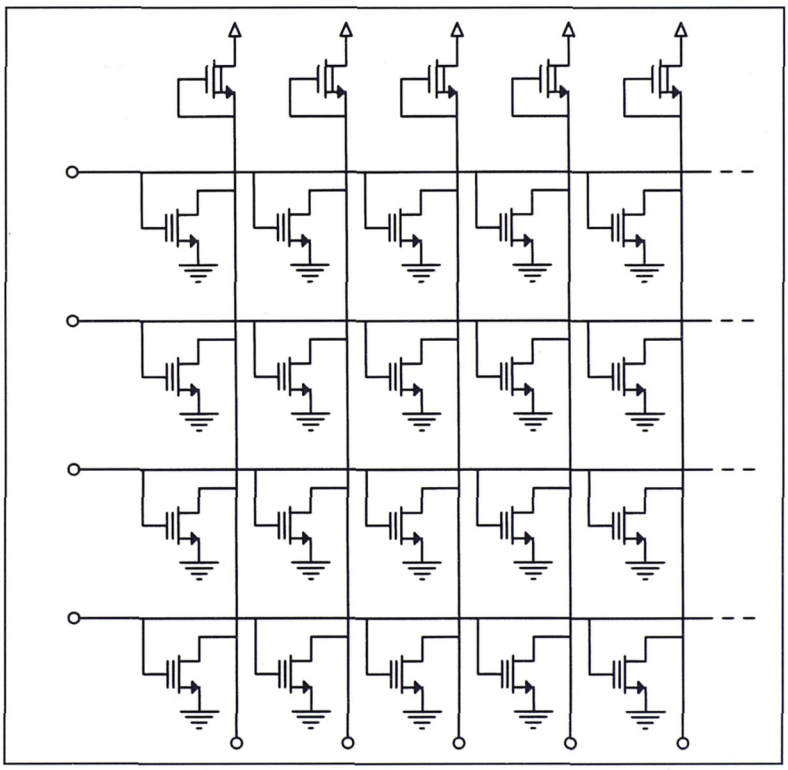
JOSÉ FERNÁNDEZ RAMOS
JOSÉ LUIS DÍAZ LAFUENTE
JORGE ROMERO SÁNCHEZ

DISPOSITIVOS ELECTRÓNICOS PARA ESTUDIANTES DE INFORMÁTICA



UNIVERSIDAD DE MÁLAGA / MANUALES

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

JOSÉ FERNÁNDEZ RAMOS
JOSÉ LUIS DÍAZ LAFUENTE
JORGE ROMERO SÁNCHEZ

DISPOSITIVOS ELECTRÓNICOS PARA ESTUDIANTES DE INFORMÁTICA

UNIVERSIDAD DE MÁLAGA / MANUALES

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

Segunda reimpresión, 2004
Primera reimpresión, 2002
Primera edición, 2001

© Los autores
© Publicaciones y Divulgación Científica. Universidad de Málaga.

Diseño de la colección: J. M. Mercado

ISBN: 84-7496-853-4
Depósito Legal: MA-105/2001

Imprime: Imagraf Impresores, S.A. Tel.: 952 32 85 97



Esta obra está bajo una licencia de Creative Commons
Reconocimiento-NoComercial-SinObraDerivada 4.0 Internacional:
http://creativecommons.org/licenses/by-nc-nd/4.0/legalcode
Cualquier parte de esta obra se puede reproducir sin autorización
pero con el reconocimiento y atribución de los autores.
No se puede hacer uso comercial de la obra y no se puede alterar,
transformar o hacer obras derivadas.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

INDICE

1.- Nociones básicas de Teoría de Circuitos

MAGNITUDES ELÉCTRICAS Y CONCEPTOS FUNDAMENTALES 3
Conceptos básicos de circuitos 3
Leyes de Kirchoff. 4
Potencia Eléctrica. 5
ELEMENTOS BÁSICOS DE CIRCUITO. 5
Elementos pasivos. 5
Resistencia lineal u óhmica. 6
Condensador. 6
Inductancia. 7
Elementos activos. 7
Fuentes independientes. 7
Fuentes controladas. 8
Modelado de elementos de circuito no lineales. 8
ANÁLISIS DE CIRCUITOS. ANÁLISIS DEL PUNTO DE OPERACIÓN 10
Métodos alternativos de análisis. 11
ANÁLISIS DE CIRCUITOS. ANÁLISIS TRANSITORIOS. 13
EJERCICIOS RESUELTOS. 16
Circuitos básicos con resistencias. 16
Divisor de Tension. 16
Divisor de Intensidad 16
Circuitos imposibles 17
Análisis de circuitos 18
Circuito con fuentes independientes. 18
Circuito con fuentes controladas. 20
Circuito con fuentes controladas. 21
Método de Superposición. 22
Método de cálculo de equivalentes. 24

2.- Conceptos básicos de circuitos digitales

SEÑALES ELÉCTRICAS 33
FAMILIAS LÓGICAS 34
CARACTERIZACIÓN DE FAMILIAS LÓGICAS 34

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Característica de transferencia 35
Características de entrada-salida. 36
Inmunidad al ruido. 37
Consumo de energía. 37
e) Velocidad de operación. 38
f) Flexibilidad lógica. 40
g) Capacidad de integración. 41
LA FAMILIA LÓGICA IDEAL. 41

3.- Semiconductores

ESTRUCTURA DE LOS SÓLIDOS. 45
Aislantes. 46
Conductores. 46
Semiconductores. 47
PORTADORES DE CARGA EN SEMICONDUCTORES. 48
SEMICONDUCTORES INTRÍNSECOS Y EXTRÍNSECOS. 50
Ley de acción de masas 51
Ecuación de neutralidad de carga 52
Concentración de portadores 52
Influencia de la temperatura en la concentración de portadores 54
MOVIMIENTOS DE PORTADORES 55
Fenómenos de arrastre. 55
Fenómenos de difusión. 57
Fenómenos de Generación - Recombinación. 58

4.- El diodo de unión P-N

INTRODUCCIÓN 61
LA UNION P-N EN EQUILIBRIO 61
EL DIODO DE UNIÓN P-N 64
Polarización nula. 65
Polarización directa. 66
Polarización inversa. 66
CURVA CARACTERÍSTICA DEL DIODO. 66
EL DIODO COMO ELEMENTO DE CIRCUITO 67
Métodos analíticos. 67
Modelo idealizado. 68
Modelo con tensión umbral. 68

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Modelo linealizado general. 68
Métodos gráficos. 69
OTROS TIPOS DE DIODOS. 69
El diodo Zener. 69
Diodos varactores 71
Diodos emisores de luz (LED). 72
Fotodiodos. 72
Diodos Schottky. 73
EJERCICIOS RESUELTOS 73
Ejercicios de cálculo del punto de trabajo. 73
Ejercicios de característica de transferencia. 80

5.- El transistor bipolar (B.J.T.)

ESTRUCTURA FÍSICA DEL B.J.T. 93
FUNCIONAMIENTO DEL B.J.T. 94
REGIONES DE FUNCIONAMIENTO DEL B.J.T. 97
EL TRANSISTOR BIPOLAR COMO ELEMENTO DE CIRCUITO 98
Configuraciones del transistor bipolar 99
Curvas Características del Transistor Bipolar 100
Polarización y modelos linealizados del B.J.T. 101
Modelo linealizado general. 102
Modelo idealizado. 103
Modelo simplificado 104
EL TRANSISTOR BIPOLAR EN CONMUTACIÓN 107
Familias Lógicas Bipolares 108
Familia RTL (Resistor - Transistor Logic). 108
Familia DTL (Diode Transistor logic) 109
Familia TTL (Transistor Transistor Logic) 111
EJERCICIOS RESUELTOS 116
Ejercicios de cálculo del punto de trabajo. 116
Ejercicios de característica de transferencia. 124
Ejercicios de cálculo del FAN-OUT. 131

6.- El transistor M.O.S.F.E.T.

INTRODUCCIÓN 137
LA ESTRUCTURA M.O.S. 137
MOSFET DE ACUMULACIÓN O ENRIQUECIMIENTO 138

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Zona de Corte 141
Zona Ohmica 142
Zona de Saturación 143
MOSFET DE DEPLEXIÓN O EMPOBRECIMIENTO 143
FAMILIA LÓGICA NMOS 144
Funciones lógicas NMOS 147
FAMILIA LÓGICA CMOS 149
Modelo simplificado de la estructura CMOS 150
Funciones lógicas con CMOS 150
EJERCICIOS RESUELTOS 151
Ejercicios de cálculo del punto de trabajo 151
Ejercicios de característica de transferencia 158
Ejercicios de análisis de la función lógica que realiza un circuito. 170
Ejercicios de síntesis de una función lógica estándar NMOS o CMOS. 173

7.- Memorias de estado sólido

INTRODUCCIÓN 179
MEMORIAS ROM 179
Decodificadores para ROM 183
Otros tipos de ROM 183
MEMORIAS RAM. 185
Memoria RAM estática. 188
Memoria RAM dinámica 189
Memoria RAM estática. 188
Memoria RAM dinámica 189

8.- Procesos tecnológicos de fabricación de circuitos integrados

INTRODUCCIÓN A LOS PROCESOS TECNOLÓGICOS. 195
CRECIMIENTO CRISTALINO Y PREPARACIÓN DE OBLEAS. 196
Obtención del Silicio electrónico (EGS: Electronic-Grade Silicon). 196
Generación del Silicio cristalino: la técnica de crecimiento Czochralski. 197
Obtención de obleas. 198
CRECIMIENTO EPITAXIAL. 199
DEPOSICIÓN DE CAPAS AISLANTES. 200
OXIDACIÓN. 201
DIFUSIÓN. 201
IMPLANTACIÓN IÓNICA. 203

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

LITOGRAFÍA. 203
GRABADO. 205
METALIZACIÓN. 208
PROCESOS DE INTEGRACIÓN DE UN CIRCUITO. 209
Procesos básicos en tecnología bipolar. 209
Procesos básicos en tecnología MOS. 210
Integración de componentes pasivos: resistencias y condensadores. 212
TÉCNICAS DE ENCAPSULADO Y ENSAMBLADO DE CIs. 213
HERRAMIENTAS DE DISEÑO ASISTIDO POR COMPUTADOR. 214

APÉNDICE A.- Cuestionarios de trabajo

ANÁLISIS DE CIRCUITOS 219
CIRCUITOS DIGITALES 225
SEMICONDUCTORES Y DIODO 227
TRANSISTOR BIPOLAR 234
TRANSISTOR MOSFET 242
MEMORIAS 249

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

PRÓLOGO

El presente manual surge de la experiencia didáctica de los autores, profesores del Departamento de Electrónica de la Universidad de Málaga, con el objetivo de proporcionar a los alumnos de los primeros cursos de las Escuelas de Ingeniería Informática unos conocimientos sobre los Dispositivos Electrónicos adaptados tanto en contenidos como en profundidad a las necesidades de su especialidad.

La mayor parte de la bibliografía sobre Dispositivos Electrónicos está compuesta por obras extensas, que cubren en mayor o menor medida todo su campo de aplicaciones, tanto analógicas como digitales. Esta visión tiene la ventaja de ofrecer una perspectiva bastante completa de la electrónica moderna, pero para el alumno que se enfrenta por primera vez a la materia, la gran cantidad de información puede suponer una dificultad importante en la distinción de los conceptos que son realmente básicos de los que no lo son.

Con este manual pretendemos separarnos de esta tendencia, incluyendo únicamente los contenidos teóricos que consideramos imprescindibles, centrados en una descripción mínima de la estructura física y del funcionamiento a nivel microscópico de los dispositivos de estado sólido, junto con los modelos que permiten analizar el comportamiento de estos dispositivos cuando forman parte de un circuito electrónico.

Se le ha dado especial importancia a la descripción de los métodos de análisis de circuitos electrónicos, fundamentalmente el análisis del punto de operación y de la característica de transferencia estática, junto con una introducción al análisis transitorio. No se han incluído los análisis de respuesta en frecuencia y de pequeña señal por ser menos importantes para el estudio de los circuitos digitales. En todo momento se ha tratado de sistematizar al máximo todo el proceso de análisis de circuitos, para evitar en lo posible que la solución de un problema o la comprensión del funcionamiento de un determinado circuito dependan de la aparición de una "idea feliz", hecho que no suele ser muy frecuente en el alumno inexperto.

Como pieza clave para la comprensión de estos métodos de análisis, el grueso de la mayoría de los capítulos está formado por una gran cantidad de **Ejercicios Resueltos**, en los que se muestra paso a paso el desarrollo de dichos métodos en la solución de los problemas. El complemento final a los contenidos del manual lo forman los **Cuestionarios de Trabajo** del Apéndice A. Más que una lista de ejercicios propuestos, estos cuestionarios tratan de ser una guía que oriente el estudio del alumno, proponiéndole cuestiones y problemas de complejidad creciente que

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

sirvan para que él mismo calibre el grado de comprensión que va adquiriendo en cada capítulo.

En cuanto a la distribución de las materias, se comienza con un capítulo dedicado a los fundamentos del análisis de circuitos eléctricos. Se presentan los elementos ideales de circuito y se introduce un concepto fundamental, el del modelado de los dispositivos reales utilizando elementos ideales. Se enuncian las leyes fundamentales de los circuitos (Kirchoff) y se propone un método general de análisis basado en dichas leyes. El conocimiento de este método u otro equivalente es esencial para la correcta comprensión del resto del manual.

El capítulo 2º también es introductorio, definiéndose conceptos básicos referidos a los circuitos digitales como puerta y familias lógicas, FAN-OUT, etc.. Con el estudio de los Semiconductores, materiales con los que se construyen los dispositivos de estado sólido, en el capítulo 3º se entra de lleno en lo que es el núcleo central del manual. El resto de los capítulos se dedican al estudio de los Dispositivos Electrónicos más importantes, el diodo en el 4º, el transistor bipolar en el 5º y el transistor MOS en el 6º. El capítulo 7º se dedica al estudio de diversos tipos de memorias de estado sólido, componentes fundamentales de los Sistemas Digitales. Por último, en el capítulo 8º se exponen de forma sucinta las técnicas de fabricación de circuitos integrados más importantes en la actualidad

A modo de resumen, podemos concretar que el objetivo principal de este manual es proporcionar al alumno unas herramientas que le doten de la capacidad de análisis y comprensión del funcionamiento de los dispositivos que componen la práctica totalidad de los Sistemas Digitales en la actualidad.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

1.- Nociones básicas de Teoría de Circuitos

OBJETIVOS:

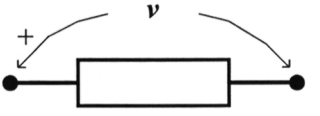
- Clarificar conceptos fundamentales como tensión e intensidad eléctricas.
- Conocimiento de los elementos ideales de circuito y de su utilidad en el modelado de los elementos reales.
- Dominar perfectamente el método general de análisis estático de circuitos eléctricos

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

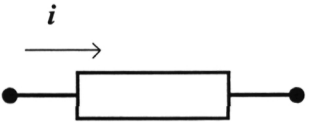
UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

1.1. MAGNITUDES ELÉCTRICAS Y CONCEPTOS FUNDAMENTALES

Tensión (v): Diferencia de potencial eléctrico entre dos puntos de un circuito. El punto desde donde se comienza a medir se señala con un símbolo +. Se mide en voltios (V).



Intensidad (i): Número de cargas eléctricas que circula por un elemento de circuito por unidad de tiempo. La dirección positiva del flujo de cargas se indica con una flecha. Se mide en amperios (A).



La tensión siempre se mide entre dos puntos. La intensidad siempre fluye a través de un elemento y es positiva si va del valor mayor de tensión al valor menor.

Dispositivo electrónico: Elemento con dos o más terminales que establece una relación algebraica o diferencial entre la intensidad que circula por él y la tensión entre sus terminales.

Circuito eléctrico: Conjunto de dispositivos interconectados entre sí que establecen unas determinadas relaciones entre las tensiones e intensidades eléctricas que dependen tanto de la naturaleza de los dispositivos como de la forma en que estén conectados.

1.1.1. Conceptos básicos de circuitos

En un circuito se define:

Conexión: Punto donde se unen dos terminales de elementos.

Nudo: Punto donde se unen más de dos terminales de elementos. Entre dos nudos debe haber al menos un elemento.

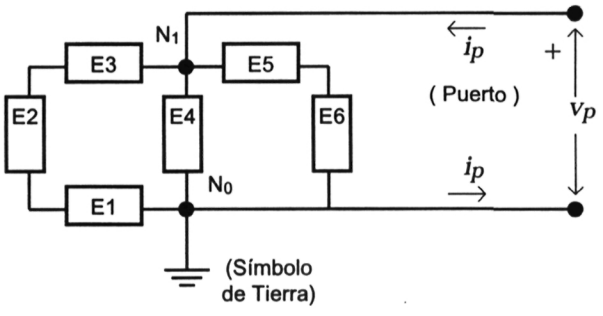
Rama: Conjunto de elementos entre dos nudos.

Malla: Camino cerrado formado por una o más ramas que comienza y termina en un mismo nudo.

Tierra: Un nudo del circuito que se toma como referencia para medir todas las tensiones del circuito. Así, cuando se dice "la tensión en tal punto del circuito" se está refiriendo a la diferencia de potencial entre dicho punto y el nudo de tierra.

Puerto: Par de terminales de un circuito tales que la intensidad que entra por uno de ellos es igual a la que sale por el otro. En un circuito pueden existir puertos

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



Nudos: N_1, N_0 (2)

Ramas: E1-E2-E3, E4, E5-E6 (3)

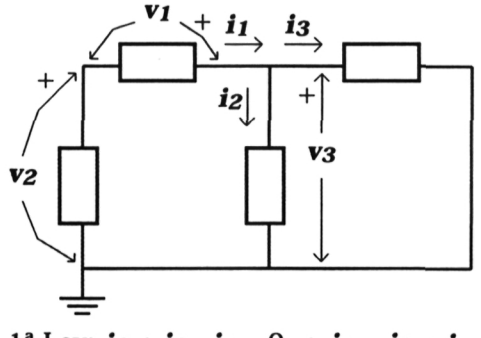
Mallas: E1-E2-E3-E4, E1-E2-E3-E5-E6, E4-E5-E6

que tengan un terminal común; en este caso, la intensidad por este terminal es la suma de las que circulan por los otros terminales de dichos puertos. Los puertos pueden ser de entrada y/o salida.

1.1.2. Leyes de Kirchoff.

Gobiernan el funcionamiento de los circuitos.

1ª Ley (LKI): La Suma de las intensidades que inciden en un nudo es nula o la suma de las intensidades que entran en un nudo es igual a la suma de las intensidades que salen de él.



1ª Ley: $i_2 + i_3 - i_1 = 0 \Rightarrow i_1 = i_2 + i_3$

2ª Ley: $v_1 + v_2 - v_3 = 0 \Rightarrow v_3 = v_1 + v_2$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2ª Ley (LKV): La suma de las tensiones a lo largo de una malla es nula o la tensión entre dos puntos es la misma, independientemente del camino que se utilice para calcularla.

1.1.3. Potencia Eléctrica.

Todo elemento de circuito consume o aporta energía eléctrica durante el funcionamiento del circuito en que se inserta. La magnitud más utilizada en la evaluación del comportamiento energético de un elemento cualquiera es la energía consumida o aportada por unidad de tiempo, es decir, la potencia. La **potencia instantánea** viene dada por la expresión:

$$P_i = \boldsymbol{v} \cdot \boldsymbol{i}$$

Donde **v** es la tensión entre los extremos del elemento e **i** la intensidad que circula por él en el sentido en que se mide la tensión.

La **potencia media** consumida en un intervalo de tiempo t viene dada por:

$$P = \frac{1}{t} \int_0^t \boldsymbol{v}(\tau)\, \boldsymbol{i}(\tau)\, d\tau$$

Si las magnitudes ***v*** e ***i*** son constantes a lo largo del tiempo se dice que la corriente eléctrica es **continua**, coincidiendo en este caso la potencia media y la potencia instantánea. La potencia consumida o aportada por un circuito es igual a la suma de las potencias consumidas o aportadas por sus elementos.

1.2. ELEMENTOS BÁSICOS DE CIRCUITO.

Existen dos clasificaciones fundamentales:

Lineales: Las relaciones que establecen entre ***i*** y ***v*** están dadas por ecuaciones algebraicas o diferenciales lineales.

No lineales: Los que no cumplen lo anterior.

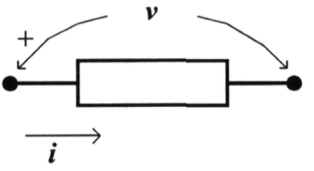
Pasivos: Almacenan o disipan energía eléctrica ($P \geq 0$)

Activos: Generan energía eléctrica a partir de energía química (pilas), mecánica (dinamos), o incluso eléctrica (transistores). ($P < 0$).

1.2.1. Elementos pasivos.

La intensidad siempre circula a través de ellos del valor de tensión mayor al menor, por tanto la potencia siempre es positiva o nula.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



1.2.1.a. *Resistencia lineal u óhmica.*

Establece una relación lineal entre ***i*** y ***v*** conocida como Ley de Ohm.

$$v = i \cdot R$$

El valor de R es función de la temperatura (aumenta al aumentar ésta), aunque a efectos de análisis se considera constante. Su unidad de medida es el ohmio (Ω).



Símbolo de la resistencia

$$1\ \Omega = 1\ \text{V} / 1\ \text{A}.\ [\Omega] = \text{Kg m}^2\ \text{A}^{-2}\ \text{s}^{-3}$$

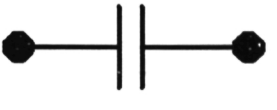
Un conductor ideal es aquel cuya resistencia es 0. Por tanto, aplicando la ley de Ohm, la tensión entre los extremos de un conductor ideal es siempre 0, es decir, **no pueden existir valores diferentes de tensión en un conductor ideal**. Se considera que los terminales de conexión de cualquier elemento se comportan como conductores ideales.

La magnitud inversa de la resistencia se denomina conductancia y se representa por la letra *g*. La conductancia de un conductor ideal es infinita.

1.2.1.b. *Condensador.*

Establece una relación diferencial lineal entre ***i*** y ***v*** dada por la siguiente expresión:

$$i = C\frac{dv}{dt}$$



Símbolo del condensador

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

La constante C se denomina capacidad y se mide en Faradios (F). El valor de esta unidad es muy alto, por lo que los condensadores reales suelen medirse en μF (10^{-6}F), nF(10^{-9}F) o pF (10^{-12}F).

$$1\ F = 1\ C / 1\ V. \quad [F] = Kg^{-1}\ m^{-2}\ A\ s^{4}$$

1.2.1.c. *Inductancia.*

Establece una relación diferencial entre i y v dada por la siguiente expresión:

$$v = L\frac{di}{dt}$$



Símbolo de la inductancia

La constante L se denomina autoinducción y se mide en Henrios.

$$1\ Henrio = 1\ Weber / 1\ A. \quad [Henrio] = Kg\ m^{2}\ s^{-2}\ A^{-2}$$

1.2.2. Elementos activos.

La intensidad siempre circula a través de ellos del valor de tensión menor al mayor, por tanto la potencia siempre es negativa.

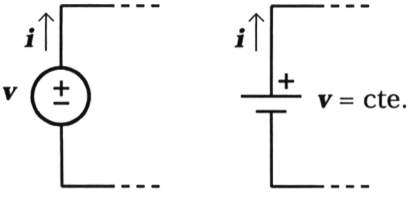
1.2.2.a. *Fuentes independientes.*

a) *De tensión.*

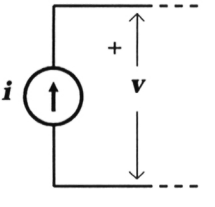
La tensión entre sus extremos está fijada por la propia fuente y es independiente de la intensidad que suministra, que depende del circuito externo.

b) *De intensidad.*

La intensidad que circula por ella está fijada por la propia fuente y es independiente de la tensión entre sus extremos, que depende del circuito externo.



Fuente independiente de tensión



Fuente independiente de intensidad

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

1.2.2.b. *Fuentes controladas.*

a) *De tensión controlada por tensión (FVCV).*

La tensión entre sus extremos es independiente de la intensidad que circula por ella pero es función de la tensión en otro elemento del circuito.

b) *De tensión controlada por intensidad (FVCI).*

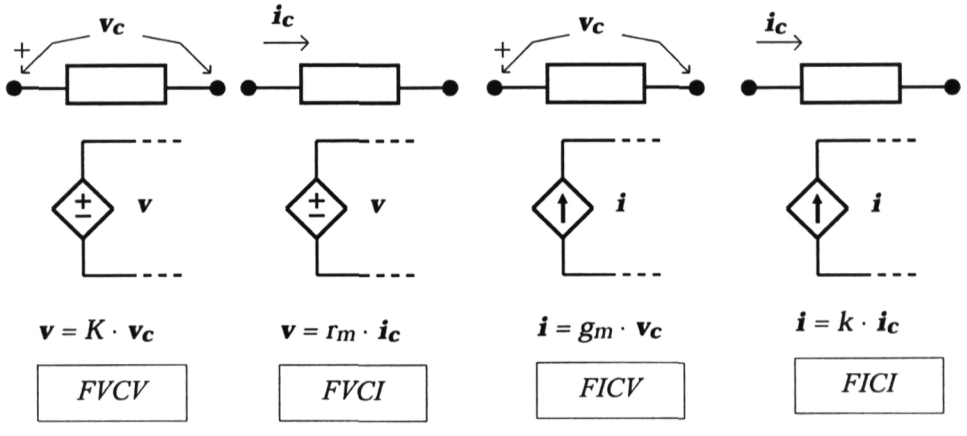
La tensión entre sus extremos es independiente de la intensidad que circula por ella pero es función de la intensidad a través de otro elemento del circuito.

c) *De intensidad controlada por tensión (FICV).*

La intensidad que circula por ella es independiente de la tensión entre sus extremos pero es función de la tensión en otro elemento del circuito.

d) *De intensidad controlada por intensidad (FICI).*

La intensidad que circula por ella es independiente de la tensión entre sus extremos pero es función de la intensidad a través de otro elemento del circuito.



1.2.3. Modelado de elementos de circuito no lineales.

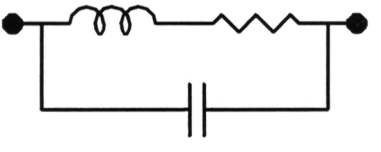
Las características de los elementos de circuito mostrados hasta ahora son una idealización de su comportamiento real. En la práctica, los elementos de circuito descritos no presentan este comportamiento idealizado, sino que las relaciones que establecen entre las magnitudes eléctricas son mucho más complejas, normalmente no lineales, y dependen de otros factores, fundamentalmente de la temperatura.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Además de esto, en un elemento de circuito real no se presenta un comportamiento puramente resistivo ni capacitivo ni inductivo, sino que normalmente se da una mezcla de todos estos comportamientos. Así, por ejemplo, aunque en una resistencia real el comportamiento que predomina claramente es el resistivo, también se dan, aunque en menor grado, los comportamientos inductivo y capacitivo. Esto significa que la ley de Ohm es sólo una aproximación al comportamiento real de la resistencia, que puede dejar de ser válida en circunstancias concretas como por ejemplo cuando la frecuencia de la tensión aplicada en sus extremos es muy elevada.

A pesar de esto, la gran ventaja que presentan estos modelos idealizados es que las relaciones aritméticas que establecen son muy sencillas y por lo tanto fáciles de utilizar para resolver un problema, mientras que si se utilizasen expresiones más de acuerdo con la realidad, la mayor parte de los problemas serían irresolubles analíticamente.

Una solución intermedia a este problema consiste en **modelar** los elementos reales mediante la combinación de elementos ideales. El modelo de un determinado elemento puede variar según las condiciones en que se quiera analizar el circuito (alta frecuencia, baja potencia, etc..) o según el grado de aproximación a la realidad que quiera obtenerse. Esto permite la obtención de resultados más acordes con la realidad manteniendo como base del análisis los elementos ideales. Un ejemplo de esto es el modelo de alta frecuencia de una resistencia, que constaría de la resistencia ideal en serie con una inductancia ideal y todo en paralelo con un condensador ideal.



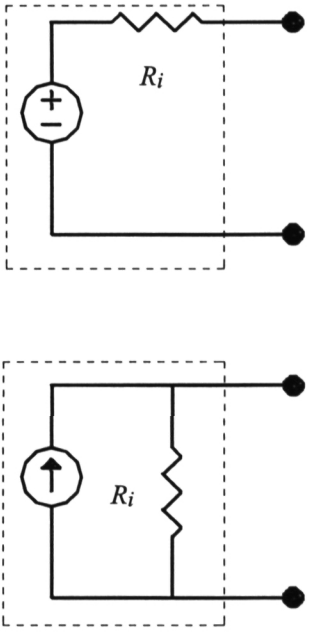
Modelo para alta frecuencia de una resistencia

Otro ejemplo claro de la necesidad de utilizar modelos para los elementos reales lo constituyen las fuentes de alimentación, ya sean de tensión o de intensidad. Las fuentes ideales, tal como han sido definidas son imposibles de obtener en la realidad, ya que si existieran podrían construirse circuitos que violarían las leyes de Kirchoff y, por tanto, las leyes de conservación de la carga y la energía, cosa que es imposible. Esto se mostrará en el apartado "Circuitos imposibles" de los problemas resueltos de este capítulo. Esto no quiere decir que el modelo ideal no sea útil, sino que para representar el comportamiento de una fuente real hay que

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

realizar un modelo que incluya, además de la fuente ideal, otros elementos como resistencias, condensadores o inductancias. El modelo más utilizado es el que supone que toda fuente real consta de una fuente ideal y una resistencia denominada resistencia interna.

El modelado es una técnica esencial cuando se consideran dispositivos cuyo comportamiento es claramente no lineal, como los basados en cristales semiconductores, que son los más importantes en la electrónica actual. La técnica que se utiliza en este caso consiste es dividir su funcionamiento en diferentes zonas y considerar que, en cada una de ellas, el dispositivo puede ser modelado utilizando elementos ideales. Según esto, al dispositivo se le asocia un modelo diferente en cada zona de funcionamiento. Esto se verá más adelante con el diodo y los diferentes tipos de transistor.



Modelos de fuentes independientes reales

1.3. ANÁLISIS DE CIRCUITOS. ANÁLISIS DEL PUNTO DE OPERACIÓN

Consiste en dado un circuito del que se conoce el conexionado y sus elementos, calcular todas sus tensiones e intensidades.

Para hacerlo existen varios métodos. El más genérico se basa en la utilización de las leyes de Kirchoff y las ecuaciones de los elementos. Los pasos a seguir son los siguientes:

1º.- Contabilizar el número de ramas (R) y el número de nudos (N).

2º.- Las incógnitas son: En las ramas donde haya fuentes de intensidad, las **tensiones** de dichas fuentes y en las ramas donde no haya ninguna fuente de intensidad, las **intensidades** de dichas ramas.

3º.- El número de ecuaciones necesarias para resolver el circuito es igual al número de ramas (R) y se eligen de la forma siguiente:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

4º.- Se aplica la 1ª Ley de Kirchoff a todos los nudos menos uno (N-1 ecuaciones)

5º.- Se escogen R-(N-1) mallas de forma que estén englobadas todas las ramas y se aplica la 2ª Ley de Kirchoff a cada una de ellas. Las ecuaciones resultantes deben ser linealmente independientes.

6º.- Se resuelve el sistema de ecuaciones resultante.

1.3.1. Métodos alternativos de análisis.

A veces no se requiere conocer todas las tensiones e intensidades de un circuito, sino sólo algunas de ellas. En este caso pueden aplicarse otros métodos que simplifican el análisis.

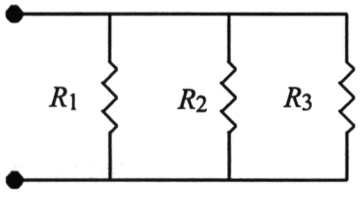
1º.- Circuitos equivalentes.

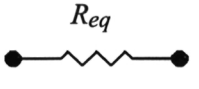
Dados dos circuitos, ambos con un puerto, se dice que son equivalentes con respecto a dicho puerto si cuando se aplica la misma tensión en cada puerto, por ellos circula la misma intensidad. Un ejemplo de esto lo constituye la asociación de resistencias en paralelo y en serie.

1.A.- Equivalente en Thèvenin.

Visto desde un puerto, un circuito compuesto por resistencias y fuentes se comporta de forma análoga a una única fuente de tensión en serie con una única resistencia, cuyos valores vienen dados por:

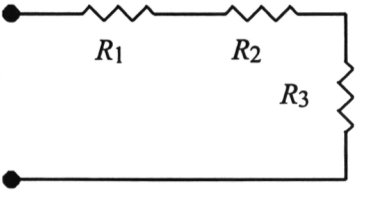
- La tensión de la fuente V_T es igual a la tensión que existe en los extremos del puerto cuando no se conecta a él ningún circuito externo.

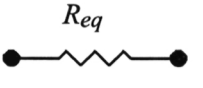




$$\frac{1}{R_{eq}} = \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}$$

Equivalente de resistencias en paralelo

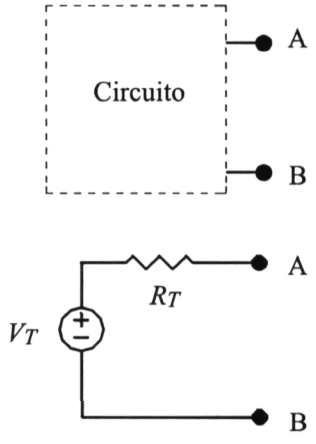




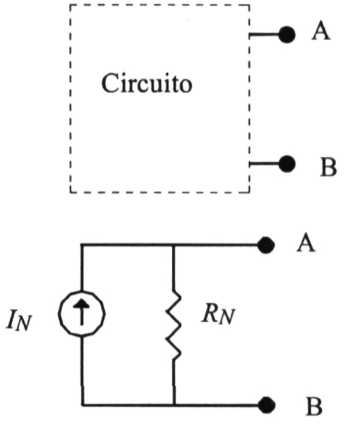
$$R_{eq} = R_1 + R_2 + R_3$$

Equivalente de resistencias en serie

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



Equivalente en Thèvenin
desde el puerto A-B



Equivalente en Norton
desde el puerto A-B

- La R_T es igual a la resistencia equivalente del circuito desde los terminales del puerto obtenida mediante la anulación de todas las fuentes independientes de tensión (sustituyéndolas por un conductor ideal) y de intensidad (eliminándolas directamente) del circuito.

1.B.- Equivalente en Norton.

Visto desde un puerto, un circuito compuesto por resistencias y fuentes se comporta de forma análoga a una única fuente de intensidad en paralelo con una única resistencia, cuyos valores vienen dados por:

- La R_N es igual a la R_T.
- La intensidad de la fuente viene dada por:

$$I_N = V_T / R_T.$$

(Si el circuito contiene fuentes controladas, existen algunos casos especiales en que no es posible la obtención de los equivalentes en Thèvenin o Norton)

2º.- Principio de superposición.

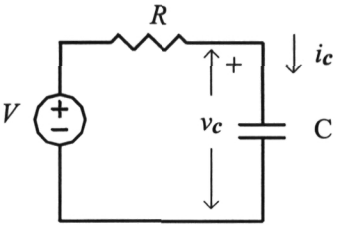
Un circuito compuesto de resistencias y fuentes independientes tiene un comportamiento idéntico a la suma de los comportamientos obtenidos por la acción de cada fuente anulando el resto de ellas. (Ver Ejercicio resuelto 1.5.3.d.)

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

1.4. ANÁLISIS DE CIRCUITOS. ANÁLISIS TRANSITORIOS.

Cuando en un circuito se incluyen condensadores, inductancias o fuentes cuyo valor depende del tiempo, los valores de tensiones e intensidades también dependen del tiempo.

Aquí sólo se va a analizar un caso muy concreto de este problema, que es la carga y descarga de condensadores.



Según la Ley de Ohm y la expresión del condensador, se verifica:

$$i = \frac{v - v_c}{R}; \qquad i = C \cdot \frac{d\,v_c}{d\,t}$$

Igualando ambas expresiones se obtiene una ecuación diferencial lineal:

$$\frac{d\,v_c}{d\,t} + \frac{v_c}{R\,C} - \frac{V}{R\,C} = 0$$

La solución de esta ecuación es de la forma: $v_c = K\,e^{-\alpha t} + \beta$. Para calcular los coeficientes α y β se deriva la expresión anterior y se sustituye en la ecuación, obteniéndose:

$$\frac{d\,v_c}{d\,t} = -\alpha\,K\,e^{-\alpha t} \Rightarrow -\alpha\,K\,e^{-\alpha t} + \frac{K}{R\,C}e^{-\alpha t} + \frac{\beta}{R\,C} - \frac{V}{R\,C} = 0$$

Esto debe cumplirse en todo instante t, por lo que se deduce:

$$-\alpha\,K + \frac{K}{R\,C} = 0 \Rightarrow \alpha = \frac{1}{R\,C} \quad ; \quad \frac{\beta}{R\,C} - \frac{V}{R\,C} = 0 \Rightarrow \beta = V$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

El valor de K se calcula de la condición inicial: $v_0 = v_c$ ($t = 0$):

$$v_0 = K e^{-0/RC} + V = K + V \Rightarrow K = v_0 - V$$

$$\Rightarrow \quad v_c = (v_0 - V) e^{-t/RC} + V$$

$$i_c = \frac{V - v_c}{R} \Rightarrow i_c = \frac{V - v_0}{R} e^{-t/RC}$$

* Casos particulares:

a) Carga del condensador.

Se considera que la tensión inicial es de 0 voltios, por lo que $v_0 = 0$ V y las expresiones anteriores quedan:

$$v_c = V (1 - e^{-t/RC})$$

$$i_c = \frac{V}{R} e^{-t/RC}$$

b) Descarga del condensador.

No existe fuente de tensión, lo que equivale a decir que vale 0 voltios (V = 0) o que se ha sustituido por un conductor ideal y la tensión inicial en el condensador es distinta de 0:

$$v_c = v_0 e^{-t/RC}$$

$$i_c = -\frac{v_0}{R} e^{-t/RC}$$

* Parámetros temporales de la carga y la descarga.

El producto de la resistencia por el condensador en un circuito de carga o descarga tiene dimensión de tiempo, y se denomina constante de tiempo del circuito ($\tau = RC$). En un proceso de carga o descarga se definen los siguientes parámetros:

Tiempo de subida (t_r).- En un condensador inicialmente descargado, es el tiempo transcurrido desde que la tensión en sus extremos tiene un valor igual al 10 % del valor de la tensión de la fuente hasta que alcanza el 90 % de dicho valor.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Tiempo de caída (t_f).- En un proceso de descarga de un condensador, se define como el tiempo transcurrido desde que su tensión tiene un valor igual al 90 % de la tensión inicial hasta que alcanza el 10 % de dicho valor.

Los retrasos que se dan en los circuitos digitales tienen su origen fundamentalmente en fenómenos capacitivos equivalentes a la carga y descarga de condensadores, por lo que estos parámetros son muy útiles para modelar dichos retrasos.

* Cálculo de los tiempos de subida y caída.

a) En el proceso de carga:

$$v_c = V\,(1 - e^{-t/\tau})\,.$$

En el 10 % del valor de V se cumple:

$$0{,}1\ \mathrm{V} = V\,(1 - e^{-t1/\tau}) \Rightarrow 0{,}1 = 1 - e^{-t1/\tau} \Rightarrow e^{-t1/\tau} = 0{,}9 \Rightarrow$$

$$\Rightarrow -\frac{t_1}{\tau} = \ln 0{,}9 \Rightarrow t_1 = -\tau \ln 0{,}9 \approx 0{,}1\,\tau$$

En el 90 % del valor de V se cumple:

$$0{,}9\ \mathrm{V} = V\,(1 - e^{-t2/\tau}) \Rightarrow t_2 = -\tau \ln 0{,}1 \approx 2{,}3\,\tau$$

$$t_r = t_2 - t_1 = 2{,}3\,\tau - 0{,}1\,\tau \Rightarrow t_r = 2{,}2\,\tau$$

Puede comprobarse que en $t = 3\,\tau$, la carga alcanza el 95 % del total y en $t = 5\tau$ el 99 %.

b) En el proceso de descarga:

$$v_c = v_0\, e^{-t/\tau}$$

$$90\ \% \rightarrow \quad 0{,}9\, v_0 = v_0\, e^{-t1/\tau} \Rightarrow e^{-t1/\tau} = 0{,}9 \Rightarrow t_1 = -\tau \ln 0{,}9 \approx 0{,}1\,\tau$$

$$10\ \% \rightarrow \quad 0{,}1\, v_0 = v_0\, e^{-t2/\tau} \Rightarrow t_2 = -\tau \ln 0{,}1 \approx 2{,}3\,\tau$$

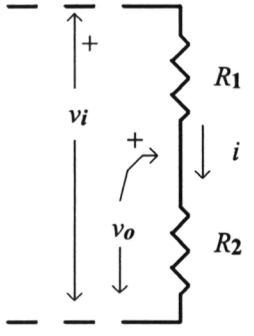
$$\Rightarrow \quad t_f = t_2 - t_1 \Rightarrow t_f = 2{,}2\,\tau \ ;\ \text{Se comprueba que } t_f = t_r$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

1.5. EJERCICIOS RESUELTOS.

1.5.1. Circuitos básicos con resistencias.

1.5.1.a. *Divisor de Tensión.*



a) Se aplica la Ley de Ohm a R_1 y R_2 y la LKV.

$$v_o = i\,R_2 \;\; ; \;\; v_i - v_o = i\,R_1$$

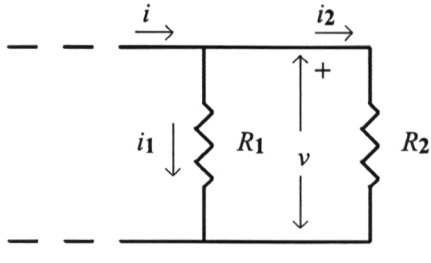
b) Se despeja i en función de v_i

$$v_i - i\,R_2 = i\,R_1 \;\Rightarrow\; i = \frac{v_i}{R_1 + R_2}$$

c) Se calcula v_o sustituyendo el valor de i:

$$v_o = \frac{R_2}{R_1 + R_2}\; v_i$$

1.5.1.b. *Divisor de Intensidad*



a) Ley de Ohm:

$$i_1 = \frac{v}{R_1} \;\; ; \;\; i_2 = \frac{v}{R_2}$$

b) Despeje y sustitución:

$$v = i_1\,R_1 \;\Rightarrow\; i_2 = i_1\;\frac{R_1}{R_2}$$

c) LKI:

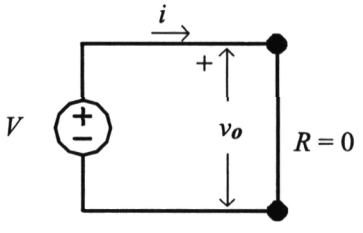
$$i = i_1 + i_2 = i_1\;(1 + \frac{R_1}{R_2}) \;\Rightarrow\; i_1 = i\frac{R_2}{R_1 + R_2} \;\; ; \;\; i_2 = i\frac{R_1}{R_1 + R_2}$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

1.5.2. Circuitos imposibles

El hecho de contemplar modelos idealizados de los elementos de circuito, en concreto de las fuentes de alimentación, puede dar lugar a construcciones de circuitos imposibles, ya que violan alguna de las leyes de Kirchoff. Las siguientes figuras muestran cuatro construcciones de circuito imposibles.

- Circuito 1º:

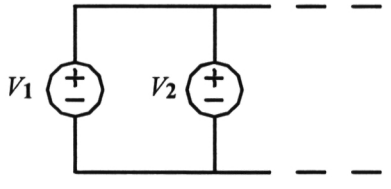


$R = 0 \Rightarrow v_o = 0$. Por LKV, $V = v_o \Rightarrow V = 0$

$\Rightarrow$ Cualquier valor de V distinto de 0 hace que no se verifique la 2ª Ley de Kirchoff, es, decir, hace que el circuito sea imposible. Esto también puede verse de la forma siguiente:

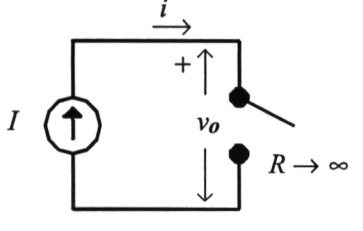
Si $V \neq 0 \Rightarrow i = \frac{V}{0} \rightarrow \infty \Rightarrow$ IMPOSIBLE.

- Circuito 2º:



Aplicando LKV, $V_1 - V_2 = 0 \Rightarrow$ para todo valor de V_2 distinto de V_1 no se cumple esta ley, por lo que el circuito es imposible.

- Circuito 3º:

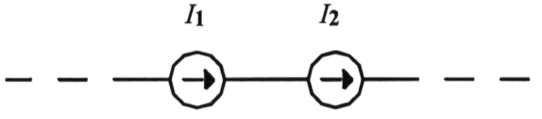


Por LKI, $i = I$, pero por causa del circuito abierto, $i = 0$, por lo que este circuito es imposible para todo valor de I diferente de 0.

Otra forma de ver esto es que si $I \neq 0$, entonces se daría que $v_o = I\ R \rightarrow \infty \Rightarrow$ IMPOSIBLE.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

- Circuito 4º:

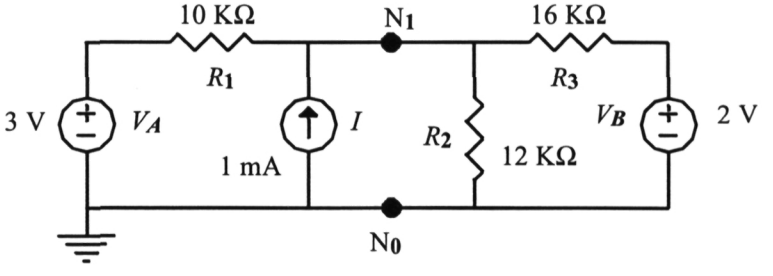


Al no existir ningún nudo en la conexión de I_1 con I_2, por LKI, $I_1 = I_2 \Rightarrow$ para todo valor de I_2 distinto de I_1 no se cumple esta ley, por lo que el circuito es imposible.

1.5.3. Análisis de circuitos

Método general

1.5.3.a. *Circuito con fuentes independientes.*



0º.- Homogeneidad dimensional.

Todos los valores de las resistencias y fuentes deben expresarse en unidades del Sistema Internacional o derivadas de forma correcta para que puedan ser ignoradas al establecer las ecuaciones. Así, si la tensión se expresa en voltios y la intensidad en amperios, el valor de las resistencias debe darse en ohmios, pero si las intensidades se expresan en miliamperios, la resistencia habrá que expresarla en kiloohmios para que los resultados sean correctos. Las unidades que mejor se adaptan a la mayoría de los circuitos son:

Tensión : voltios (V)

Intensidad : miliamperios (mA)

Resistencia : kiloohmios (KΩ)

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

1º.- Nudos, ramas y mallas.

nº ramas = 4 (V_A - R_1, I, R_3 y R_2 - V_B) $\Rightarrow$ son necesarias 4 ecuaciones

nº nudos = 2 (N_0 y N_1) $\Rightarrow$ 1 ecuación de nudos y 4 - 1 = 3 ecuaciones de mallas.

Hay que elegir las mallas de forma que incluyan a todas las ramas. Una posible elección es:

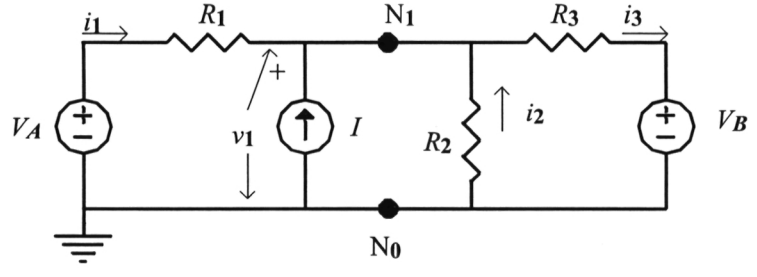
$M_1 \rightarrow$ (V_A - I - R_1)

$M_2 \rightarrow$ (I - R_2)

$M_3 \rightarrow$ (R_3 - V_B - R_2)

2º.- Incógnitas : $\boldsymbol{i_1}$, $\boldsymbol{i_2}$, $\boldsymbol{i_3}$, $\boldsymbol{v_1}$

Tanto el sentido de las intensidades como la polaridad de las tensiones se eligen arbitrariamente. Lo que varía de elegirlas de una forma u otra es el signo del resultado final.



3º.- LKI al nudo N_1:

$$\boldsymbol{i_1} + 1 + \boldsymbol{i_2} - \boldsymbol{i_3} = 0 \qquad (1)$$

4º.- LKV a las 3 mallas:

$M_1 \rightarrow 3 - \boldsymbol{v_1} - 10\,\boldsymbol{i_1} = 0 \qquad (2)$

$M_2 \rightarrow \boldsymbol{v_1} + 12\,\boldsymbol{i_2} = 0 \qquad (3)$

$M_3 \rightarrow -12\,\boldsymbol{i_2} - 2 - 16\,\boldsymbol{i_3} = 0 \qquad (4)$

5º.- Solución del sistema por cualquiera de los métodos usuales.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

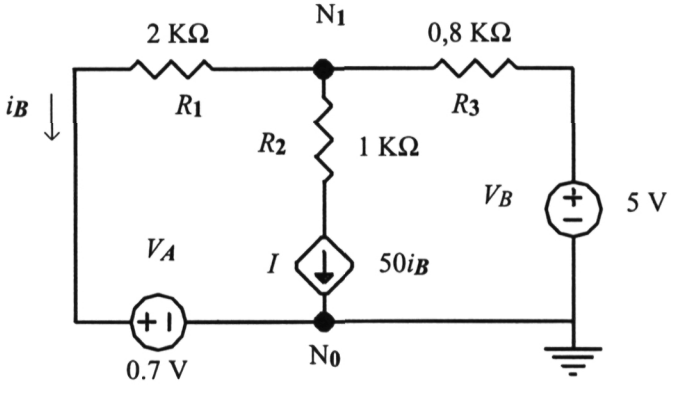
$i_1 \approx -0{,}280$ mA

$i_2 \approx -0{,}483$ mA

$i_3 \approx 0{,}237$ mA

$v_1 \approx 5{,}8$ V

1.5.3.b. ***Circuito con fuentes controladas.***



1°.- Nudos, ramas y mallas.

nº ramas = 3 $\Rightarrow$ 3 ecuaciones

nº nudos = 2 $\Rightarrow$ 1 ecuación de nudos y 2 ecuaciones de mallas.

$M_1 \rightarrow (V_A - I - R_2 - R_1)$

$M_2 \rightarrow (V_A - V_B - R_3 - R_1)$

2°.- Incógnitas : i_B, v_1, i_1

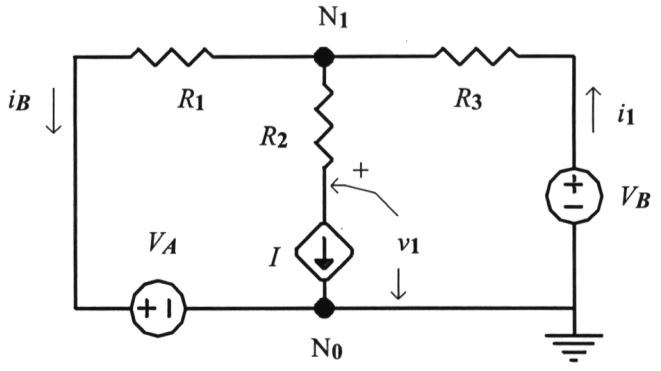
En este caso, la intensidad por la rama V_A - R_1 es la que controla a la fuente I, por lo que conviene tomarla como incógnita tal como está.

3°.- LKI al nudo N_1:

$$i_1 - i_B - 50\, i_B = 0 \qquad (1)$$

4°.- LKV a las dos mallas:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



$M_1 \rightarrow \quad 0{,}7 - v_1 - 50\, i_B + 2\, i_B = 0 \qquad (2)$

$M_2 \rightarrow \quad 0{,}7 - 5 + 0{,}8\, i_1 + 2\, i_B = 0 \qquad (3)$

5º.- Solución.

(1) $\Rightarrow i_1 = 51\, i_B$; Sustituyendo en (3):

$$-4{,}3 + 0{,}8 \cdot 51\, i_B + 2\, i_B = 0 \Rightarrow i_B = \frac{4{,}3}{42{,}8} \approx 0{,}1 \text{ mA};$$

$$i_1 = 51 \frac{4{,}3}{42{,}8} \approx 5{,}12 \text{ mA};$$

Sustituyendo en (2):

$$v_1 = 0{,}7 - 48 \frac{4{,}3}{42{,}8} \approx -4{,}12 \text{ V}$$

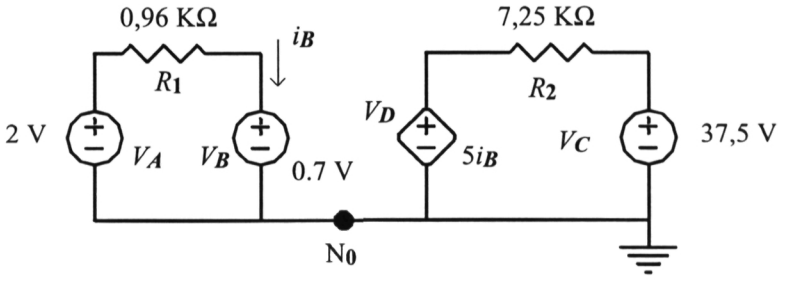
En resumen : $v_1 = -4{,}12$ V ; $i_1 = 5{,}12$ mA ; $i_B = 0{,}1$ mA

1.5.3.c. ***Circuito con fuentes controladas.***

nº nudos = 1
nº ramas = 2
} $\Rightarrow$ 2 ecuaciones de mallas y ninguna de nudos.

No hay fuentes de intensidad $\Rightarrow$ incógnitas: i_B, i_1

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



Ecuaciones:

$$M_1 \rightarrow (V_A - V_B - R_1) \Rightarrow 2 - 0{,}7 - 0{,}96\, i_B = 0 \qquad (1)$$

$$M_2 \rightarrow (V_D - V_C - R_2) \Rightarrow 5\, i_B - 37{,}5 + 7{,}25\, i_1 = 0 \qquad (2)$$

Solución:

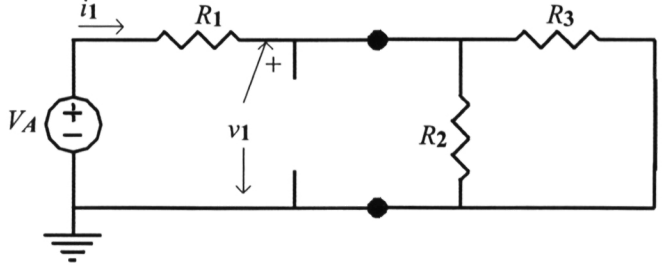
$$(1) \Rightarrow i_B = \frac{1{,}3}{0{,}96} \approx 1{,}35 \text{ mA}$$

$$(2) \Rightarrow i_1 = \frac{-5 i_B + 37{,}5}{7{,}25} \approx 4{,}24 \text{ mA}$$

1.5.3.d. ***Método de Superposición.***

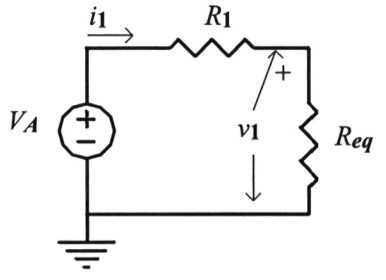
Se considera el mismo circuito que en el ejercicio 1.5.3.a., pero ahora no se pide que se resuelva completamente, sino sólo que se calcule la tensión v_1 y la intensidad i_1. Esto puede hacerse mediante el método de superposición siguiendo los pasos que se describen a continuación:

1°.- Se anulan las fuentes I y V_B, quedando el siguiente circuito:



Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Se reduce el circuito de forma que **no queden afectadas las magnitudes que se quieren medir**. En este caso se quiere medir $\mathbf{v_1}$ por lo que las conexiones entre las que se mide no pueden desaparecer con la reducción. Esto significa que pueden reducirse las resistencias R_2 y R_3, pero no la R_1, ya que desaparecería una de las conexiones donde se mide $\boldsymbol{v_1}$. El circuito equivalente queda:



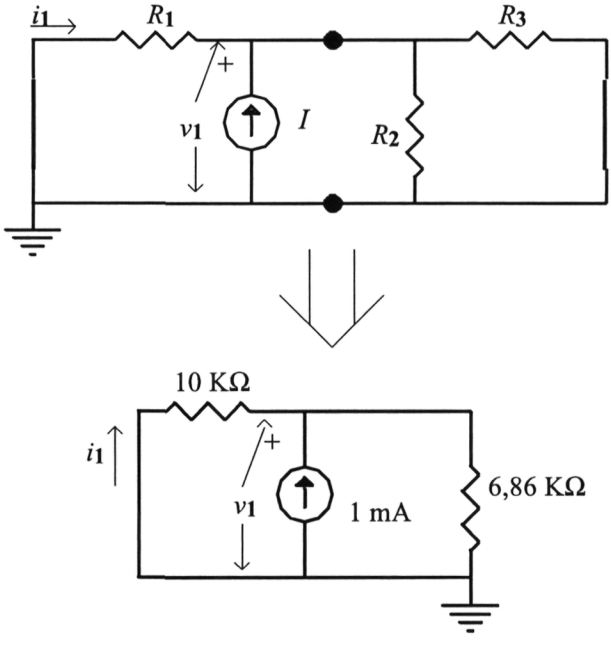
$$\frac{1}{R_{eq}} = \frac{1}{R_2} + \frac{1}{R_3} \Rightarrow R_{eq} = 6{,}86\ \text{K}\Omega$$

$$\boldsymbol{v_1} = 3\,\frac{6{,}86}{10 + 6{,}86} \quad \text{(divisor de tensión)}$$

$$\Rightarrow \quad \boldsymbol{v_1} = 1{,}22\ \text{V} \qquad (1)$$

$$i_1 = \frac{3}{10 + 6{,}86} \approx 0{,}18\ \text{mA} \qquad (2)$$

2º.- Se anulan V_A y V_B, quedando:

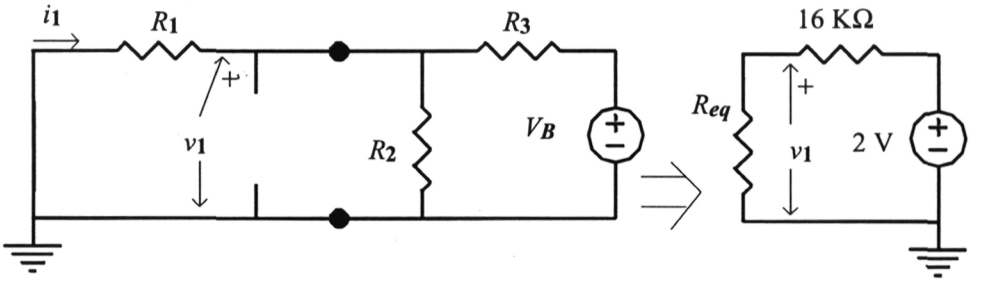


Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$i_1 = -1 \frac{6{,}86}{10 + 6{,}86} \text{ (divisor de intensidad)} \Rightarrow i_1 = -0{,}41 \text{ mA} \quad (3)$$

$$v_1 = -i_1 R_1 \Rightarrow v_1 = 4{,}07 \text{ V} \quad (4)$$

3º.- Se anulan V_A e I, quedando:



$$\frac{1}{R_{eq}} = \frac{1}{R_1} + \frac{1}{R_3} \Rightarrow R_{eq} = 5{,}45 \text{ K}\Omega$$

$$v_1 = 2 \frac{5{,}45}{16 + 5{,}45} \Rightarrow v_1 = 0{,}51 \text{ V} \quad (5)$$

$$i_1 = \frac{-v_1}{R_1} \Rightarrow i_1 = -0{,}05 \text{ mA} \quad (6)$$

4º.- Se calcula el resultado final sumando los resultados parciales.

$$v_1 = (1) + (4) + (5) \Rightarrow v_1 = 5{,}8 \text{ V}$$

$$i_1 = (2) + (3) + (6) \Rightarrow i_1 = -0{,}28 \text{ mA}$$

Se comprueba que estos resultados coinciden con los del ejercicio 1.5.3.a.

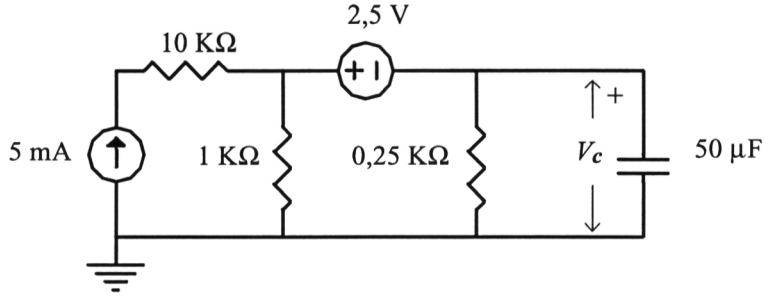
1.5.3.e. ***Método de cálculo de equivalentes.***

En gran cantidad de circuitos, el cálculo del equivalente en Thèvenin o Norton simplifica en gran medida el análisis. Esto también suele utilizarse cuando se quiere calcular una única tensión o intensidad en el circuito.

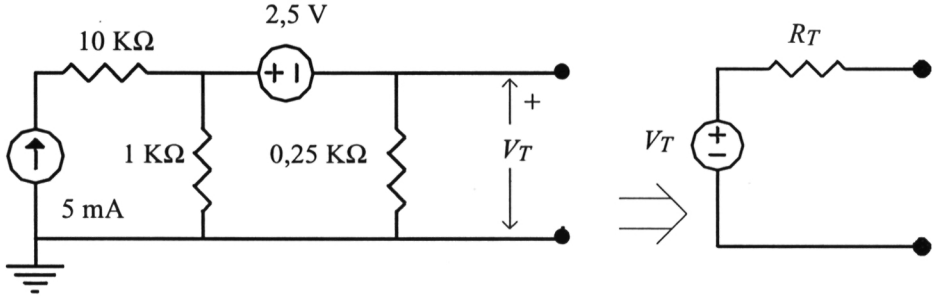
1º.- Cálculo del equivalente en Thèvenin.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Se debe calcular el valor de la tensión V_c (t) en el circuito de la figura considerando que en $t = 0$, V_c $(t = 0) = V_0 = 0$ V.

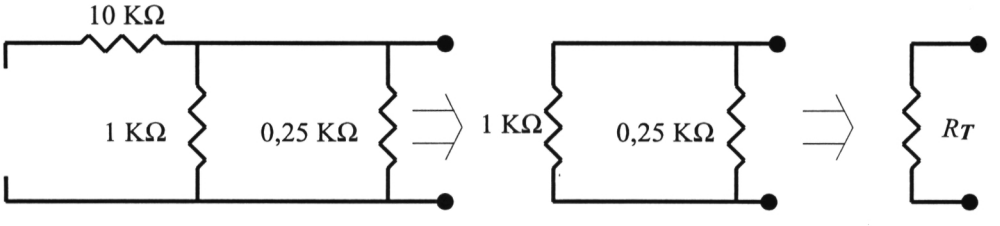


1º.- Conviene calcular el equivalente en Thèvenin del siguiente circuito, que es el circuito original en el que se ha eliminado el condensador, quedando un puerto de salida cuya tensión es precisamente la que se quiere calcular, V_c. De esta forma, el circuito puede reducirse al que ya se ha visto anteriormente, que contiene únicamente una fuente de tensión, una resistencia y un condensador, pudiéndose aplicar directamente las expresiones halladas para dicho circuito.



a) Cálculo de la R_T.

Se anulan todas las fuentes y se calcula la resistencia equivalente.

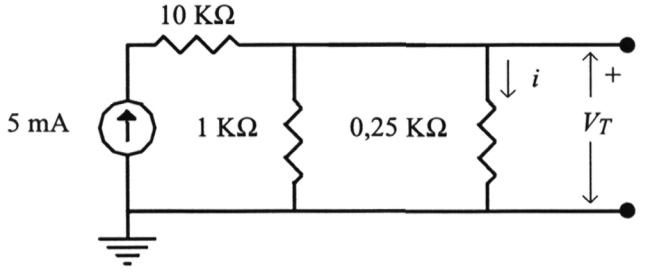


Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\frac{1}{R_T} = \frac{1}{1} + \frac{1}{0{,}25} \Rightarrow R_{eq} = 0{,}2\ \text{K}\Omega$$

b) Cálculo de la V_T.
Se calculará mediante el método de Superposición.

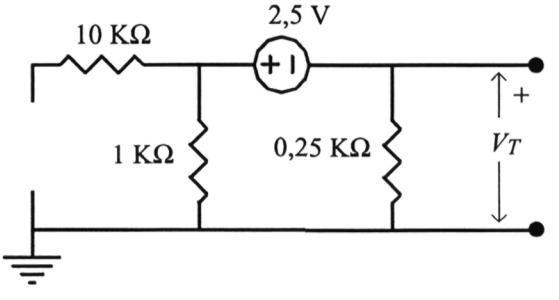
b1.- Se anula la fuente de tensión:



El circuito resultante es un divisor de intensidad, de lo que se deduce:

$$i = 5\ \frac{1}{1 + 0{,}25} = 4\ \text{mA}\ ;\ V_T = 0{,}25\, i \Rightarrow V_T = 1\ \text{V} \qquad (1)$$

b2.- Se anula la fuente de intensidad:



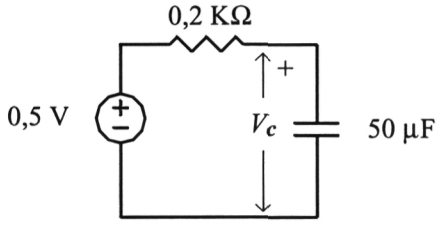
Teniendo en cuenta que la resistencia de 10 KΩ tiene un terminal desconectado, lo que equivale a que no existe, el circuito es un divisor de tensión, por lo que el valor de V_T puede determinarse directamente a partir de su expresión.

$$V_T = -2{,}5\ \frac{0{,}25}{1 + 0{,}25} = -0{,}5\ \text{V} \qquad (2)$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

b3.- El resultado final es $V_T = (1) + (2) = 1 - 0{,}5 = 0{,}5$ V

El circuito que resulta una vez se ha sustituido por el equivalente en Thévenin es:



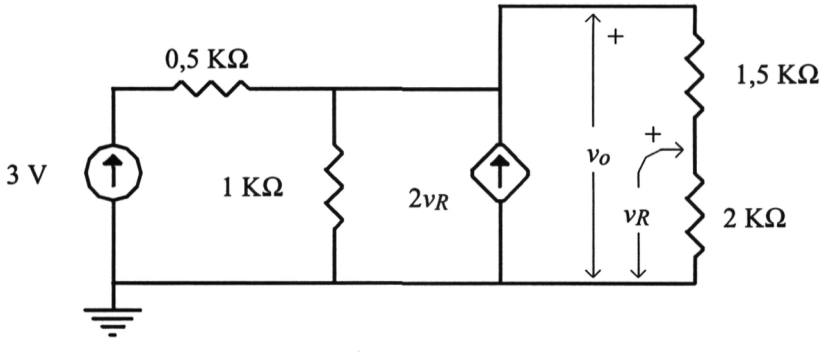
$RC = 0{,}2\ \text{K}\Omega \cdot 50\ \mu\text{F} = 0{,}2 \cdot 10^3\ \Omega \cdot 50 \cdot 10^{-6}\ \text{F} = 10 \cdot 10^{-3}\ \text{s} \Rightarrow \text{RC} = 10\ \text{ms}$;

$V_0 = 0$ V $\Rightarrow$ es un proceso de carga $\Rightarrow$

$\Rightarrow \quad \boldsymbol{V_c\,(t)} = 0{,}5\,(1 - e^{-t/10})$ (t expresado en ms)

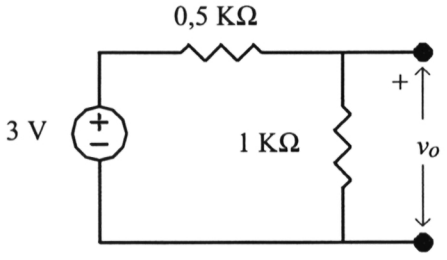
2º.- Cálculo del equivalente en Norton.

Se quiere calcular el valor de la tensión v_o en el circuito de la figura.



a) Se calcula el equivalente en Thèvenin de una parte del circuito:

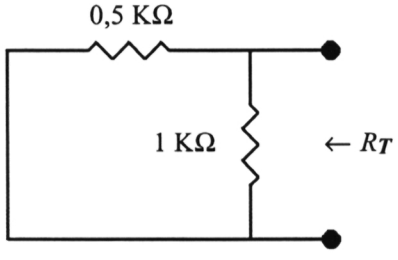
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



$$V_T = 3\frac{1}{1+0,5}$$

(divisor de tensión)

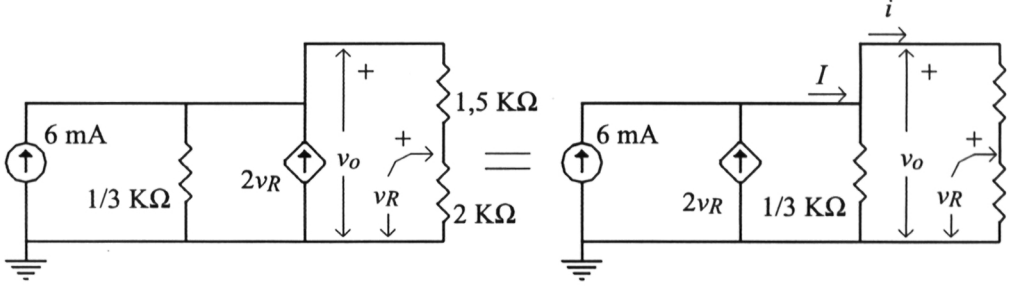
$$\Rightarrow \quad V_T = 2 \text{ V}$$



$$R_T = \frac{0,5 \cdot 1}{0,5+1} = \frac{1}{3} \text{ KΩ}$$

2º.- A partir del equivalente en Thèvenin se obtiene el equivalente en Norton y se sustituye en el circuito.

$$R_N = R_T = \frac{1}{3} K\Omega \quad ; \quad I_N = \frac{V_T}{R_T} = 6 \text{ mA}$$



El circuito es un divisor de intensidad, por lo que se tiene:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$I = 6 + 2\,v_R \;\; ; \;\; i = I\frac{1/3}{1/3 + 1{,}5 + 2} = \frac{6 + 2\,v_R}{11{,}5} \;\; ;$$

Por otra parte: $v_R = 2\,i$ (Ley de Ohm) $\Rightarrow \; i = \dfrac{6 + 4\,i}{11{,}5} = \dfrac{6}{7{,}5} = 0{,}8$ mA ;

$$v_o = i\,(1{,}5 + 2) \qquad \Rightarrow \; v_o = 2{,}8 \text{ V}$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

2.- Conceptos básicos de circuitos digitales

OBJETIVOS

- Asimilación del concepto fundamental de Señal eléctrica y la diferencia entre señal analógica y digital.
- Comprensión de los conceptos de puerta y familia lógicas.
- Conocer los parámetros que permiten la comparación de las diferentes familias lógicas

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

2.1. SEÑALES ELÉCTRICAS

Se entiende por señal eléctrica a la representación de la variación de una magnitud eléctrica (tensión o intensidad) frente al tiempo. La magnitud más utilizada es la tensión. Este concepto es interesante en tanto en cuanto es susceptible de **representar una información**.

Desde este punto de vista puede establecerse la siguiente clasificación:

- ***Señal analógica:*** Todos los valores de tensión o intensidad comprendidos entre un máximo y un mínimo que el sistema receptor de la señal sea capaz de discriminar son significativos a la hora de interpretar la información que representa la señal.
- ***Señal digital binaria:*** Sólo son significativos los valores de tensión o intensidad comprendidos en dos intervalos de tensión diferentes. A todos los valores dentro de cada uno de los intervalos se les asocia un mismo valor lógico, normalmente uno y cero.

La cantidad de información que puede representar una señal depende del número de valores diferentes que se puedan discriminar y de la frecuencia con la que cambian esos valores. Según esto, puesto que la señal analógica presenta muchos más valores significativos, a igual frecuencia de variación una señal analógica porta una mayor cantidad de información que una señal digital, pero esta información es mucho menos inmune a fenómenos externos como el ruido que la señal digital.

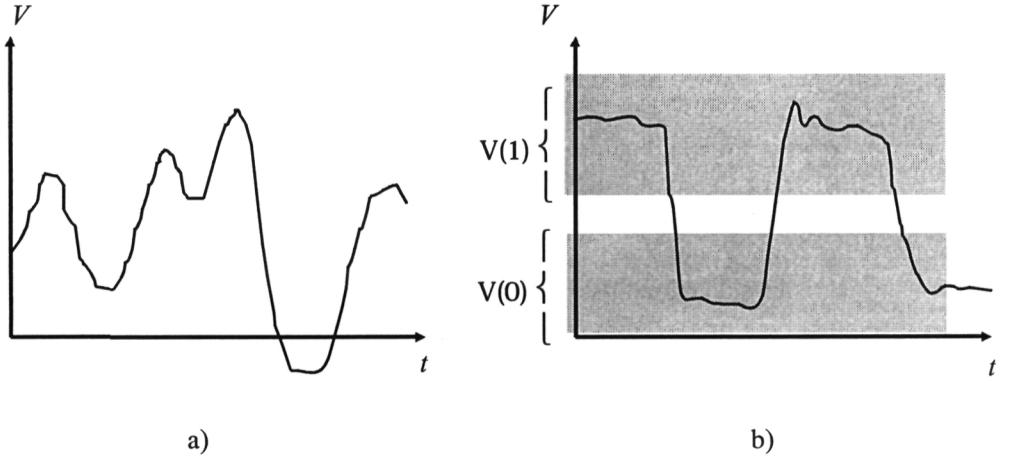


Figura 2.1.- Ejemplos de señales: a) analógica, b) digital

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2.2. FAMILIAS LÓGICAS

Una ***puerta lógica*** es un circuito electrónico con uno o varios puertos de entrada y uno o varios puertos de salida que proporciona señales digitales en sus salidas cuando a sus entradas se aplican señales digitales, de forma que cada salida representa una función booleana de las señales de entrada.

Normalmente, los circuitos digitales toman la energía de una fuente independiente de tensión continua, denominada fuente de alimentación, de forma que el terminal de masa del circuito coincide con el polo negativo de dicha fuente y es un terminal común a todos los puertos de entrada y salida.

Existen distintas posibilidades de implementar una misma función lógica, es decir, diferentes circuitos pueden realizar la misma función pero normalmente tendrán características eléctricas diferentes.

Un conjunto de circuitos, cada uno de los cuales implementa una función booleana diferente, pertenece a una misma ***FAMILIA LÓGICA*** si tienen en común las siguientes características:

- Tipo de elemento activo (transistores) con que está realizado.
- Estructura de circuito característica. Una parte del circuito, normalmente la de entrada o la de salida tiene una topología común.
- Tecnología utilizada en la fabricación.

  Una familia siempre debe incluir una puerta NAND o una puerta NOR.

2.3. CARACTERIZACIÓN DE FAMILIAS LÓGICAS

Para poder comparar las prestaciones de los diferentes circuitos que realizan una misma función lógica o lo que es lo mismo, para poder comparar las diferentes familias lógicas, hay que establecer una serie de criterios que permitan realizar dicha comparación. Los más importantes son:

- Característica de transferencia.
- Características de entrada-salida.
- Inmunidad al ruído.
- Consumo de energía.
- Velocidad de operación.
- Flexibilidad lógica.
- Capacidad de integración.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2.3.1. Característica de transferencia

Dado un circuito con un puerto de entrada y otro de salida, la característica de transferencia consiste en representar gráficamente la tensión de salida V_o en función de la tensión de entrada V_i cuando ésta toma todos los valores de su rango de variación. Dicho rango de variación coincide normalmente con el valor de tensión de la fuente de alimentación.

Para comparar la característica de transferencia de dos familias lógicas se elige como representante de cada una al circuito que realice la inversión lógica. Una característica típica de un inversor se representa en la figura de la página anterior. A partir de esta característica se deducen los rangos de tensión correspondientes a los valores de 0 y 1 lógicos de la forma siguiente:

Se trazan las dos líneas tangentes a la curva cuya pendiente sea -1. Las tensiones de entrada y salida correspondientes a esos puntos reciben la denominación siguiente:

V_{OL}: Máxima tensión de salida correspondiente a 0 lógico que proporciona la puerta.

V_{OH}: Mínima tensión de salida correspondiente a 1 lógico que proporciona la puerta.

V_{IL}: Máxima tensión correspondiente a 0 lógico que acepta la puerta en su entrada.

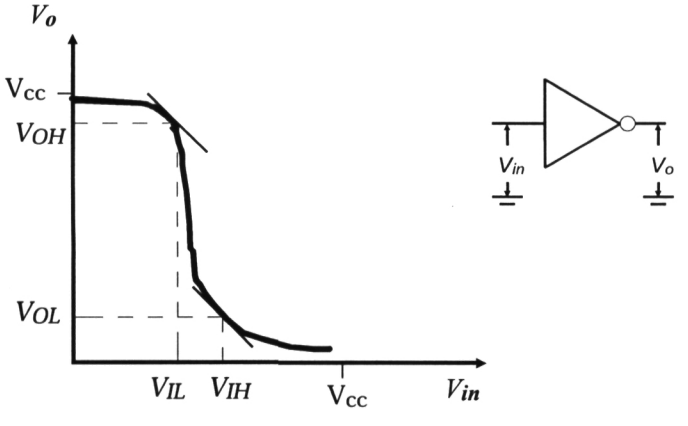


Figura 2.2.- Característica de transferencia típica de un inversor

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

V_{IH}: Mínima tensión correspondiente a 1 lógico que acepta la puerta en su entrada.

Por tanto, el rango de tensiones correspondiente a 1 lógico viene dado por $V_{CC} - V_{IH}$, siendo V_{CC} la tensión de la fuente de alimentación, y el rango de tensiones correspondiente al 0 lógico es $V_{IL} - 0 = V_{IL}$.

Se define el ancho de transición (*TW*) como $V_{IH} - V_{IL}$ y la excursión lógica (*LS*) como $V_{OH} - V_{OL}$.

En muchos ejercicios, la característica de transferencia que se obtiene es una curva formada por varios tramos rectilíneos, en los que la derivada en la intersección de dichos tramos no está definida. En estos casos no se toman los puntos donde la derivada vale -1, ya que no existen, sino los puntos de unión de los tramos rectilíneos

Para que una familia lógica tenga un funcionamiento lógico correcto, sus niveles no deben degenerarse cuando se conectan varias puertas en cascada (la entrada de una conectada a la salida de la anterior), para ello, debe cumplirse:

$$V_{IH} < V_{OH} \qquad V_{IL} > V_{OL}$$

De esta forma la tensión de salida de una puerta siempre estará dentro de los rangos de 0 o 1 lógicos de la familia.

2.3.2. Características de entrada-salida.

El número de entradas que puede tener una puerta lógica no es indefinido, está limitado por un número máximo. A ese número se le denomina **FAN-IN** de la puerta.

En algunos circuitos, a la salida de una puerta deben conectarse varias entradas de otras puertas. El número de entradas que pueden conectarse a una misma salida está limitado por un número máximo denominado **FAN-OUT**. El fan-out debe calcularse siempre conectando puertas pertenecientes a una misma familia.

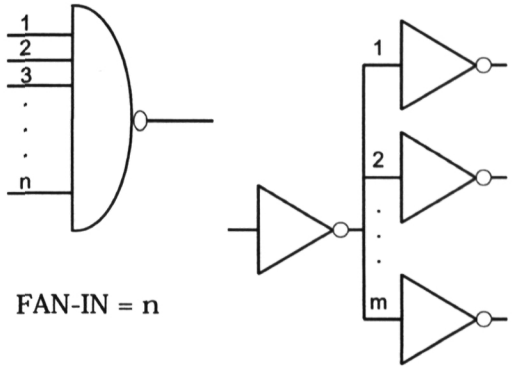


Figura 2.3

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2.3.3. Inmunidad al ruido.

Una señal eléctrica de ruido consiste en una perturbación aleatoria, cuyo origen puede ser diverso, que puede mezclarse con una señal eléctrica portadora de información, pudiendo provocar la pérdida de parte de esa información.

Las señales digitales son mucho más inmunes al ruido que las analógicas, no obstante, también pueden verse afectadas por este factor.

Para evaluar la inmunidad al ruido de una familia lógica se definen los márgenes de ruido, de la forma siguiente:

1.- Margen de ruido de 1 lógico o alto.

$NM_H = V_{OH} - V_{IH}$

2.- Margen de ruido de 0 lógico o bajo.

$NM_L = V_{IL} - V_{OL}$

De lo que se vió en el apartado de característica de transferencia se deduce que ambos deben ser positivos. **El valor más pequeño de los dos es el que determina la inmunidad al ruido de una familia lógica**. Es evidente que cuanto más alto sea dicho valor, mejor será la inmunidad al ruido de dicha familia.

2.3.4. Consumo de energía.

Se evalúa calculando la potencia eléctrica consumida por una puerta en dos situaciones:

- Cuando no se producen cambios en las entradas (potencia estática).

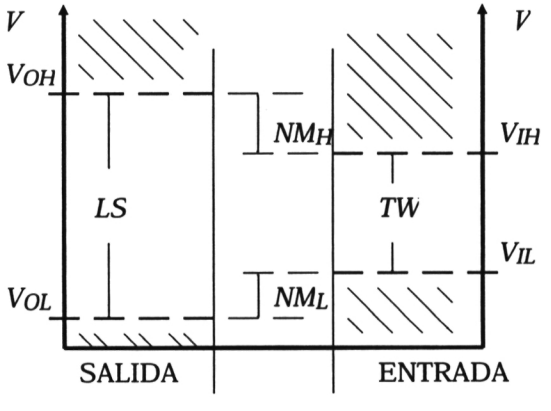


Figura 2.4.- Márgenes de ruido, excursión lógica y ancho de transición

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

- Cuando las entradas cambian a una frecuencia determinada (potencia dinámica a esa frecuencia).

Cuanto más consume un circuito, mayor es el calor generado por el mismo, de forma que si no es disipado convenientemente, la temperatura puede elevarse por encima del límite tolerado y provocar un funcionamiento incorrecto del circuito.

Es fundamental tener en cuenta este factor a la hora de diseñar un sistema integrado en un chip y también en el diseño de sistemas portátiles que requieran gran autonomía.

2.3.5. e) Velocidad de operación.

En las señales digitales, las transiciones entre los valores de 0 y 1 lógicos no se producen de forma instantánea, sino que transcurre un determinado intervalo de tiempo que depende del circuito que genere dichas señales. De la misma forma, la variación de la señal de salida siempre se produce después de que haya cambiado la señal de entrada. Estos tiempos influyen de forma trascendental en la frecuencia máxima a que puede operar una determinada puerta lógica. Se miden de la forma siguiente:

Tiempo de subida (t_r): Tiempo transcurrido entre el paso de la señal de salida de una puerta por el valor de tensión correspondiente al 10% de la diferencia

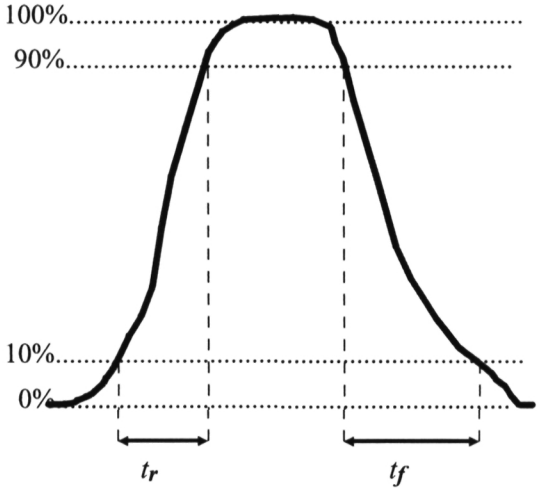


Figura 2.5.- Tiempos de subida y bajada

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

entre los valores alto y bajo de tensión de la señal y el paso de la misma señal por el 90% de dicha diferencia.

Tiempo de bajada (t_f): Tiempo transcurrido entre el paso de la señal de salida de una puerta por el valor de tensión correspondiente al 90% de la diferencia entre los valores alto y bajo de tensión de la señal y el paso de la misma señal por el 10% de dicha diferencia.

Tiempo de propagación alto-bajo (t_{PHL}): Tiempo transcurrido entre el cambio de estado de la señal de entrada y el de la de salida cuando ésta pasa del estado alto al bajo, medido al paso de las señales por el 50% de la diferencia entre sus valores alto y bajo de tensión.

Tiempo de propagación bajo-alto (t_{PLH}): Tiempo transcurrido entre el cambio de estado de la señal de entrada y el de la de salida cuando ésta pasa del estado bajo al alto, medido al paso de las señales por el 50% de la diferencia entre sus valores alto y bajo de tensión.

Se define el tiempo medio de propagación (t_{PD}) como el valor medio entre el t_{PHL} y el t_{PLH}.

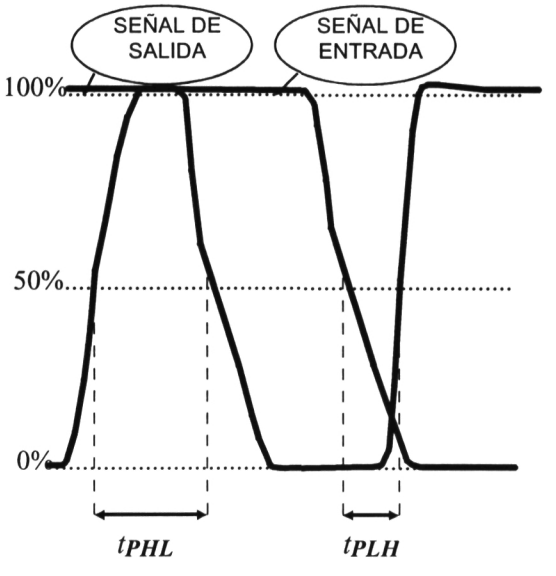


Figura 2.6.- Tiempos de propagación

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Estos tiempos determinan la **frecuencia máxima** a la que puede operar un sistema digital realizado con una familia lógica dada. Cuanto más pequeños sean mayor podrá ser dicha frecuencia de operación.

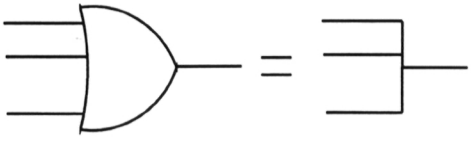
En las puertas lógicas, el consumo y los tiempos de retardo están relacionados, de forma que si se modifican algunos parámetros para disminuir el consumo se suele producir un aumento en los valores de dichos tiempos y viceversa. Por ello, un factor de calidad importante a la hora de caracterizar una familia lógica es el producto consumo · t_{PD}.

2.3.6. f) Flexibilidad lógica.

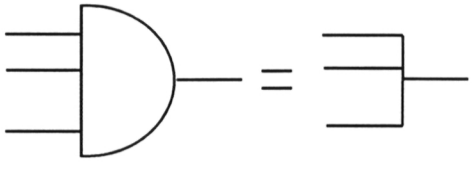
Existen dos conceptos diferentes de flexibilidad lógica en la bibliografía.

El **primer concepto** se refiere a que una familia lógica es más flexible cuanto más puertas que implementen funciones booleanas diferentes contenga.

El **segundo concepto** está basado en que existen familias lógicas que son capaces de realizar algunas funciones booleanas sin necesidad de utilizar puertas, simplemente uniendo las salidas de otras puertas. Estas funciones son denominadas funciones cableadas y son, normalmente, la AND y la OR (WIRED-AND y WIRED-OR). Según esto, una familia presenta flexibilidad lógica si puede realizar funciones cableadas.



WIRED-OR



WIRED-AND

Figura 2.7.- Funciones cableadas

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2.3.7. g) Capacidad de integración.

Depende fundamentalmente de dos factores:

- El ÁREA ocupada por cada puerta, que depende a su vez del tipo y del número de transistores utilizados para realizarla. Cuanto menor sea este área mayor será la capacidad de integración a gran escala.

- El CONSUMO de potencia. En un circuito integrado se realizan muchas puertas en un espacio reducido. El consumo total del chip es igual al consumo de cada puerta por el número de puertas. Si el consumo de cada puerta es elevado se generará mucho calor en el chip debido al efecto Joule, de forma que si esta calor no es disipado convenientemente se producirá un aumento de temperatura que puede provocar un funcionamiento anómalo de los circuitos. Esta es la causa por la que para que una familia pueda ser integrada a gran escala debe tener un consumo de potencia reducido.

Según el número de puertas que puedan integrarse, pueden distinguirse los siguientes niveles o escalas de integración:

- SSI (Pequeña escala): menor de 10 puertas
- MSI (Media escala): entre 10 y 100 puertas.
- LSI (Alta escala): entre 100 y 10.000 puertas.
- VLSI (Muy alta escala): a partir de 10.000 puertas.

2.4. LA FAMILIA LÓGICA IDEAL.

Las características que debería tener una familia lógica ideal son las siguientes:

- $V_{OH} = V_{CC}$; $V_{OL} = 0$
- $V_{IH} = V_{IL} = V_{CC} / 2$
- $LS = V_{CC}$; $TW = 0$
- FAN-IN $\rightarrow \infty$; FAN-OUT $\rightarrow \infty$
- $NM_H = NM_L = V_{CC} / 2$
- Consumo de potencia estática = 0
- Consumo de potencia dinámica $\rightarrow 0$
- $t_r \rightarrow 0$; $t_f \rightarrow 0$; $t_{PHL} \rightarrow 0$; $t_{PLH} \rightarrow 0$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

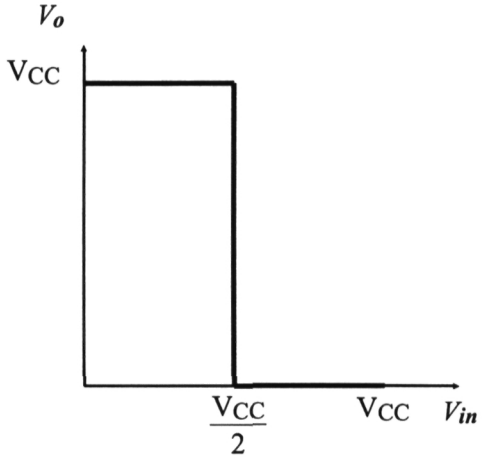


Figura 2.8.- Característica de transferencia ideal

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

3.- Semiconductores

OBJETIVOS

- Conocer los principios físicos en que se basa la tecnología actual de fabricación de circuitos integrados.
- Conocimiento de los fundamentos de la conducción eléctrica en los sólidos y las características especiales que presentan los materiales semiconductores.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

3.1. ESTRUCTURA DE LOS SÓLIDOS.

La organización espacial de los átomos dentro de cualquier material juega un papel importante en la determinación de sus propiedades. Esta organización espacial puede caer dentro de estos tres campos: Amorfo, Policristalino y Cristalino. En el estado amorfo no existe ningún orden reconocible en la posición de los átomos. Distintas secciones del material tendrán distintas organizaciones de átomos. En el estado cristalino, dada una sección de este material, se puede reconstruir la organización atómica de cualquier otra sección. El estado policristalino es un caso intermedio. Está compuesto de secciones cristalinas disjuntas y no orientadas unas respecto a otras. La Figura 3.1 muestra un esquema de estos tres tipos de sólidos.

Un cristal está formado por un conjunto de átomos muy próximos entre sí dispuestos espacialmente de forma ordenada de acuerdo con un determinado patrón geométrico.

La gran proximidad entre los átomos del cristal hace que los electrones de su última capa sufran la interacción de los átomos vecinos. Por el principio de exclusión de Pauli, ninguno de estos electrones puede ocupar el mismo nivel energético, de ahí que en un cristal existan un gran número de niveles de energía, muy próximos entre si, que pueden ser ocupados por estos electrones. El conjunto de estos niveles se denomina **banda de energía**. En los cristales existen dos bandas conocidas como "banda de valencia" y "banda de conducción". Un electrón que ocupe un nivel dentro de la banda de valencia está ligado a un átomo del cristal y no puede moverse libremente por él mientras que si el nivel ocupado pertenece a la banda de conducción, el electrón puede moverse libremente por todo el cristal, pudiendo formar parte de una corriente eléctrica. Para que pueda circular **corriente eléctri-**



Figura 3.1 Estructura de distintos tipos de sólidos.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

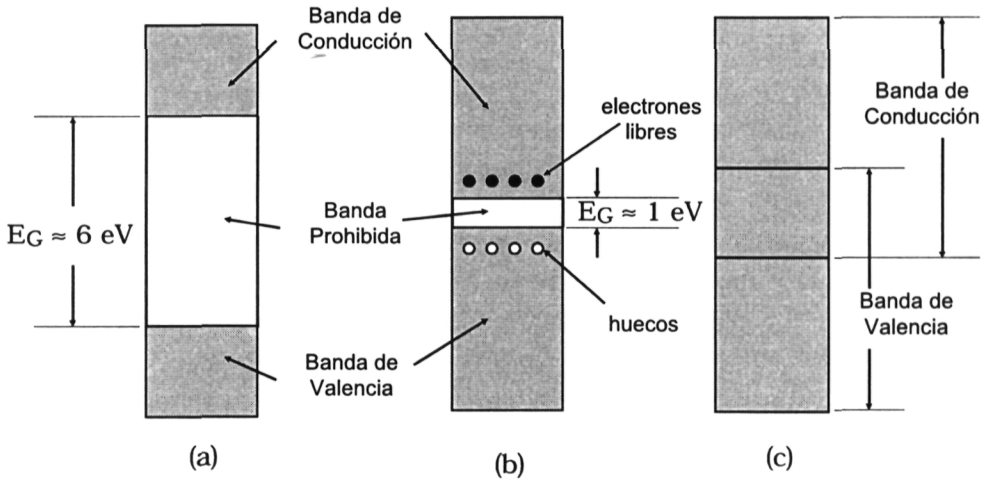


Figura 3.2 Estructura de bandas de energía de: (a) un aislante, (b) un semiconductor, (c) un conductor

ca por un cristal, éste debe tener **partículas cargadas que puedan moverse libremente en él.**

Entre la banda de valencia y la de conducción existe una "banda prohibida", cuyos niveles no pueden ser ocupados por ningún electrón del cristal. Según la magnitud de esta banda, los cristales pueden clasificarse en **aislantes**, **conductores** y **semiconductores**. La Figura 3.2 muestra la estructura de bandas de energía de estos tres tipos de cristales.

3.1.1. Aislantes.

La magnitud de la banda prohibida es muy grande (≈ 6 eV), de forma que casi todos los electrones del cristal se encuentran en la banda de valencia incluso a altas temperaturas por lo que, al existir muy pocos portadores de carga libres, *la conductividad eléctrica del cristal es muy baja, de forma que en muchos casos puede considerarse nula a efectos prácticos*. Su resistividad está comprendida entre 10^3 y 10^{18} Ωm. Un ejemplo es el **diamante**.

3.1.2. Conductores.

No existe banda prohibida, estando solapadas las bandas de valencia y conducción. Esto hace que siempre haya electrones en la banda de conducción, por lo que su *conductividad es muy elevada*. Esta conductividad disminuye lentamente al

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

aumentar la temperatura, por efecto de las vibraciones de los átomos de la red cristalina. Su resistividad está comprendida entre 10^{-8} y 10^{-6} Ωm. Un ejemplo son todos los **metales**.

3.1.3. Semiconductores.

La magnitud de la banda prohibida es pequeña (≈ 1 eV), de forma que a bajas temperaturas son aislantes, pero conforme *aumenta la temperatura* algunos electrones van alcanzando niveles de energía dentro de la banda de conducción, *aumentando la conductividad*. Otra forma de aumentar la conductividad es *añadiendo impurezas* que habiliten niveles de energía dentro de la banda prohibida. La variación con la temperatura no es lineal, pudiendo crecer o decrecer en función de las impurezas y del valor de la temperatura.

Los materiales semiconductores más usados históricamente han sido el Germanio (Ge), Silicio (Si) y Arseniuro de Galio (GaAs). El Silicio es el más importante, ya que hoy día la mayor parte de los dispositivos electrónicos están fabricados con él y por ello le prestaremos la máxima atención. El GaAs es un material más nuevo que compite con el Si en algunas áreas. En combinación con el fósforo se utiliza en la fabricación de diodos luminosos.

Como veremos más adelante, cantidades muy pequeñas de **impurezas** pueden tener efectos drásticos en las propiedades eléctricas de los semiconductores. Hay que conseguirlos con una pureza extrema, del orden de menos de un átomo de impureza por cada 10^9 átomos de Si. Naturalmente nos referimos a las impurezas indeseadas, ya que las impurezas añadidas para controlar las características eléctricas de los semiconductores pueden variar desde 1 átomo de impureza por cada 10^8 de Si hasta un átomo de impureza por cada 10^3 de Si. Tengamos en cuenta, para hacernos una idea, que en el Si existen $5 \cdot 10^{22}$ átomos/cm^3.

El Si es el segundo material más abundante en la corteza terrestre, pero no se encuentra en estado puro sino más bien en forma de dióxido de Si (SiO_2) o como silicato (Si + O + otro elemento). A partir de estos compuestos es necesario obtener el silicio puro.

Un procedimiento típico de obtención de Si puro monocristalino es el siguiente:

- Se calienta el dióxido de Si en un horno eléctrico en presencia de carbón. El carbón elimina el oxigeno dejando el Si impuro.
- Purificar elementos sólidos es un proceso complejo por eso se trata con compuestos de Cloro para obtener tetracloruro de Si ($SiCl_4$), que es liquido a temperatura ambiente.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

- A continuación se procede a un proceso de destilación, en el curso del cual se van separando las impurezas. Después de múltiples destilaciones se obtiene un tetracloruro de Si muy puro.
- Por último se calienta en atmósfera de hidrógeno obteniendo:

$$Cl_4Si + 2H_2 = 4ClH + Si$$

- El Si resultante es ultrapuro pero no cristalino, sino policristalino. Se necesita un proceso adicional para obtener Si cristalino. El método más conocido es de Czochralski: Se calienta el Si policristalino en un crisol de cuarzo en una atmósfera inerte hasta fundirlo, manteniéndolo justo a una temperatura muy próxima a la de fusión. Se introduce una muestra de Si cristalino llamado semilla y el silicio líquido que se une a la muestra solidifica, ya que la muestra está a una temperatura inferior, adoptando la misma disposición atómica que la muestra.

3.2. PORTADORES DE CARGA EN SEMICONDUCTORES.

Los **portadores** son las partículas cargadas que al moverse a través del sólido dan lugar a las corrientes eléctricas. El más común es el **electrón**. Dentro de los semiconductores, además del electrón, hay un segundo portador igual de importante, que es el **hueco**.

En un semiconductor como el silicio, que tiene 4 electrones en su última capa, los átomos están unidos por enlace covalente formando una red cristalina tetraédrica. A temperaturas cercanas al cero absoluto (-273 ^{o}C) todos los electrones ocupan sus enlaces y el cristal se comporta como un aislante perfecto. Elevando la

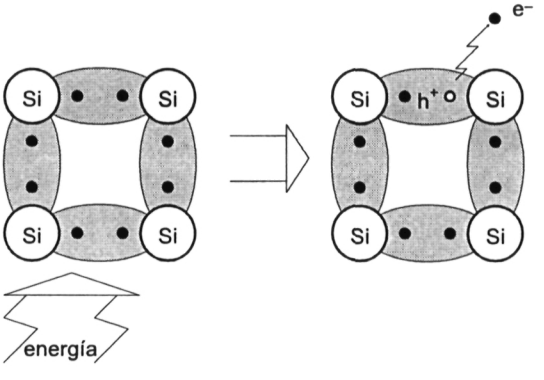


Figura 3.3 Generación de un par electrón-hueco por efecto de la temperatura

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

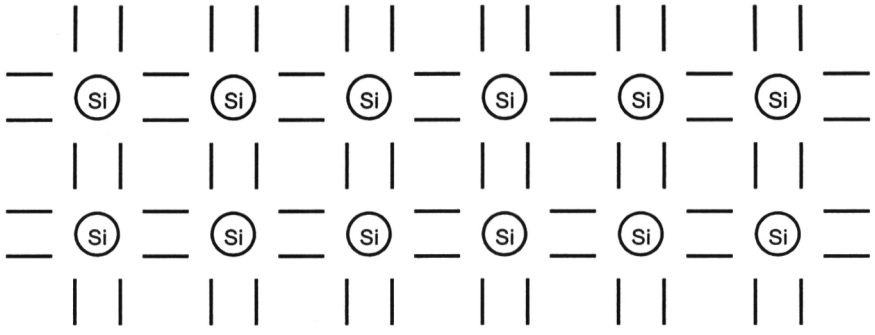


Figura 3.4 Modelo de enlaces covalentes

temperatura por encima del cero absoluto, el cristal semiconductor recibe energía, tanto mayor cuanto mayor sea la temperatura, los átomos vibran y pueden llegar a romperse algunos enlaces covalentes, es decir, algunos electrones (e^-) adquieren energía y se "escapan" de su enlace. El enlace desocupado se denomina "hueco" (h^+) y también contribuye a la conductividad del cristal comportándose como un portador de carga positiva. De esta forma, cuando se rompe un enlace covalente el electrón liberado forma un portador, dejando un hueco. Si no se rompe ningún enlace covalente entonces no hay portadores. Los electrones fijos en los enlaces covalentes no contribuyen al transporte de cargas y por tanto no son portadores.

De esta forma, los dos portadores de carga que se consideran en los semiconductores son los electrones y los huecos, que a todos los efectos son partículas subatómicas. A los portadores generados de esta forma se dice que son de procedencia térmica. Los dos portadores tienen la misma carga aunque distinta masa efectiva. La Figura 3.4 muestra un modelo más simple de representar esta estructura cristalina, el **modelo de enlaces covalentes**, que describe bien los aspectos espaciales del semiconductor y está relacionado con los enlaces atómicos. El circulo representa todo el átomo de Si excepto los cuatro electrones de valencia compartidos con los cuatro átomos vecinos, representados por los segmentos rectilíneos. Si el enlace está completo (hay 2 electrones) se simboliza con un segmento y si falta un electrón, es decir, si hay un hueco, no aparece el segmento. En la figura se representa esta estructura a cero grados Kelvin.

Si se aplica un campo eléctrico externo al cristal, los electrones libres se mueven en dirección opuesta al campo, formando una corriente eléctrica y los electrones de valencia van saltando hacia los huecos, de forma que es como si éstos se moviesen en la misma dirección del campo, formando una corriente de

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

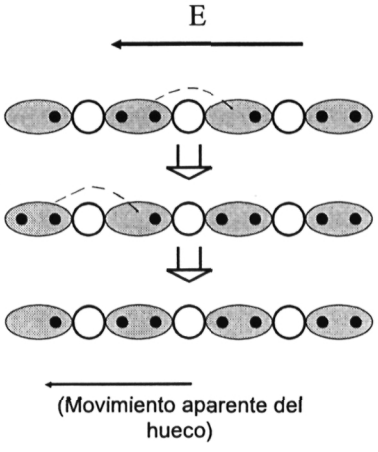


Figura 3.5 Movimiento de huecos bajo un campo eléctrico

cargas positivas que se suma a la anterior. En realidad existen dos formas distintas de movimiento del electrón, una como electrón libre y otra desplazándose de hueco en hueco. En resumen, los semiconductores poseen dos portadores de carga "libres", los electrones (negativa) y los huecos (positiva).

3.3. SEMICONDUCTORES INTRÍNSECOS Y EXTRÍNSECOS.

Se entiende por **dopado** la adición de cantidades controladas de átomos de impurezas con el propósito de incrementar la concentración bien de electrones o bien de huecos y de esta forma modificar las características eléctricas de un material. Para aumentar la concentración de electrones se usan materiales con cinco electrones de valencia tales como el P, As, Sb. Estos átomos que proporcionan un electrón se les llama **átomos donadores.** Para incrementar el número de huecos se usan materiales con tres electrones de valencia tales como el B, Ga o Al. Estos átomos que proporcionan un hueco se les llama **átomos aceptores.** Los más empleados son el P y el B.

El quinto electrón del P está muy débilmente unido al núcleo (0,004 eV). A temperatura ambiente (T = 300ºK) todos estos enlaces están rotos y los electrones libres resultantes son portadores. Esta rotura del quinto enlace no produce un hueco adicional y deja un ion cargado positivamente y fijo en la estructura de la red. Un proceso análogo ocurre con los átomos aceptores. A temperatura ambiente, todos sus enlaces incompletos han ganado un electrón, que ha dejado un hueco en un

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

enlace vecino. De esta forma se ha generado un sólo portador, el hueco, y un ión negativo fijo en la red.

En semiconductores se utilizan unos términos que es preciso definir previamente: Un semiconductor sin impurezas se le llama **intrínseco**. Un semiconductor dopado con impurezas se le llama semiconductor **extrínseco**. Los semiconductores extrínsecos pueden ser de **tipo p**, que contienen más huecos que electrones, o de **tipo n**, que contienen más electrones que huecos. Se llaman **portadores mayoritarios** a los más abundantes en el material, es decir, electrones en los materiales de tipo n y huecos en los materiales de tipo p. Se llaman **portadores minoritarios** a los menos abundantes en el material, es decir, electrones en los materiales tipo p y huecos en los materiales tipo n.

3.3.1. Ley de acción de masas

Tanto en semiconductores intrínsecos como en los extrínsecos siempre se cumple que:

$$\boxed{n\,p = n_i^2}$$

donde n representa la concentración de electrones por centímetro cúbico que existe en el material, p representa la concentración de huecos por centímetro cúbico y n_i es la concentración intrínseca, es decir, la concentración de portadores cuando el material es intrínseco y por tanto todos los portadores tendrían origen térmico.

Esta expresión se conoce como **Ley de acción de masas**. El término n_i depende exclusivamente de la Temperatura.

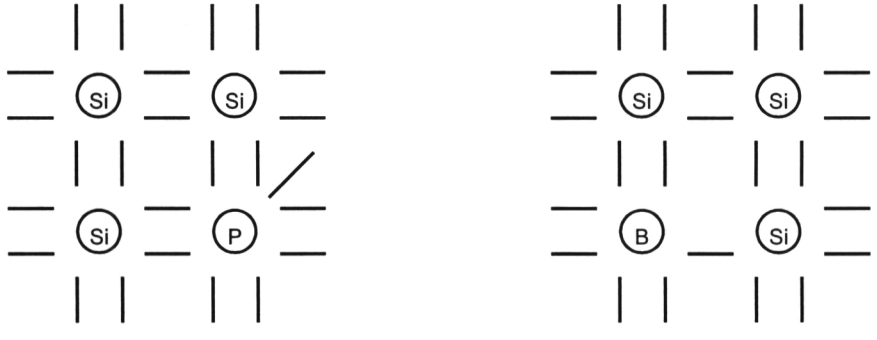


Figura 3.6 Modelo de enlace de semiconductores extrínsecos: a) tipo n; b) tipo p

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Esta ley viene a decirnos que si en un semiconductor aumentamos el número de electrones, forzosamente tiene que disminuir el número de huecos y viceversa, ya que su producto debe permanecer constante para una temperatura dada.

3.3.2. Ecuación de neutralidad de carga

A continuación vamos a obtener la expresión matemática de la llamada **Ecuación de neutralidad de carga**. Puesto que un material semiconductor en su conjunto es eléctricamente neutro la suma de todas las cargas presentes en él debe ser nula. En un semiconductor podemos encontrar las siguientes cargas:

Electrones: Debidos a la rotura de los enlaces covalentes (de origen térmico) y a la introducción de impurezas donadoras (en total n electrones / cm^3).

Huecos: Debidos a la rotura de enlaces covalentes (de origen térmico) y a la introducción de impurezas aceptoras (en total p huecos / cm^3).

Iones Negativos: Son todos aquellos átomos aceptores que han ocupado su enlace vacío con un electrón (N_A iones negativos / cm^3).

Iones Positivos: Son todos aquellos átomos donadores que han suministrado un electrón libre (N_D iones positivos / cm^3).

En un semiconductor en equilibrio debe de haber neutralidad de carga, si no fuera así existiría un campo eléctrico que daría lugar a una corriente eléctrica y por tanto no habría equilibrio. Teniendo en cuenta que la energía necesaria para ionizar las impurezas es pequeña, se puede suponer que a temperatura ambiente (300° K) deben estar todas ionizadas. Por tanto:

$$\boxed{p - n - N_A + N_D = 0}$$

Esta es la expresión de la llamada **Ecuación de Neutralidad de Carga**.

3.3.3. Concentración de portadores

A partir de la Ley de Acción de Masas y de la Ecuación de Neutralidad de Carga se puede calcular la concentración de portadores que existe en un semiconductor.

$$n\,p = n_i^2$$

$$p - n - N_A + N_D = 0$$

En lugar de resolver el sistema para un caso general, es más instructivo resolverlo en los tres casos particulares siguientes:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

1.- Caso intrínseco: En este caso $N_A = N_D$ y por tanto $n = p = n_i$, es decir, en un semiconductor intrínseco existe la misma concentración de electrones que de huecos y su valor es n_i, término que solo depende de la temperatura.

2.- Caso extrínseco. Semiconductor tipo n: En este caso la concentración de átomos aceptores es mucho menor (o incluso cero) que la concentración de átomos donadores. $N_A << N_D$ y por tanto las ecuaciones quedarían:

$$n\,p = n_i^2$$

$$p - n + N_D = 0$$

Resolviendo el sistema:

$$n = (N_D/2) + [n_i^2 + (N_D/2)^2]^{1/2}$$

El valor de n_i en el Si es del orden de 10^{10} a temperatura ambiente y las concentraciones de impurezas usadas en la fabricación de estos materiales siempre están por encima de 10^{14} . Por tanto, siempre se da que $N_D >> n_i$ y al aplicar esta aproximación a este caso particular queda:

$$\boxed{n = N_D \qquad p = n_i^2 / N_D}$$

Para que estas ecuaciones sean válidas tiene que cumplirse que la concentración de impurezas donadoras sea mucho mayor que la concentración de impurezas aceptoras (este es el caso de un semiconductor tipo n), y que la concentración intrínseca. Esta ultima condición es equivalente a decir que el número de electrones generados térmicamente es despreciable frente al número de impurezas introducidas.

3.- Caso extrínseco. Semiconductor tipo p: Partiendo de las mismas ecuaciones y haciendo exactamente las mismas aproximaciones que en el caso anterior, solo que teniendo en cuenta que aquí son impurezas aceptoras en lugar de donadoras, se llega a las expresiones siguientes:

$$\boxed{p = N_A \qquad n = n_i^2 / N_A}$$

Para que estas ecuaciones sean válidas tiene que cumplirse que la concentración de impurezas aceptoras sea mucho mayor que la concentración de impurezas donadoras (este es el caso de un semiconductor tipo p), y que la concentración in-

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

trínseca. Esta última condición es equivalente a decir que el número de huecos generados térmicamente es despreciable frente al número de impurezas introducidas.

El valor de n_i aumenta conforme aumenta la temperatura, por lo que puede ocurrir que a una temperatura suficientemente elevada n_i sea mucho mayor que la concentración de las impurezas introducidas, entonces la solución tanto para el caso del semiconductor tipo n como para el caso del semiconductor tipo p quedaría $n \approx p = n_i$. Es decir, a altas temperaturas el semiconductor pasa a comportarse como intrínseco. Lo que realmente ocurre es que al aumentar la temperatura se incrementa el número de enlaces covalentes que se rompen y este número puede ser predominante sobre la cantidad de impurezas, por eso se comporta como intrínseco.

3.3.4. Influencia de la temperatura en la concentración de portadores

Vamos a ver como varía la concentración de electrones en un semiconductor tipo n al variar la temperatura. A una temperatura cercana a 0 K la energía que puede tener el cristal es tan baja que es incapaz de romper ningún tipo de enlace. Es decir, no existen portadores dentro del sistema ($n = p = 0$). Al aumentar la temperatura empiezan a romperse algunos enlaces, los primeros en romperse son los que fijan el quinto electrón al átomo donador ya que requieren muy poca energía para hacerlo. En esta zona $0 < n < N_D$. Si sigue aumentando la temperatura llega un momento en que se han roto todos los quintos enlaces de los átomos donadores y por tanto $n = N_D$. En este punto el semiconductor entra en la zona extrínseca, que es la zona de trabajo normal de los dispositivos semiconductores. En esta zona, el número de portadores cedidos por los átomos donadores es mucho mayor que los

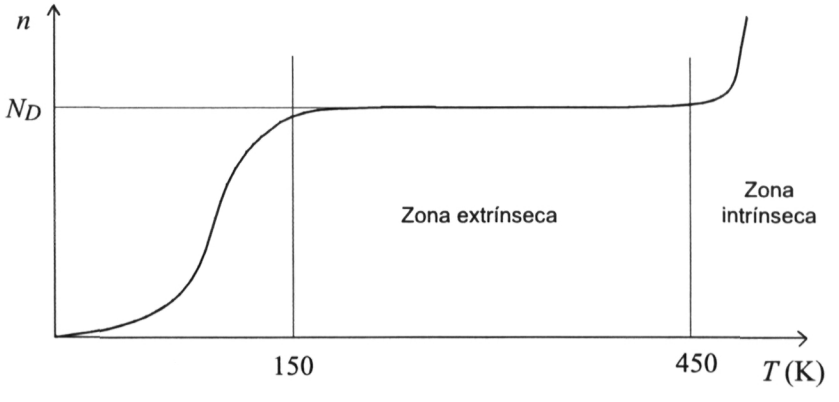


Figura 3.7 Concentración de electrones de un semiconductor tipo n en función de la temperatura

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

posibles enlaces covalentes que hayan podido romperse y es por eso que n permanece prácticamente constante. Si aumenta más la temperatura siguen aumentando los electrones generados térmicamente, pudiendo llegar a superar en varios órdenes de magnitud a los aportados por las impurezas. En esta zona $n \approx n_i$ y el material se comportará como un semiconductor intrínseco.

3.4. MOVIMIENTOS DE PORTADORES

El semiconductor en equilibrio estudiado anteriormente proporciona un marco de referencia para el estudio de fenómenos más complejos, como el movimiento de sus portadores, que ocurren cuando el semiconductor sale fuera del estado de equilibrio.

Existen tres tipos de causas fundamentales que provocan el movimiento de los portadores: Arrastre, Difusión y Generación - Recombinación. Aunque el estudio se hace por separado, estos procesos son simultáneos dando lugar su estudio a ecuaciones diferenciales que habría que particularizar para cada caso concreto.

3.4.1. Fenómenos de arrastre.

Son movimientos de partículas cargadas en respuesta a un campo eléctrico aplicado.

La fuerza que actúa sobre el portador debido al campo eléctrico acelera la partícula, aceleración que frecuentemente es interrumpida por los sucesivos choques con átomos del cristal, aunque el movimiento neto siempre es en la dirección del campo. Este movimiento es difícil de analizar. El estudio se realiza desde un punto de vista macroscópico con magnitudes que pueden medirse experimental-

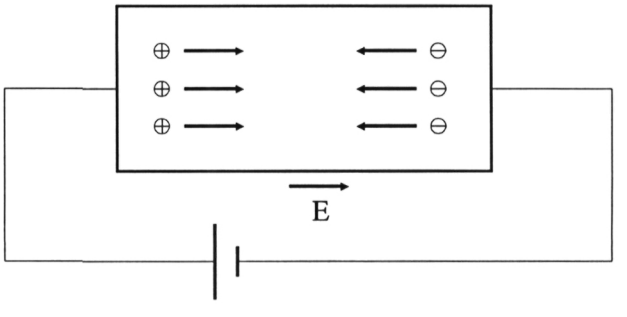


Figura 3.8 Corriente de arrastre en un semiconductor

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

mente. El movimiento de estos portadores puede tratarse en términos de una velocidad media de arrastre constante (v_a). Así, pues, el fenómeno de arrastre se estudia considerando que los portadores se mueven en dirección paralela al campo eléctrico y a velocidad constante.

$$J_{pa} = \frac{I_{pa}}{S} = \frac{Q_p}{S\,t} = \frac{q\,p\,V}{S\,t} = \frac{q\,p\,L}{t} = q\,p\,v_{pa}$$

Se define la densidad de corriente como la intensidad eléctrica por unidad de superficie (sección) perpendicular al movimiento de las cargas. La carga total de huecos en el material de volumen V, sección S y longitud L es igual a $q\,p\,V$, donde q es la carga del hueco, que es igual a la del electrón pero con signo positivo. El volumen dividido por la sección es la longitud del cristal L y la magnitud L / t es lo que llamamos velocidad media de los huecos debida al arrastre.

En resumen, la densidad de corriente de arrastre debida al movimiento de huecos es igual al producto de la carga del hueco por la concentración de huecos y por la velocidad de arrastre de los huecos. Análogamente, existe otra expresión debida al movimiento de electrones, de forma que la densidad de corriente total viene dada por la expresión:

$$J_a = q\,p\,v_{ap} - q\,n\,v_{an}$$

Experimentalmente se comprueba que la velocidad de arrastre es directamente proporcional a la intensidad del campo eléctrico. A la constante de proporcionalidad se le llama movilidad y representa una medida de la facilidad con la que se mueven los portadores dentro del cristal. La movilidad depende de la temperatura y de la concentración de impurezas:

$$v_{ap} = \mu_p E \qquad\qquad v_{an} = -\mu_n E$$

Por tanto:

$$J_a = J_{pa} + J_{na} = q\,(p\,\mu_p + n\,\mu_n)\,E$$

El factor que multiplica al campo eléctrico se denomina conductividad y a su inversa se le da el nombre de resistividad.

$$\sigma = q\,(p\,\mu_p + n\,\mu_n) \qquad \rho = 1/\sigma = 1/q\,(p\,\mu_p + n\,\mu_n)$$

En un semiconductor de tipo n en que $n >> p$ se tiene que:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\rho = 1 / q\, n\, \mu_n = 1 / q\, \mu_n N_D$$

En un semiconductor de tipo p en que $n << p$ se tiene que:

$$\rho = 1 / q\, p\, \mu_p = 1 / q\, \mu_p N_A$$

Vemos como la resistividad del material puede ser controlada a los niveles deseados por medio de las concentraciones de impurezas (N_A y N_D).

La densidad de corriente de arrastre puede ser expresada de la siguiente forma:

$$J_a = \sigma E = E / \rho$$

Es decir, la respuesta a un campo eléctrico es una corriente eléctrica que es proporcional al campo. Esto no es sino otra forma de expresar la ley de Ohm:

$$I = J S = S E / \rho = V / (\rho\, L/S) = V / R$$

3.4.2. Fenómenos de difusión.

Se entiende por difusión el proceso por el cual los portadores, como consecuencia del movimiento térmico aleatorio, tienden a redistribuirse desde las regiones de alta concentración hacia las regiones de baja concentración. Con el tiempo se obtiene una distribución uniforme de partículas.

El modelo matemático para estudiar este fenómeno se basa en los estudios de Fick, que aplicados al caso de la conducción en semiconductores llevan a la conclusión de que las densidades de corriente de difusión son directamente proporcionales a los gradientes de concentración. La constante de proporcionalidad se llama constante de difusión. De esta forma:

$$J_{pd} = - q\, D_p \nabla p \qquad \text{y} \qquad J_{nd} = q\, D_n \nabla n$$

Considerando simultáneamente los fenómenos de arrastre y difusión, la densidad de corriente total puede expresarse como sigue:

$$J = J_p + J_n = J_{pa} + J_{pd} + J_{na} + J_{pa} = q\,(p\, \mu_p + n\, \mu_n)\, E + q\,(D_n \nabla n - D_p \nabla p)$$

Es decir, la respuesta a un gradiente de concentración de portadores es una corriente eléctrica que es proporcional a dicho gradiente. Si el estudio se hace para un gradiente que solamente varia en una dirección, se puede sustituir el gradiente por la derivada de la concentración respecto a esa dirección. Entonces:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$J_{pd} = - \mathrm{q}\, D_p\, dp/dx \qquad \text{y} \qquad J_{nd} = \mathrm{q}\, D_n\, dn/dx$$

3.4.3. Fenómenos de Generación - Recombinación.

Se entiende por Generación el proceso por el cual se crean portadores y por Recombinación aquel por el cual se destruyen.

En un semiconductor intrínseco ($n = p$) en equilibrio, la agitación térmica genera continuamente nuevos pares electrón - hueco y otros pares desaparecen por recombinación, es decir, los electrones libres pueden perder energía y caer en un enlace covalente vacío con el resultado de la pérdida de dos portadores, de forma que en cualquier instante siempre existe la misma concentración intrínseca de electrones y de huecos.

Si por una causa externa se produce un incremento de portadores en el cristal, al desaparecer la perturbación ese incremento va desapareciendo por recombinación hasta lograr de nuevo el equilibrio. La variación de la concentración de portadores por ese proceso es directamente proporcional al exceso de portadores y la constante de proporcionalidad es la inversa del tiempo de vida medio de dicho portador.

$$dp / dt = - \Delta p / \tau_p \qquad \text{y} \qquad dn / dt = - \Delta n / \tau_n$$

Esta constante de proporcionalidad se interpreta como el tiempo medio que un portador minoritario en exceso existirá inmerso en un mar de portadores mayoritarios.

Otro parámetro relacionado con este proceso es la longitud de difusión (L_p y L_n) de los portadores minoritarios, que se define como la distancia media que un portador minoritario puede recorrer en un mar de portadores mayoritarios antes de ser aniquilado por recombinación.

Los procesos de Generación - Recombinación no afectan directamente a las corrientes sino a las concentraciones de portadores que a su vez pueden afectar a los procesos de arrastre y difusión.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

4.- El diodo de unión P-N

OBJETIVOS

- Conocimiento de la estructura física y del funcionamiento básico de un diodo
- Utilización de los modelos linealizados del diodo para la resolución de circuitos.
- Conocimiento de los análisis del punto de operación y de característica de transferencia de circuitos con diodos.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

4.1. INTRODUCCIÓN

En las proximidades de la superficie de contacto entre dos materiales aparecen diferencias de potencial y cargas eléctricas que juegan un papel importante en su comportamiento eléctrico. Cuando el valor de la corriente eléctrica que pasa por una unión no depende del sentido de la tensión aplicada se dice que la unión es de tipo óhmico o contacto óhmico. Si el valor de la corriente depende del sentido de la tensión aplicada entonces decimos que estamos en presencia de un contacto rectificador.

La mayor parte de los fenómenos importantes que tienen lugar en los dispositivos de estado sólido se desarrollan en las uniones p-n o regiones de transición de un semiconductor al pasar de un tipo a otro, es decir al variar el tipo de impurezas presentes en el cristal.

4.2. LA UNIÓN P-N EN EQUILIBRIO

La **unión p-n** se produce dopando dos zonas de un monocristal semiconductor de forma diferente, una con impurezas donadoras (tipo n) y la otra con impurezas aceptoras (tipo p). La unión de ambas zonas suele denominarse unión metalúrgica y puede ser abrupta o gradual según sea el perfil de dopado en sus proximidades. En este manual sólo consideraremos la unión abrupta, que se da cuando las concentraciones de electrones y huecos son constantes en cada una de las zonas.

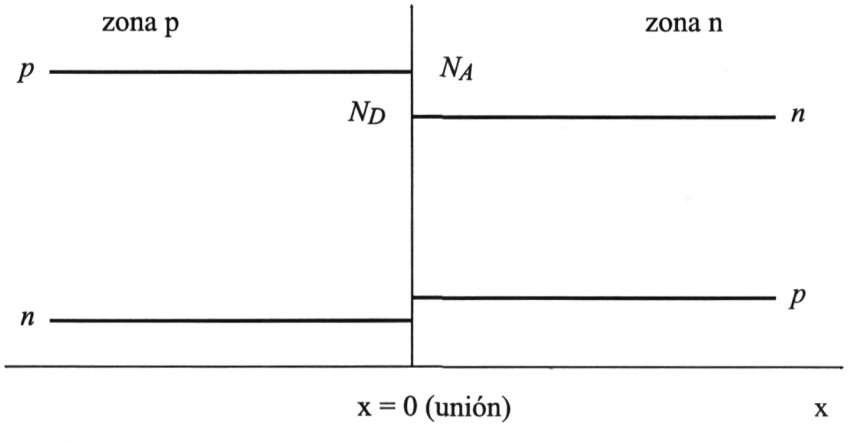


Figura 4.1 Concentraciones de electrones y huecos en una unión P-N abrupta

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Comenzaremos con el estudio de la unión en equilibrio, es decir, a temperatura constante y sin la aplicación de ningún campo eléctrico externo. Podemos suponer que las concentraciones de portadores a ambos lados de la unión son las representadas en la Figura 4.1.

Debe esperarse que esta situación no sea estable ya que debe existir una tendencia a que los huecos se difundan hacia la zona n y los electrones hacia la zona p, por existir un gradiente de concentración muy grande.

La tendencia de este fenómeno será continuar hasta que las concentraciones de huecos y electrones sean las mismas a ambos lados de la unión.

El equilibrio de cargas que existía entre los iones negativos de las impurezas aceptoras y los huecos en el zona p se rompe, ya que al ir pasando huecos del zona p al n van quedando en el zona p los iones negativos de las impurezas aceptoras, fijos en la estructura del cristal, sin neutralizar. Análogamente en el zona n van quedando fijos en el cristal los iones positivos de las impurezas donadoras.

Este proceso tampoco puede proseguir indefinidamente porque se está formando un campo eléctrico (y por tanto una diferencia de potencial) que se opone al proceso de difusión. Este campo eléctrico se forma al existir densidades de carga neta a ambos lados de la unión y tiene el sentido justo para oponerse a un mayor paso de huecos hacia la región n o de electrones hacia la región p.

Resumiendo: Las diferencias de concentraciones de portadores entre las regiones n y p provoca un flujo de portadores que atraviesa la unión y se difunden en la otra zona. Esta difusión crea un desequilibrio de cargas que produce un campo eléctrico y este campo eléctrico tiende a contrarrestar el proceso de difusión de tal manera que el flujo neto de portadores es nulo. La región que queda cargada pero

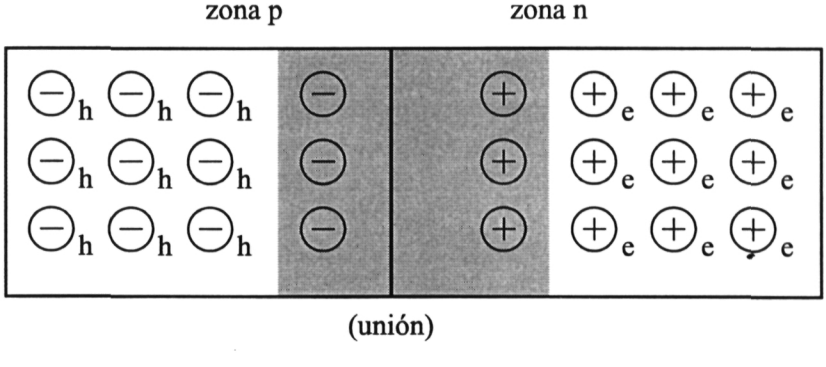


Figura 4.2 En sombreado, zona de deplexión o de carga espacial

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

sin portadores, cercana a la unión metalúrgica, se llama **región de deplexión**, de transición o zona de carga espacial. El potencial que aparece en la unión se llama **potencial de contacto**. La Figura 4.2 muestra un esquema de esta situación.

Este equilibrio que existe entre la tendencia a la difusión y el campo eléctrico que la contrarresta puede ser roto por los pares e-h que se generan térmicamente en la unión o en sus proximidades. Al generarse muy cerca de la unión, tienen muchas posibilidades de llegar a ella, antes de recombinarse, y ser arrastrados por el campo eléctrico a la otra zona. La tendencia de este fenómeno es a aumentar la concentración de portadores en ambos lados de la unión, por lo que se potencia el fenómeno de difusión prevaleciendo sobre el campo eléctrico presente y devuelve los portadores tratando de restablecer el equilibrio.

Así pues lo que existe realmente es un equilibrio dinámico con un continuo paso de portadores, de procedencia térmica, debido al arrastre, compensado por una corriente exactamente igual debida a la difusión. El paso neto de carga de una zona a otra es nulo.

Podemos obtener el **potencial de contacto** igualando las corrientes, que atraviesan la unión, debidas al arrastre con las corrientes debidas a la difusión.

$$q\, n\, \mu_n\, E + q\, D_n\, \nabla n = 0$$

De esta ecuación se despeja el campo eléctrico y a continuación, por integración, se calcula el potencial. Como resultado obtenemos:

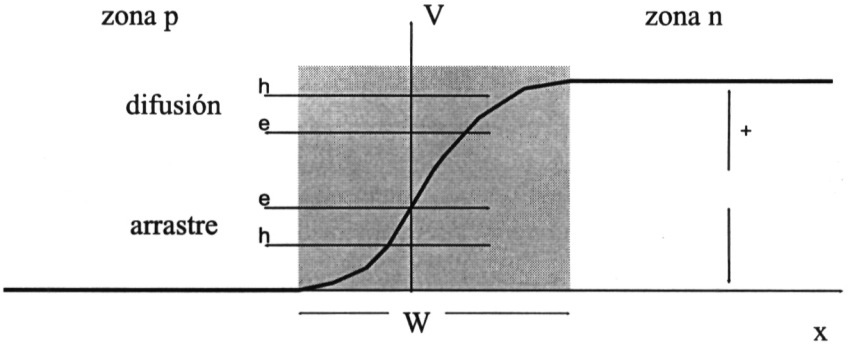


Figura 4.3 Corrientes de arrastre y difusión y potencial (V) en la unión

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\Phi_T = \frac{kT}{q} \ln\left(\frac{N_D N_A}{n_i^2}\right)$$

Este es el potencial que se establece en la unión y que depende de las concentraciones de impurezas a ambos lados de la unión.

La anchura de la unión, que suele ser del orden de micras, tiene una expresión en función de las concentraciones de impurezas como la siguiente:

$$W=\left(\frac{2\,\varepsilon\,\Phi_T\,(N_A+N_D)}{q\,N_A\,N_D}\right)^{1/2}$$

donde ε es la constante dieléctrica del silicio.

La Figura 4.3 muestra la representación gráfica del potencial en la zona de deplexión y el sentido de las corrientes de arrastre y difusión.

4.3. EL DIODO DE UNIÓN P-N

Vamos ahora a estudiar la unión p-n sometida a un campo eléctrico externo, es decir la **unión p - n polarizada**. Estudiaremos primero la tensión en la unión y la anchura de ésta. Para ello nos serviremos de una unión p-n a la que se le han añadido dos conexiones metálicas y dos terminales externos. A este dispositivo se le llama diodo y su representación esquemática se muestra en la Figura 4.4. Pueden considerarse 3 casos diferentes de polarización:

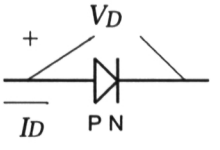


Figura 4.4 Símbolo de circuito del diodo

- Polarización nula ($V_D = 0$)

Consiste en cortocircuitar los dos terminales del diodo. Con la unión en equilibrio térmico y sin tensión aplicada no circula ninguna corriente por el diodo. Los contactos óhmicos del metal-semiconductor tienen unos potenciales fijos que dependen de los materiales empleados para construir el dispositivo.

La tensión en la unión en estas condiciones es el potencial de contacto y tiene que ser igual a la suma de las tensiones de los contactos óhmicos metal-semiconductor.

$$V_J = V_N + V_P = \Phi_T$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

- Polarización directa ($V_D > 0$).

Consiste en aplicar a la parte P del diodo un potencial mayor que a la parte N. Según esto, la tensión en la unión viene dada por la expresión:

$$V_J = V_N - V_D + V_P = \Phi_T - V_D$$

- Polarización inversa ($V_D < 0$).

En este caso, el potencial más elevado se aplica a la parte N. El valor de la tensión en la unión es el siguiente:

$$V_J = V_N + V_D + V_P = \Phi_T + V_D$$

La formula de la anchura de la unión sigue siendo válida sustituyendo el valor del potencial de trabajo por la tensión real que existe en la unión. Vemos que con una polarización directa esta anchura disminuirá y con una polarización inversa aumentará.

$$W = \left(\frac{2\,\varepsilon\,(\Phi_T \pm V_D)\,(N_A + N_D)}{q\,N_A\,N_D}\right)^{1/2}$$

La Figura 4.5 muestra estos tres casos.

Estudiaremos ahora las corrientes en el diodo en cada uno de los tres casos anteriores.

4.3.1. Polarización nula.

La corriente total también es nula, pero eso no quiere decir que no haya corrientes. Fuera de la zona de carga espacial no existe campo eléctrico ni gradientes de concentración, por lo que todas las corrientes, J_{na}, J_{pa}, J_{nd} y J_{pd} son nulas, pero

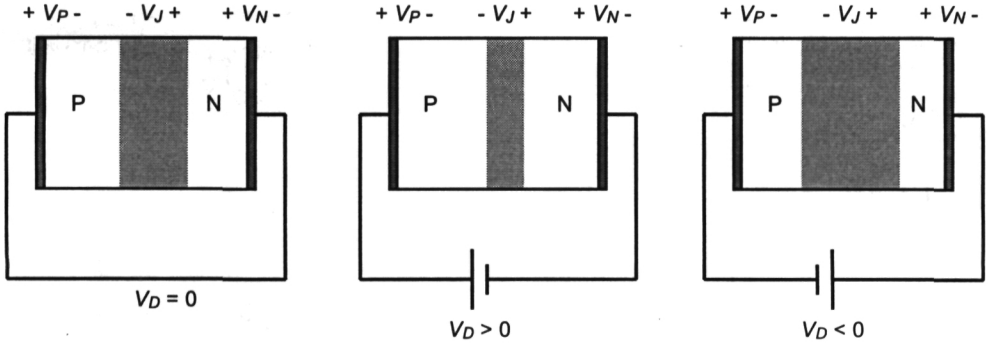


Figura 4.5 Polarizaciones del diodo

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

en su interior existe un campo eléctrico que acelera a las cargas generadas térmicamente, produciéndose una corriente de arrastre que es contrarrestada por la corriente de difusión originada por el gradiente de concentración, dando como resultado neto una corriente nula.

$$J_{na} = -J_{nd} \neq 0 \; ; \; J_{pa} = -J_{pd} \neq 0 \Rightarrow J_n = 0 \; ; \; J_p = 0 \; ; \; J = 0$$

4.3.2. Polarización directa.

La tensión en la unión es menor que cuando está sin campo eléctrico externo aplicado, por tanto el fenómeno de difusión, que antes estaba equilibrado con el campo eléctrico, prevalece dando lugar a un flujo de portadores. La corriente de arrastre permanece constante ya que es de origen térmico e independiente del campo.

Entonces el efecto neto de la polarización directa es un gran incremento en las componentes de difusión de la corriente mientras las componentes debidas al arrastre permanecen fijas en su valor de equilibrio.

El incremento de esta corriente con la reducción de la barrera de potencial es de tipo exponencial. Es decir, con polarización directa, la corriente aumenta exponencialmente con la tensión.

4.3.3. Polarización inversa.

La tensión en la unión es mayor que cuando está sin campo eléctrico externo aplicado, por tanto el fenómeno de difusión, que antes estaba equilibrado con el campo eléctrico, disminuye hasta prácticamente desaparecer, quedando solamente la componente de arrastre que permanece constante e independiente del campo.

De esta forma, la corriente resultante de una polarización inversa es pequeña (del orden de nA en el Silicio a temperatura ambiente), negativa, creada por la generación térmica de portadores e independiente del valor de la tensión aplicada y se denomina corriente inversa de saturación (I_S). Debido a su origen esta corriente es muy sensible a los cambios de temperatura, variando con ella de forma exponencial.

4.4. CURVA CARACTERÍSTICA DEL DIODO.

La curva característica de un dispositivo de dos terminales es la representación gráfica de la intensidad que circula por él frente a la tensión que existe entre sus extremos.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

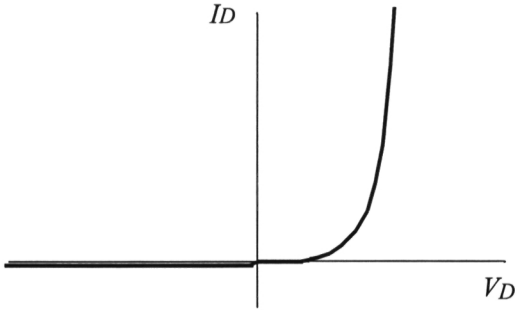


Figura 4.6 Curva característica del diodo

Del análisis del apartado anterior se deduce que el diodo es un dispositivo no lineal. La Figura 4.6 muestra una curva característica típica de un diodo.

La expresión matemática de esta función es conocida como "Ley del diodo", y viene expresada de la siguiente forma:

$$I_D = I_S\,(e^{(qV_D/kT)}-1)$$

Donde I_S es la corriente inversa de saturación, q es la carga del electrón, k la constante de Boltzmann y T la temperatura en grados Kelvin.

4.5. EL DIODO COMO ELEMENTO DE CIRCUITO

El análisis de circuitos con diodos presenta el inconveniente de que el hecho de ser un dispositivo no lineal hace que no sean aplicables los métodos desarrollados para la solución de sistemas de ecuaciones lineales, con lo que la solución de las ecuaciones del circuito se hace muy compleja, únicamente accesible a métodos de cálculo numérico con computador. No obstante, en muchas ocasiones es preferible obtener un resultado menos exacto pero que en cambio aporte un mayor conocimiento cualitativo de cómo funciona el circuito. Con este objetivo se utilizan los métodos aproximados de cálculo, que pueden dividirse en métodos analíticos, que usan modelos linealizados, y métodos gráficos.

4.5.1. Métodos analíticos.

Consisten en aproximar la curva característica del dispositivo en una curva lineal a tramos, con lo que ya pueden aplicarse los métodos de análisis de circuitos

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

lineales. La forma en que se puede realizar esta aproximación no es única, de ahí que para cada dispositivo puedan considerarse varios modelos linealizados diferentes. En el caso del diodo se consideran fundamentalmente tres modelos, el modelo idealizado, el modelo con tensión umbral y el modelo linealizado general. La Figura 4.7 muestra las características de estos modelos.

4.5.1.a. *Modelo idealizado.*

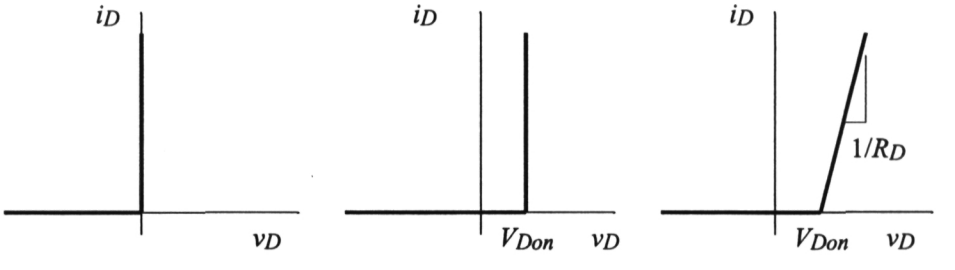
Es el modelo más simple y consiste en considerar que el diodo se comporta como un circuito abierto en polarización inversa y como un cortocircuito en polarización directa.

4.5.1.b. *Modelo con tensión umbral.*

Es un modelo algo más aproximado que tiene en cuenta que la conducción del diodo en polarización directa sólo es apreciable por encima de un determinado valor de tensión, denominada tensión umbral o V_{Don}. De esta forma, el diodo se comporta como un circuito abierto en polarización inversa, hasta el valor de V_{Don} y como una fuente de tensión igual a la umbral en polarización directa.

4.5.1.c. *Modelo linealizado general.*

Este modelo tiene además en cuenta la caída de tensión por efectos resistivos que se produce en el diodo cuando circula corriente por él.



Modelo idealizado:

$\forall\ v_D \leq 0 \Rightarrow i_D = 0$

$\forall\ i_D \geq 0 \Rightarrow v_D = 0$

Modelo con V_{Don}:

$\forall\ v_D \leq V_{Don} \Rightarrow i_D = 0$

$\forall\ i_D \geq 0 \Rightarrow v_D = V_{Don}$

Modelo linealizado general:

$\forall\ v_D \leq V_{Don} \Rightarrow i_D = 0$

$\forall\ v_D \geq V_{Don} \Rightarrow$

$i_D = (V_D - V_{Don}) / R_D$

Figura 4.7 Modelos linealizados del diodo

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

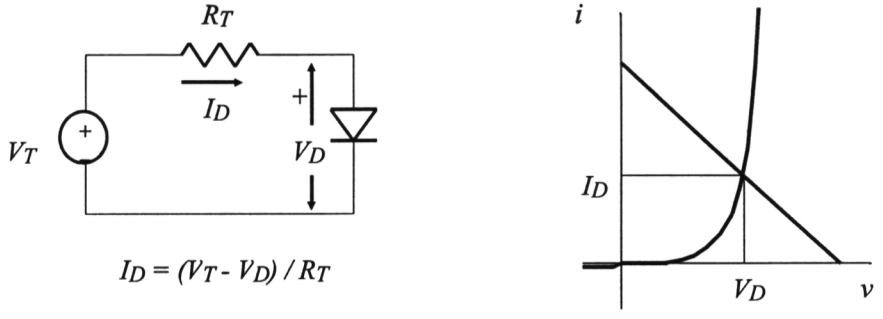


Figura 4.8 Método gráfico de resolución del circuito

El diodo se comporta como un circuito abierto en polarización inversa y como una fuente de tensión igual a la umbral en serie con una resistencia R_D en polarización directa.

4.5.2. Métodos gráficos.

Estos métodos son útiles cuando se tiene un único elemento no lineal y se dispone de su curvas características, generalmente suministradas por el fabricante. En el caso del diodo, el método consiste en calcular el equivalente en Thèvenin del circuito al que está conectado, obteniéndose un circuito con una sola malla, cuya ecuación es conocida como recta de carga. Esta ecuación se representa gráficamente superponiéndola a la curva del diodo. La corriente en el diodo y la tensión entre sus extremos tienen que verificar la curva característica y la recta de carga, por lo que la solución es el punto de intersección de las dos curvas, conocido como punto de trabajo del diodo. La Figura 4.8 muestra este método.

4.6. OTROS TIPOS DE DIODOS.

4.6.1. El diodo Zener.

Se ha utilizado un modelo simplificado para estudiar el comportamiento fundamental del diodo, pero existen efectos de segundo orden que no se han tenido en cuenta, como el efecto de ruptura o conducción en zona inversa. Este efecto consiste en que el diodo conduce a partir de un determinado valor de tensión de polarización inversa, denominado tensión de ruptura (V_Z).

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Dos pueden ser los mecanismos responsables de esta ruptura: **el efecto avalancha y el efecto túnel.** Cuando la tensión inversa aplicada es grande, aumenta el campo en la unión y por tanto la velocidad y la energía de los portadores arrastrados por ese campo. A partir de un determinado valor del campo la energía de los portadores es tal que al chocar con los átomos del cristal puede romper nuevos enlaces covalentes liberando pares electrón - hueco. Estos nuevos portadores son vueltos a acelerar por el campo provocando nuevas colisiones y nuevos portadores libres en un proceso de **avalancha**. El **efecto túnel** o ruptura zener se debe a que un fuerte campo eléctrico en la unión puede romper directamente enlaces covalentes generando portadores.

Los diodos que pueden operar en zona de ruptura se denominan diodos Zener. Según esto, un diodo Zener tiene tres zonas de funcionamiento. La zona de polarización directa tiene las mismas características que la del diodo básico, mientras que en polarización inversa se diferencian dos zonas, una en la que el diodo no conduce intensidad y otra en la que circula intensidad (en sentido contrario a como circula en conducción directa) y la tensión tiene un valor menor o igual a V_Z.

El modelo linealizado del diodo Zener se forma a partir de cualquiera de los modelos del diodo básico añadiendo una nueva zona de operación, la de conducción inversa. La expresión en polarización directa permanece sin cambios, pero en la zona inversa hay que introducir una modificación en la condición, que queda: $V_Z \leq V_D \leq 0$ para el modelo ideal y $V_Z \leq V_D \leq V_{Don}$ para los otros modelos. La expresión general para la zona de conducción inversa es: $I_D = (V_D - V_Z) / R_Z \; \forall \; V_D \leq V_Z$, siendo R_Z el inverso de la pendiente de la característica en dicha zona.

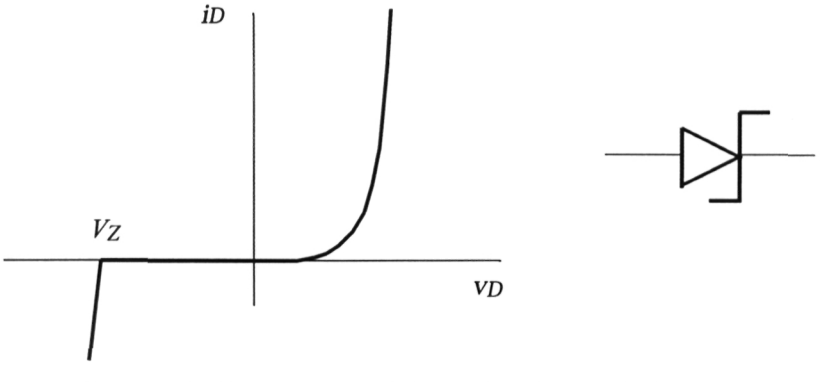


Figura 4.9 Curva característica y símbolo del diodo Zener

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

El modelo más utilizado del diodo Zener es el que supone que las resistencias RD y RZ tienen un valor nulo, quedando:

$\forall\ i_D \geq 0 \Rightarrow v_D = V_{Don}$

$\forall\ V_Z \leq v_D \leq V_{Don} \Rightarrow i_D = 0$

$\forall\ i_D \leq 0 \Rightarrow v_D = V_Z$

La Figura 4.9 muestra el símbolo de circuito del diodo Zener y su curva característica.

4.6.2. Diodos varactores

Otros efectos importantes en el diodo son los capacitivos, que pueden ser de dos tipos diferentes y pueden condensarse en dos capacidades parásitas, la capacidad de transición (C_T), que predomina en polarización inversa y la capacidad de difusión (C_D), que predomina en polarización directa.

La capacidad de transición se explica por la variación de carga producida en la unión al variar la tensión inversa externa aplicada. Hay que recordar que las zonas fuera de la unión son eléctricamente neutras mientras que en la unión no existen portadores pero tenemos todos los átomos ionizados de las impurezas fijos en la red cristalina. Como al variar la tensión externa varia la anchura de la unión (W) también variará la carga presente. Así pues el efecto capacitivo es $C = dQ / dV$. Los incrementos de carga son similares a las variaciones de carga en las placas de un condensador que estuvieran separadas una distancia igual a la anchura de la unión. Otra de forma de considerar el efecto de forma cualitativa es ver que las zonas semiconductoras fuera de la unión son zonas con una buena conductividad ya que son ricas en portadores y asimilables, por tanto, a las placas metálicas de un condensador. La zona de la unión es un aislador excelente ya que no tiene portadores y por tanto puede asimilarse al dieléctrico del condensador. Esta capacidad transición depende de las dimensiones geométricas, de la concentración de impurezas, de forma que aumenta al aumentar esta y de la tensión inversa aplicada, disminuyendo conforme la tensión inversa aumenta. Esta última propiedad es la que caracteriza a un diodo varactor. Estos diodos se construyen de forma tal que la variación de la capacidad de transición con la tensión inversa aplicada es muy importante, por lo que habitualmente son utilizados como capacidades controladas por tensión en circuitos de sintonización de radiofrecuencia.

La capacidad de difusión tiene que ver con el exceso (sobre el nivel de equilibrio) de portadores minoritarios a ambos la dos de la unión pero en sus cercanías. Esta carga almacenada es función de la tensión directa aplicada externamente y por

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

tanto da lugar a un efecto capacitivo $C = dQ / dV$ a tener en cuenta fundamentalmente cuando el diodo funciona en conmutación en los circuitos digitales.

4.6.3. Diodos emisores de luz (LED).

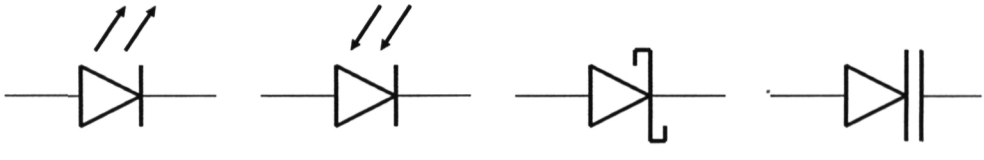
Están fabricados con un compuesto semiconductor, el Arseniuro de Galio (AsGa) y se caracterizan porque emiten fotones de luz visible o infrarroja cuando conducen en polarización directa. En polarización inversa se comportan como un diodo básico, aunque se diferencian en que la tensión umbral V_{Don} es aproximadamente igual a 1,6 voltios. La intensidad de la radiación luminosa es proporcional a la intensidad de corriente que circula por el diodo.

En ciertas condiciones, la luz emitida puede ser monocromática y coherente (LASER), conociéndose en este caso como LASER de estado sólido.

4.6.4. Fotodiodos.

Cuando se ilumina una unión P-N polarizada inversamente se produce un aumento de la corriente inversa que es proporcional a la intensidad de luz aplicada. Este fenómeno se da porque los fotones de luz generan nuevos pares electrón-hueco en las dos zonas, de forma que los portadores minoritarios (huecos en la N y electrones en la P) pueden atravesar la unión por la acción del potencial inverso, contribuyendo a un aumento apreciable de la corriente inversa.

Este hecho es el que se aprovecha en la fabricación de fotodiodos, cuya estructura está formada por un diodo en cuyo encapsulado se ha practicado una abertura sobre la zona de la unión por la se permite que la luz incida sobre ella. La banda de luz más utilizada para activar al fotodiodo es la del infrarrojo.



diodo LED fotodiodo diodo Schottky diodo varactor

Figura 4.10 Símbolos de varios tipos de diodo

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

4.6.5. Diodos Schottky.

Estos diodos están formados por la unión de un metal, normalmente aluminio, y un cristal semiconductor de tipo N cuyo dopado (bastante débil) hace que el comportamiento de la unión sea de tipo rectificador, es decir, similar al de una unión P-N en la que el aluminio tiene un comportamiento análogo al de la zona P. Cuando el dopado del cristal es fuerte, se dice que la unión es de tipo óhmico ya que su comportamiento se asemeja al de un elemento resistivo. Este último tipo de unión es la que se utiliza para conectar los terminales metálicos de los dispositivos semiconductores .

Las principales diferencias con los diodos P-N son las siguientes:

- La corriente directa es producida por el paso de electrones del silicio tipo N al metal, donde éstos son mayoritarios, por lo que no se produce difusión de portadores minoritarios, ya que el metal sólo tiene un tipo de portadores (los electrones).
- En polarización inversa, los electrones no pueden pasar del aluminio al silicio N debido a la existencia de una barrera de potencial de contacto que lo impide.
- Los tiempos de conmutación de la zona de conducción a la de no conducción son más pequeños.
- La tensión umbral está comprendida entre 0,3 V y 0,4 V.

La Figura 4.10 muestra los símbolos de estos tipos de diodos.

4.7. EJERCICIOS RESUELTOS

4.7.1. Ejercicios de cálculo del punto de trabajo.

El método a seguir es el siguiente:

1º.- Teniendo en cuenta que cada diodo básico puede estar en dos estados diferentes y cada diodo Zener en tres, se calcula el número total de estados en que puede estar el circuito, que es:

$$\text{nº estados} = 2^{(\text{nº diodos básicos})} \cdot 3^{(\text{nº de diodos Zener})}$$

2º.- Se va resolviendo cada configuración hasta encontrar la correcta, que es única y es la que cumple las leyes de Kirchoff y las condiciones del diodo.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

4.7.1.a. ***Calcula v_D e i_D en el circuito de la Figura 4.11 considerando el modelo idealizado del diodo.***

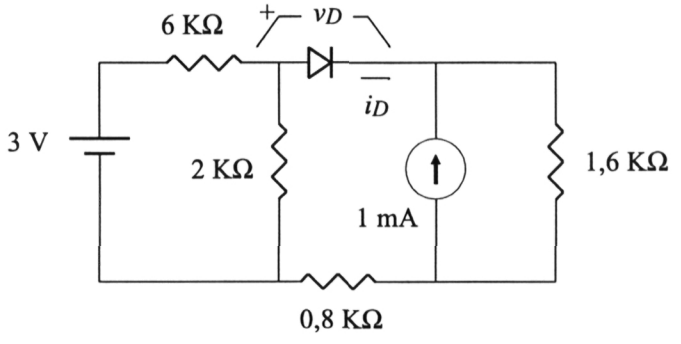
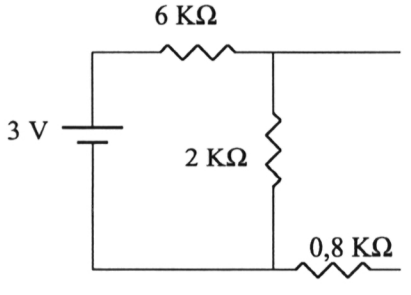
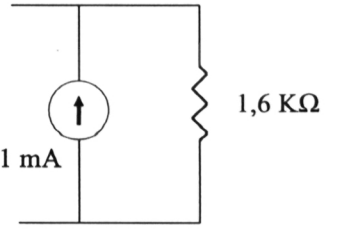


Figura 4.11

a) Se calcula el equivalente en Thèvenin en ambos lados del circuito:





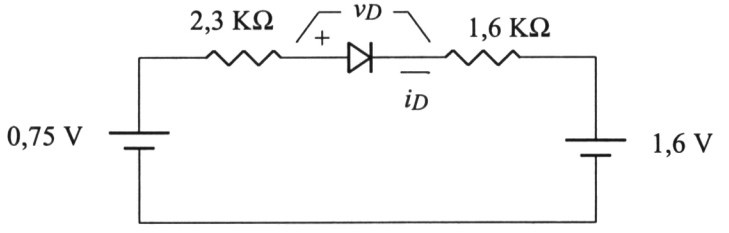
El resultado de ambos equivalentes es:

$$V_{T1} = 3\frac{2}{2+6} = 0{,}75V \quad ; \quad R_{T1} = \frac{2\cdot 6}{2+6} + 0{,}8 = 2{,}3\ K\Omega$$

$$V_{T2} = 1{,}6\ V \quad ; \quad R_{T2} = 1{,}6\ K\Omega$$

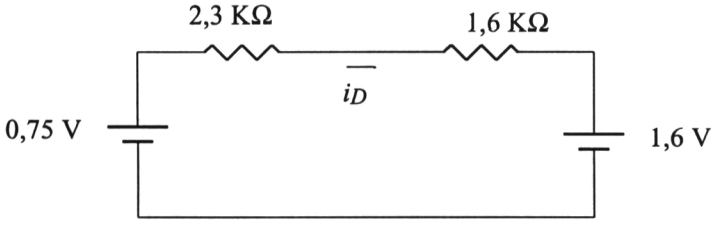
Publicaciones y Divulgación Científica
UMA UNIVERSIDAD DE MÁLAGA

El circuito equivalente queda como sigue:



b) Se supone que el diodo está en conducción (D → ON), es decir, se debe verificar:

$$v_D = 0 \ ; \ i_D \geq 0$$



El circuito queda de la forma siguiente:

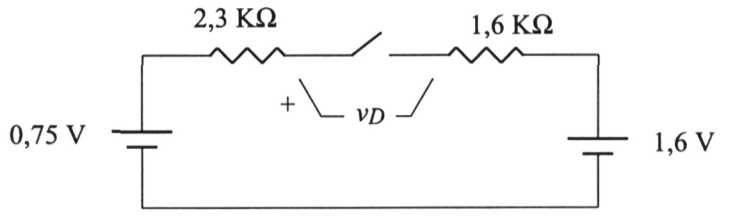
i_D = - 0,218 mA < 0 ; pero la condición era que $i_D \geq 0$, luego, al no cumplirse, este estado no puede darse, es INCORRECTO.

c) Se supone que el diodo no conduce (D → OFF), es decir, debe verificarse lo siguiente:

$$i_D = 0 \ : v_D \leq 0 \text{ V}$$

El circuito equivalente es:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



$i_D = 0 \Rightarrow v_D = 0{,}75 - 1{,}6 = -0{,}85\ \text{V} < 0 \Rightarrow$ Se verifica la condición, luego esta configuración es la real. El Resultado es:

$$i_D = 0 \ ; \ v_D = -0{,}85\ \text{V}$$

En este ejercicio se ha optado por analizar primero la configuración con el diodo en ON para comprobar que, al no ser la correcta, el resultado es contradictorio. Como norma práctica, normalmente es siempre ventajoso comenzar con la configuración en la que los diodos estén en OFF, ya que los circuitos equivalentes a analizar son más simples y, en caso de ser la correcta como en el ejercicio anterior, no es necesario analizar el resto de las configuraciones.

4.7.1.b. ***Calcula V_o en el circuito de la Figura 4.12 considerando el modelo con $V_{Don} = 0{,}7$ V para los dos diodos.***

a) Se simplifica el circuito mediante el Teorema de Thèvenin:

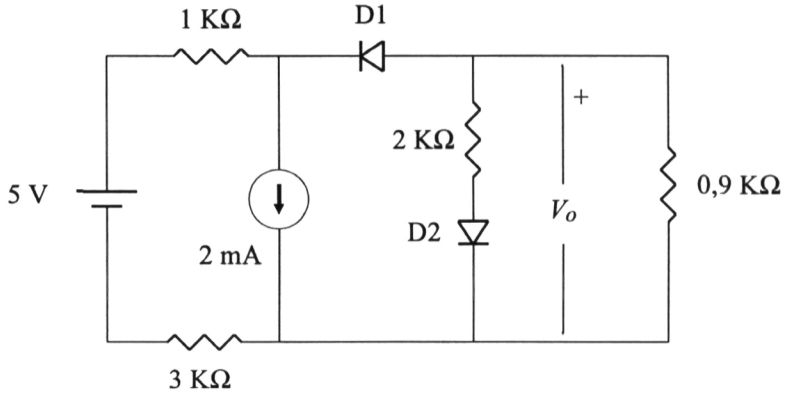
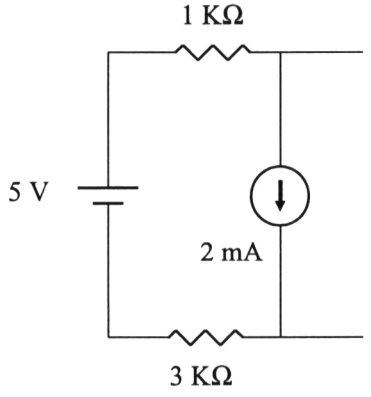


Figura 4.12

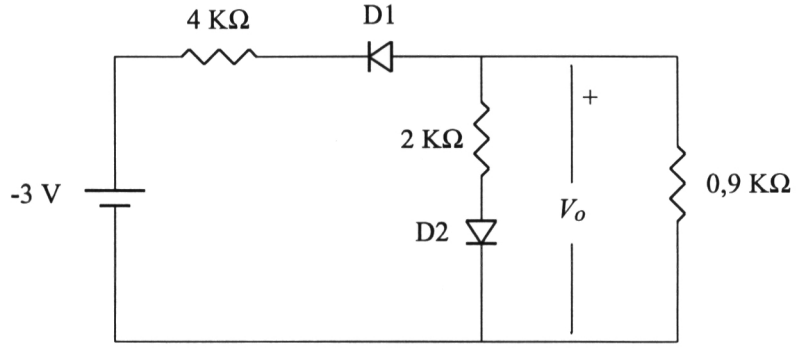
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



$V_T = -2 \cdot 1 + 5 - 2 \cdot 3 = -3$ V

$R_T = 1 + 3 = 4$ KΩ

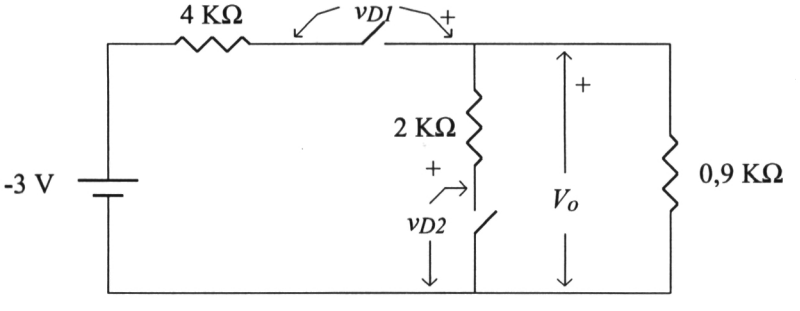
El circuito queda:



b) Se supone: D1 → OFF⇒ $i_{D1} = 0$; $v_{D1} \leq 0{,}7$ V (1)

D2 → OFF⇒ $i_{D2} = 0$; $v_{D2} \leq 0{,}7$ V (2)

El circuito equivalente queda:



Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

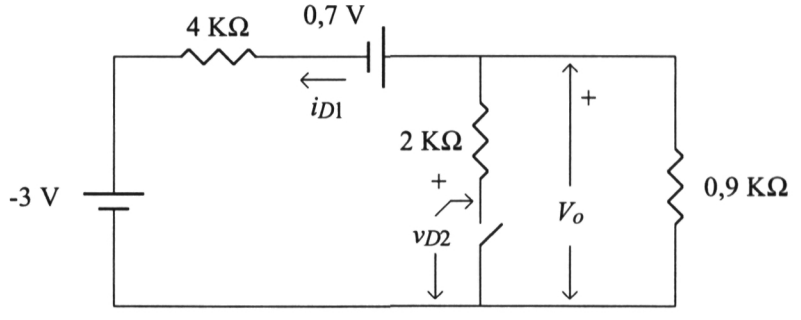
$v_{D2} = 0$; $v_{D1} = 3$ $\Rightarrow$ No se cumple la condición (1) $\Rightarrow$ estado INCORRECTO.

Cuando se obtiene un caso incorrecto como ahora, en el caso siguiente a analizar sólo deben cambiarse los estados de los diodos que no han cumplido las condiciones. En este caso ha sido D1, por tanto:

c) Se supone: D1 $\rightarrow$ ON $\Rightarrow$ $v_{D1} = 0{,}7$ V ; $i_{D1} \geq 0$ (1)

D2 $\rightarrow$ OFF$\Rightarrow$ $i_{D2} = 0$; $v_{D2} \leq 0{,}7$ V (2)

El circuito equivalente queda:



$$-3 + 0{,}9\, i_{D1} + 0{,}7 + 4\, i_{D1} = 0 \Rightarrow i_{D1} = \frac{3 - 0{,}7}{4{,}9} = 0{,}47 \text{ mA} > 0 \Rightarrow$$

$\Rightarrow$ Se cumple la condición (1)

$v_{D2} = V_o = -0{,}9\, i_{D1} = -0{,}42$ V $< 0{,}7$ V $\Rightarrow$ También se cumple (2) $\Rightarrow$

$\Rightarrow$ estado CORRECTO $\Rightarrow$ $V_o = -0{,}42$ V

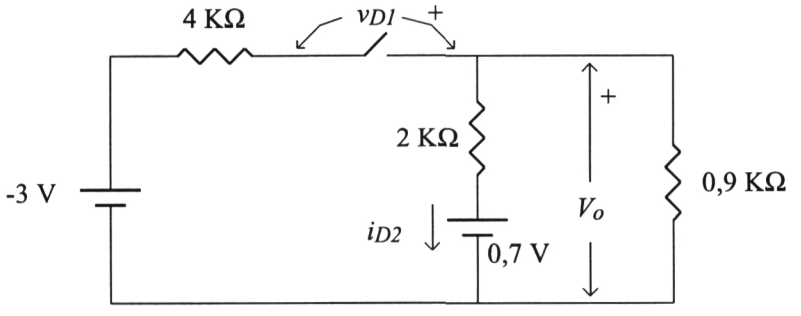
Una vez que se ha encontrado el estado correcto no es necesario analizar ningún otro caso. No obstante, se va a comprobar que los otros dos casos son imposibles.

d) Se supone: D1 $\rightarrow$ OFF $\Rightarrow$ $i_{D1} = 0$; $v_{D1} \leq 0{,}7$ V (1)

D2 $\rightarrow$ ON $\Rightarrow$ $v_{D2} = 0{,}7$ V ; $i_{D2} \geq 0$ (2)

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

El circuito equivalente queda:



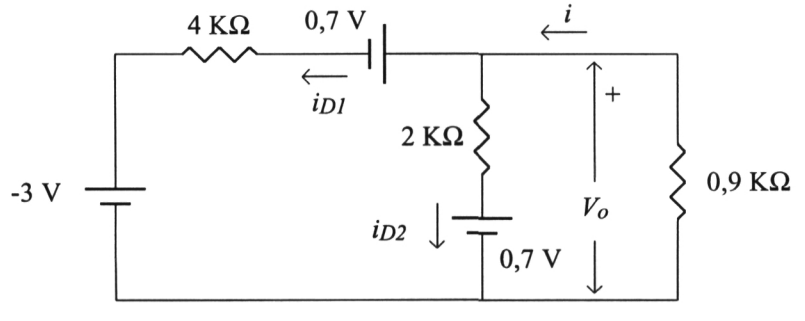
$$i_{D2} = -\frac{0,7}{2,9} = -0,24 \text{ mA} < 0 \Rightarrow \text{no se cumple la condición (2)} \Rightarrow$$

$\Rightarrow$ estado INCORRECTO

e) Se supone: D1 $\rightarrow$ ON $\Rightarrow v_{D1} = 0,7$ V ; $i_{D1} \geq 0$ (1)

D2 $\rightarrow$ ON $\Rightarrow v_{D2} = 0,7$ V ; $i_{D2} \geq 0$ (2)

El circuito equivalente queda:



$$i = i_{D1} + i_{D2}$$

$$2\, i_{D2} + 0,7 + 3 - 4\, i_{D1} - 0,7 = 0 \Rightarrow i_{D1} = \frac{3 + 2\, i_{D2}}{4}$$

$$2\, i_{D2} + 0,7 + 0,9\, i = 0 \Rightarrow 2,9\, i_{D2} + 0,7 + 0,9\, i_{D1} = 0 \Rightarrow$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\Rightarrow \quad 11{,}6\, i_{D2} + 2{,}8 + 2{,}7 + 1{,}8\, i_{D2} = 0 \Rightarrow i_{D2} = \frac{-5{,}5}{13{,}4}$$

$\Rightarrow i_{D2} = -0{,}41$ mA $< 0 \Rightarrow$ no se cumple la condición (2) $\Rightarrow$ estado INCORRECTO.

4.7.2. Ejercicios de característica de transferencia.

El método a seguir es el siguiente:

1°.- Se calcula el número total de estados en que puede estar el circuito.

2°.- Se resuelve cada configuración del circuito y se calcula el rango de validez de esa solución en base a las condiciones de funcionamiento de los diodos.

3°.- Dos condiciones necesarias para que el resultado sea correcto son:

a.- Que esté cubierto todo el rango de variación de V_i (que es de $-\infty$ a $+\infty$ si no se da explícitamente en el problema otro rango distinto).

b.- Que no existan discontinuidades en la función de transferencia $V_o = f(V_i)$

4.7.2.a. ***Calcula la tensión V_o en función de V_i en el circuito de la Figura 4.13 en los dos casos siguientes:***
a) Modelo idealizado.
b) Modelo linealizado general.

a) Modelo idealizado.

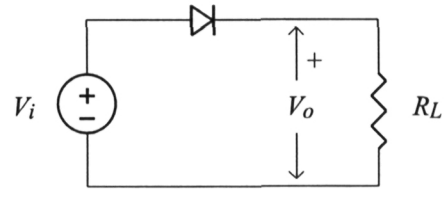
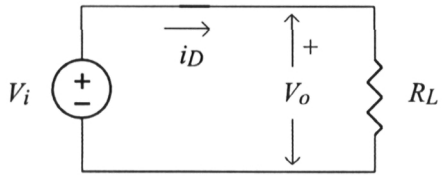


Figura 4.13

1.- Se supone: D → ON $\Rightarrow v_D = 0 : i_D \geq 0$

El circuito equivalente es el siguiente:



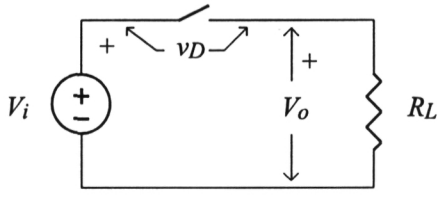
$$i_D = \frac{V_i}{R_L} \geq 0 \Rightarrow V_i \geq 0$$

$$V_o = V_i$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\Rightarrow \forall\ V_i \geq 0 \Rightarrow V_o = V_i \qquad (1)$$

2.- Se supone: $\quad D \rightarrow OFF \Rightarrow i_D = 0 : v_D \leq 0$



$$v_D = V_i - 0 \leq 0 \Rightarrow V_i \leq 0$$

$$i_D = 0 \Rightarrow i_D R_L = V_o = 0$$

$$\Rightarrow \forall\ V_i \leq 0 \Rightarrow V_o = 0 \qquad (2)$$

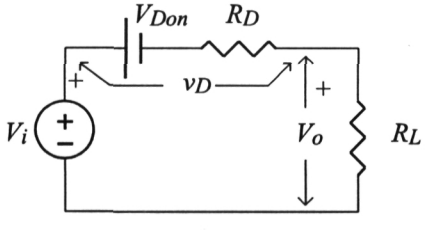
3.- Se comprueba que está cubierto todo el rango de variación de V_i (en (1) de $-\infty$ a 0 y en (2) de 0 a $+\infty$). Para ver si existen discontinuidades:

$$\text{En } V_i = 0: \quad \left\{ \begin{array}{ll} V_o = V_i = 0 & (\text{en (1)}) \\ V_o = 0 & (\text{en (2)}) \end{array} \right\} \Rightarrow$$

$\Rightarrow$ Coinciden los valores de V_o para $V_i = 0$ en (1) y (2) $\Rightarrow$ no hay discontinuidades $\Rightarrow$ se cumplen las dos condiciones necesarias para que la solución sea correcta.

b) Modelo linealizado general.

1.- Se supone: $\quad D \rightarrow ON \Rightarrow i_D = \dfrac{v_D - V_{Don}}{R_D} : v_D \geq V_{Don}$



$$i_D R_D + V_{Don} = v_D \geq V_{Don} \Rightarrow i_D R_D \geq 0$$

$$\Rightarrow i_D \geq 0$$

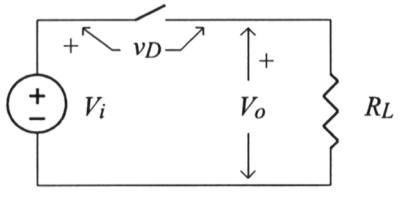
$$i_D = \frac{V_i - V_{Don}}{R_D + R_L} \geq 0 \Rightarrow V_i \geq V_{Don}$$

$$V_o = i_D R_L = \frac{V_i - V_{Don}}{R_D + R_L} R_L$$

$$\Rightarrow \quad \forall\ V_i \geq V_{Don} \Rightarrow V_o = (V_i - V_{Don}) \frac{R_L}{R_D + R_L} \qquad (1)$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2.- Se supone : D → OFF ⇒ $i_D = 0$: $v_D \leq V_{Don}$



$v_D = V_i - 0 \leq V_{Don} \Rightarrow V_i \leq V_{Don}$

$i_D = 0 \Rightarrow i_D R_L = V_o = 0$

$\Rightarrow \quad \forall\ V_i \leq V_{Don} \Rightarrow V_o = 0 \qquad (2)$

Se comprueba que:

a.- Se cubre todo el rango de variación de V_i.

b.- En $V_i = V_{Don}$:

$$V_o = (V_{Don} - V_{Don}) \frac{R_L}{R_D + R_L} = 0 \text{ en (1)} \quad ; \quad V_o = 0 \text{ en (2)}$$

4.7.2.b. ***Calcular la característica de transferencia del circuito de la Figura 4.14 considerando el modelo idealizado de los diodos.***

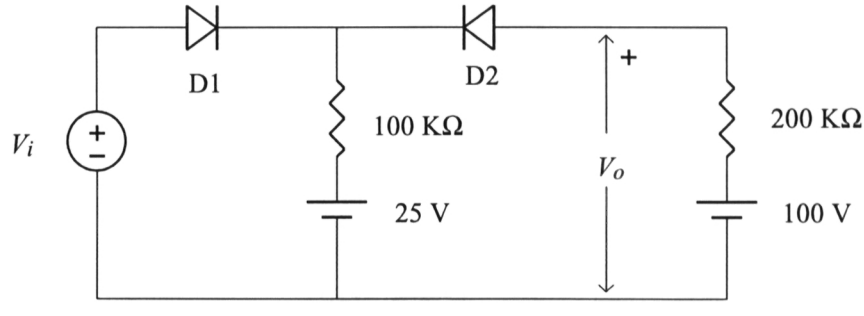


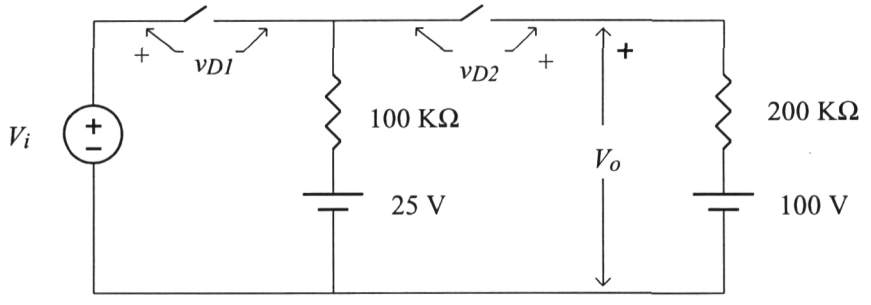
Figura 4.14

a) Se supone: D1 → OFF⇒ $i_{D1} = 0$; $v_{D1} \leq 0$ (1)

D2 → OFF⇒ $i_{D2} = 0$; $v_{D2} \leq 0$ (2)

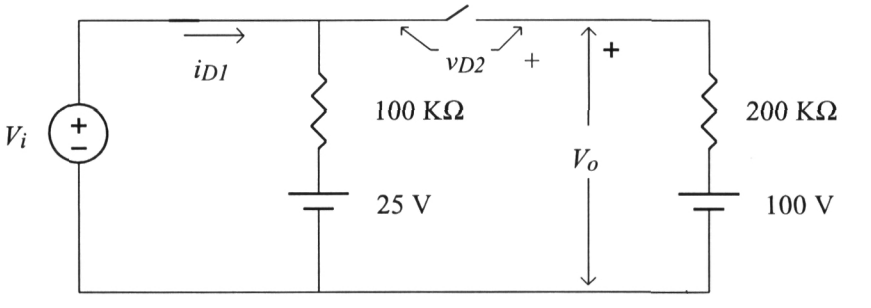
$v_{D2} = 100 - 25 = 75\ V > 0 \Rightarrow$ no se puede cumplir (2) ⇒ Caso IMPOSIBLE.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



b) Se supone: D1 → ON ⇒ $v_{D1} = 0$; $i_{D1} \geq 0$ (1)

D2 → OFF⇒ $i_{D2} = 0$; $v_{D2} \leq 0$ (2)



$$i_{D1} = \frac{V_i - 25}{100} \geq 0 \Rightarrow V_i \geq 25 \text{ V} \qquad \text{(A)}$$

$V_o = 100$ V ; $v_{D2} = V_o - V_i \leq 0 \Rightarrow V_i \geq 100$ V (B)

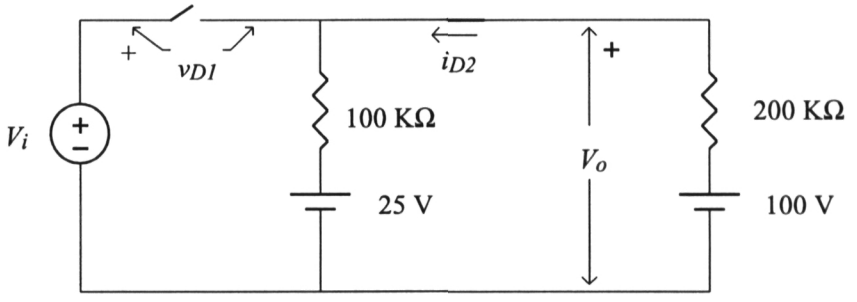
Para que sean ciertas (A) y (B) simultáneamente, debe verificarse la condición más restrictiva, que es la (B), por tanto:

$$\forall\ V_i \geq 100 \text{ V} \Rightarrow V_o = 100 \text{ V} \qquad \text{(S1)}$$

c) Se supone: D1 → OFF⇒ $i_{D1} = 0$; $v_{D1} \leq 0$ (1)

D2 → ON ⇒ $v_{D2} = 0$; $i_{D2} \geq 0$ (2)

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



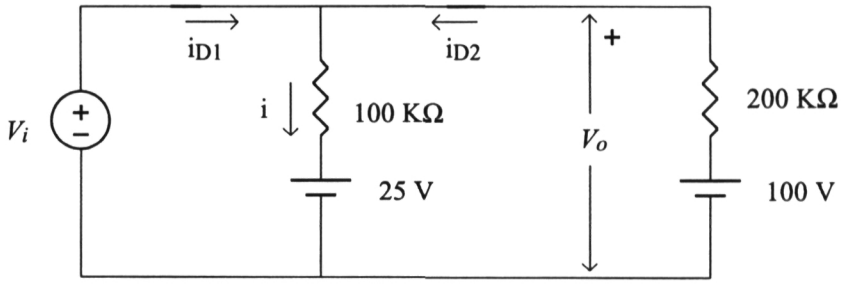
$i_{D2} = 0{,}25 \text{ mA} > 0$

$V_o = 100\, i_{D2} + 25 = 50 \text{ V}$; $v_{D1} = V_i - V_o = V_i - 50 \leq 0 \Rightarrow V_i \leq 50 \text{ V} \Rightarrow$

$\Rightarrow \qquad \forall\, V_i \leq 50 \text{ V} \Rightarrow V_o = 50 \text{ V} \qquad$ (S2)

d) Se supone: D1 → ON $\Rightarrow v_{D1} = 0$; $i_{D1} \geq 0$ (1)

D2 → ON $\Rightarrow v_{D2} = 0$; $i_{D2} \geq 0$ (2)



$i = i_{D1} + i_{D2}$

$V_i - 25 = 100\, i$

$$100 - V_i = 200\, i_{D2} \quad \Rightarrow \quad i_{D2} = \frac{100 - V_i}{200} \geq 0 \quad \Rightarrow \quad V_i \leq 100 \text{ V}$$

$V_o = V_i$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$i_{D1} = \frac{3\,V_i - 150}{200} \geq 0 \;\Rightarrow\; V_i \geq 50 \text{ V}$$

$$\Rightarrow \quad \forall\ 50 \text{ V} \leq V_i \leq 100 \text{ V} \;\Rightarrow\; V_o = V_i \qquad \text{(S3)}$$

La representación gráfica se muestra en la Figura 4.16.

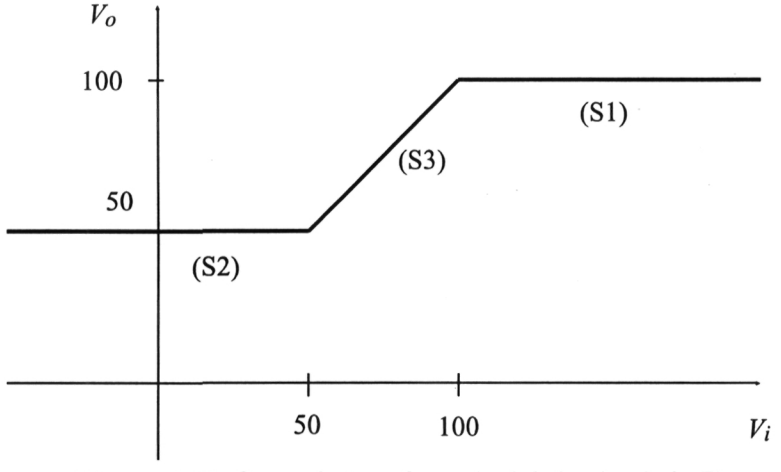


Figura 4.16 Curva de transferencia del circuito de la Figura 4.14

4.7.2.c. ***Calcula la característica de transferencia del circuito de la Figura 4.15 considerando que los diodos son ideales y que la tensión inversa del Zener es de*** $V_Z = -3$ ***V***

a) Se supone: $\text{D1} \rightarrow \text{OFF} \Rightarrow i_{D1} = 0 \;;\; -3 \text{ V} \leq v_{D1} \leq 0 \text{ V}$ (1)

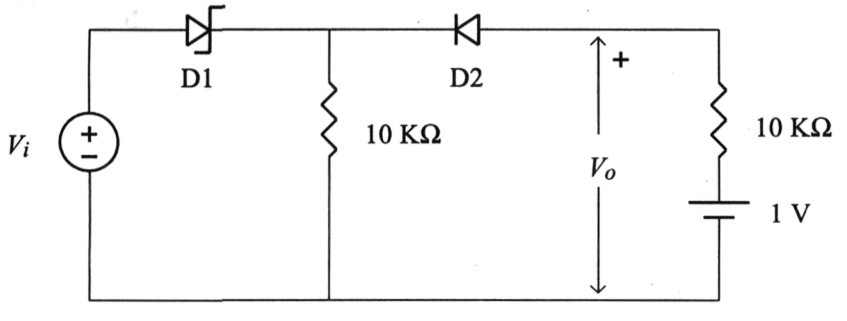
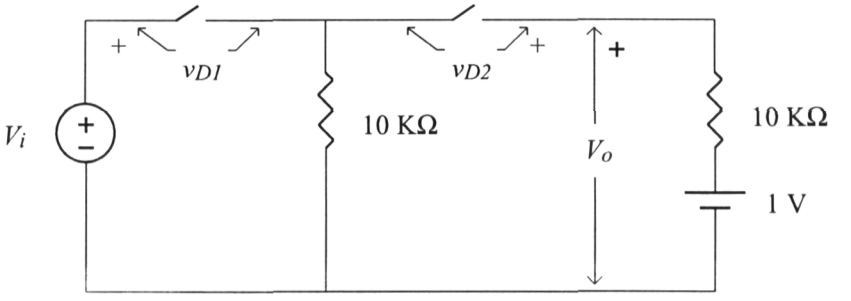


Figura 4.15

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$D2 \rightarrow OFF \Rightarrow i_{D2} = 0 \ ; \ v_{D2} \leq 0 \text{ V} \qquad (2)$$



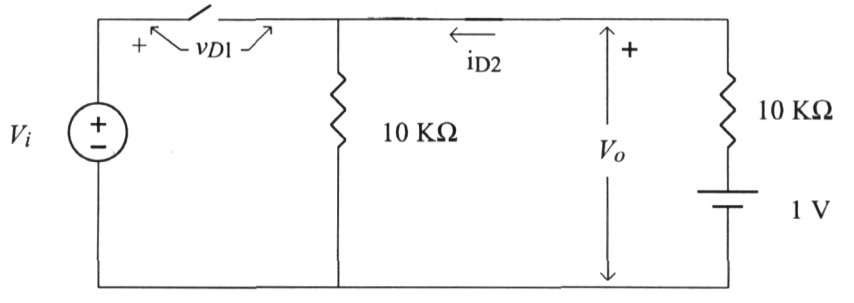
$v_{D1} = V_i$; $v_{D2} = 1 > 0 \Rightarrow$ No cumple la condición (2) $\Rightarrow$

$\Rightarrow$ Caso IMPOSIBLE

b) Se supone: $D1 \rightarrow OFF \Rightarrow i_{D1} = 0 \ ; \ -3 \leq v_{D1} \leq 0 \text{ V}$ (1)

$$D2 \rightarrow ON \Rightarrow v_{D2} = 0 \text{ V} \ ; \ i_{D2} \geq 0 \qquad (2)$$

$$i_{D2} = \frac{1}{20} > 0$$



$v_{D1} = V_i - V_o$; $V_o = 10 / 20 = 0{,}5$ V $\Rightarrow v_{D1} = V_i - 0{,}5$

(1) $\Rightarrow$ $-3 \leq V_i - 0{,}5 \Rightarrow V_i \geq -2{,}5$ V

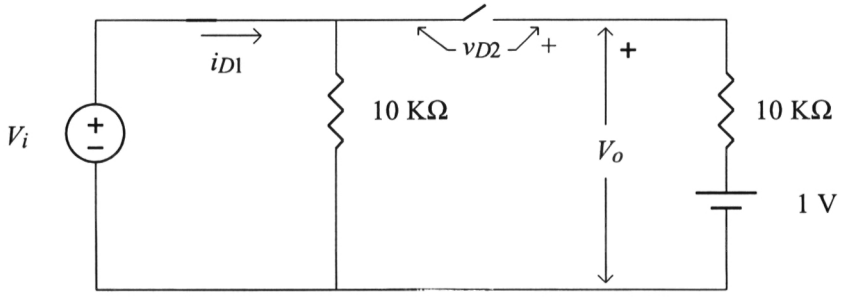
(1) $\Rightarrow$ $V_i - 0{,}5 \leq 0 \Rightarrow V_i \leq 0{,}5$ V ;

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\forall\ -2{,}5\ \text{V} \le V_i \le 0{,}5\ \text{V} \Rightarrow V_o = 0{,}5\ \text{V} \qquad \text{(S1)}$$

c) Se supone: $\text{D1} \rightarrow \text{ON} \Rightarrow v_{D1} = 0\ \text{V}\ ;\ i_{D1} \ge 0$ (1)

$\text{D2} \rightarrow \text{OFF} \Rightarrow i_{D2} = 0\ ;\ v_{D2} \le 0\ \text{V}$ (2)



$$V_o = 1\ \text{V}$$

$$i_{D1} = V_i \ge 0 \Rightarrow V_i \ge 0$$

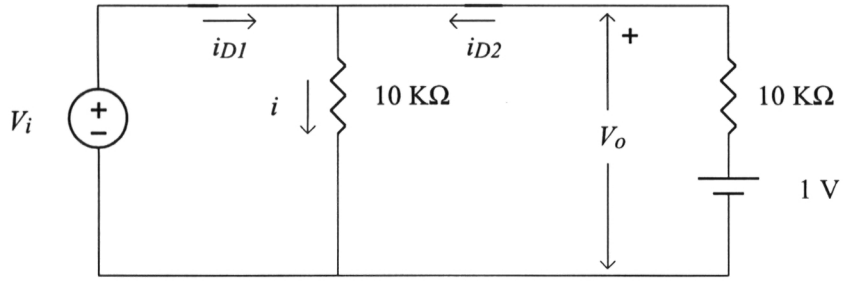
$$v_{D2} = V_o - V_i = 1 - V_i \le 0 \Rightarrow V_i \ge 1\ ;$$

Siempre que se cumpla esta condición también se cumple la anterior, pero lo contrario no es cierto, por lo que queda:

$$\forall\ V_i \ge 1\ \text{V} \Rightarrow V_o = 1\ \text{V} \qquad \text{(S2)}$$

d) Se supone: $\text{D1} \rightarrow \text{ON} \Rightarrow v_{D1} = 0\ \text{V}\ ;\ i_{D1} \ge 0$ (1)

$\text{D2} \rightarrow \text{ON} \Rightarrow v_{D2} = 0\ \text{V}\ ;\ i_{D2} \ge 0$ (2)



Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$V_o = V_i$$

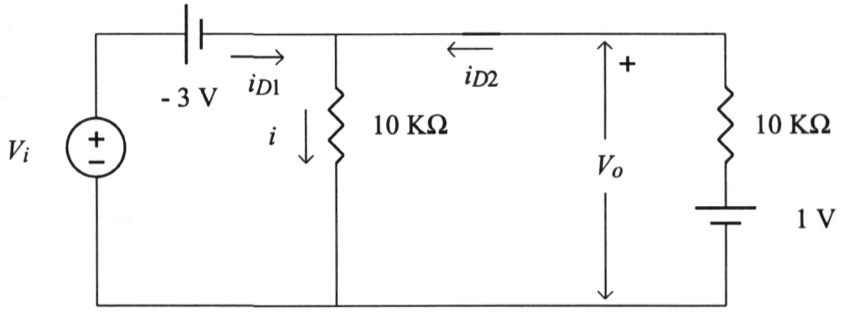
$$i_{D2} = \frac{1 - V_i}{10} \geq 0 \Rightarrow V_i \leq 1 \text{ V}$$

$$i_{D1} + i_{D2} = \frac{V_i}{10} \Rightarrow i_{D1} = \frac{2\,V_i - 1}{10} \geq 0 \Rightarrow 2\,V_i \geq 1 \Rightarrow V_i \geq 0{,}5 \text{ V}$$

$$\Rightarrow \quad \forall\ 0{,}5 \text{ V} \leq V_i \leq 1 \text{ V} \Rightarrow V_o = V_i \qquad \text{(S3)}$$

e) Se supone: D1 → INV⇒ $v_{D1} = -3$ V ; $i_{D1} \leq 0$ (1)

D2 → OFF⇒ $i_{D2} = 0$; $v_{D2} \leq 0$ V (2)



$$v_{D2} = 1 - (3 + V_i) = -V_i - 2 \leq 0 \Rightarrow V_i \geq -2$$

$$i_{D1} = \frac{3 + V_i}{10} \leq 0 \Rightarrow V_i \leq -3$$

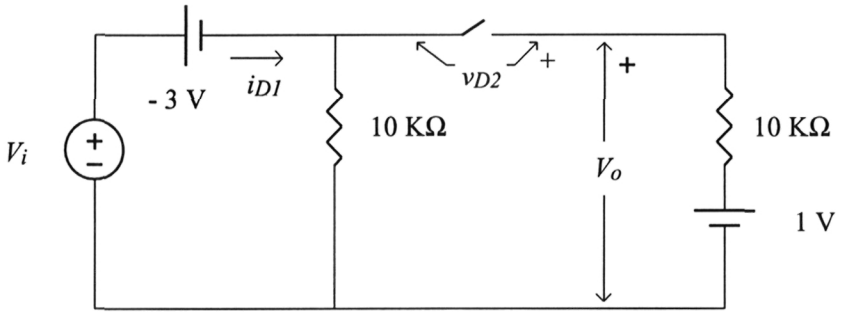
Estas condiciones son incompatibles ⇒ Caso IMPOSIBLE

f) Se supone: D1 → INV⇒ $v_{D1} = -3$ V ; $i_{D1} \leq 0$ (1)

D2 → ON ⇒ $v_{D2} = 0$ V ; $i_{D2} \geq 0$ (2)

$$i_{D2} = \frac{1 - V_o}{10} \ ; \ V_o = 3 + V_i \Rightarrow i_{D2} = \frac{-V_i - 2}{10} \geq 0 \Rightarrow V_i \leq -2 \text{ V}$$

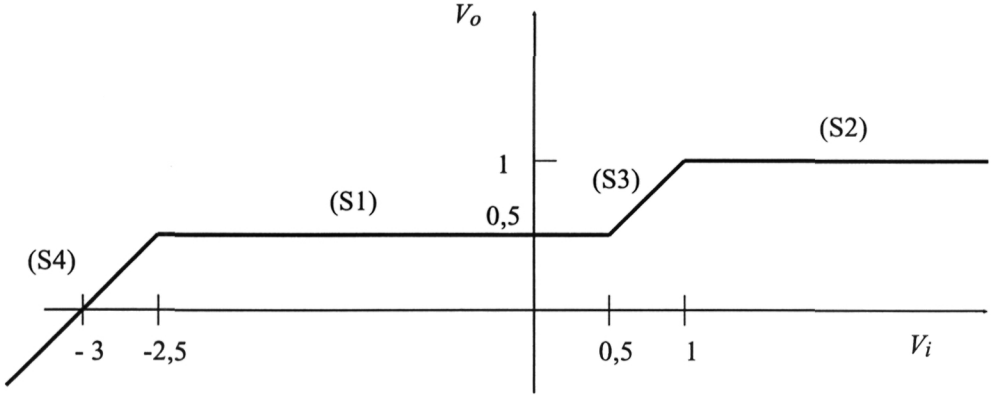
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



$$i_{D1} + i_{D2} = \frac{3 + V_i}{10} = i_{D1} - \frac{V_i + 2}{10} \Rightarrow i_{D1} = \frac{2\,V_i + 5}{10} \leq 0 \Rightarrow V_i \leq -2{,}5\ \text{V}$$

Esta última condición engloba a la anterior, por lo tanto:

$$\forall\ V_i \leq -2{,}5\ \text{V} \Rightarrow V_o = 3 + V_i \qquad \text{(S4)}$$



Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

5.- El transistor bipolar (B.J.T.)

OBJETIVOS

- Conocimiento de la estructura física y los detalles constitutivos esenciales de los transistores bipolares.
- Conocimiento de los diferentes modelos del B.J.T. que se utilizan para el análisis analítico de circuitos.
- Solucionar problemas de análisis estático y de característica de transferencia de circuitos que contengan transistores bipolares.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

5.1. ESTRUCTURA FÍSICA DEL B.J.T.

El transistor bipolar es un dispositivo electrónico constituido por un monocristal de silicio en la que se ha realizado un dopado alterno con impurezas tipo N y P en tres zonas diferentes. Esta definición da lugar a dos estructuras diferentes: el transistor NPN y el transistor PNP. El funcionamiento de ambos transistores es totalmente equivalente, con lo que sólo es necesario el estudio de uno de ellos para deducir directamente el del otro. En este manual se estudiará el B.J.T. NPN por ser el más utilizado en la práctica. La Figura 5.1 muestra un corte longitudinal de la estructura básica de estos transistores y sus respectivos símbolos de circuito.

Cada zona del transistor tiene un terminal metálico para conectarse a otros dispositivos, de ahí que el B.J.T. es un **dispositivo de tres terminales**. La zona central se denominan BASE (B) y las de los extremos COLECTOR (C) y EMISOR (E). Estas dos últimas zonas presentan características diferentes tanto de dopado como geométricas, por lo que el dispositivo no es simétrico. Para que el funcionamiento del transistor sea correcto, debe presentar las siguientes características:

- El espesor de la zona de base (la separación entre emisor y colector) debe ser muy pequeño (del orden de pocos μm.), siempre menor que las longitudes de difusión de electrones y huecos.

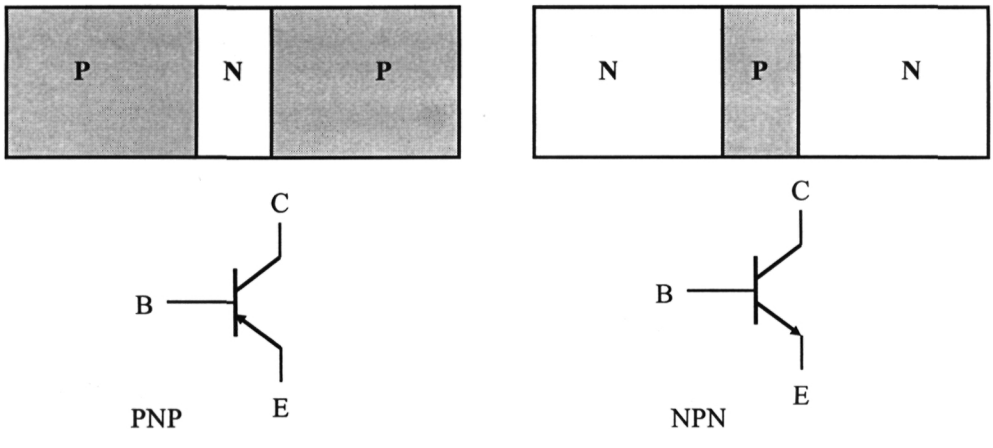


Figura 5.1 Estructura física y símbolos de los B.J.T. PNP y NPN

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

- El dopado de la región de emisor debe ser mucho mayor que el de la base y que el del colector.
- El área de contacto del colector con la base debe ser mayor que la del emisor con la base.

La Figura 5.2 muestra la estructura física de un transistor NPN real de tipo planar.

5.2. FUNCIONAMIENTO DEL B.J.T.

En principio, un transistor NPN podría considerarse como dos uniones PN en serie, pero debido a la pequeña anchura de la base las dos uniones se interactúan produciéndose lo que se conoce como efecto transistor. Si se polariza directamente la unión emisor-base, se inyectan electrones desde el emisor a la base, estos electrones, que son minoritarios en la base, tienden a difundirse a través de ella y a recombinarse con sus huecos. Pero si la anchura de la base es muy pequeña comparada con la longitud de difusión de los electrones entonces una gran cantidad de estos podrán llegar hasta la unión colector-base y, si ésta se encuentra polarizada inversamente, ser arrastrados constituyendo una corriente de colector. Esta es la base del funcionamiento del transistor.

Esto se verá más claro analizando las distintas corrientes a través del dispositivo como respuesta a las tensiones externas aplicadas. Vamos a estudiar una

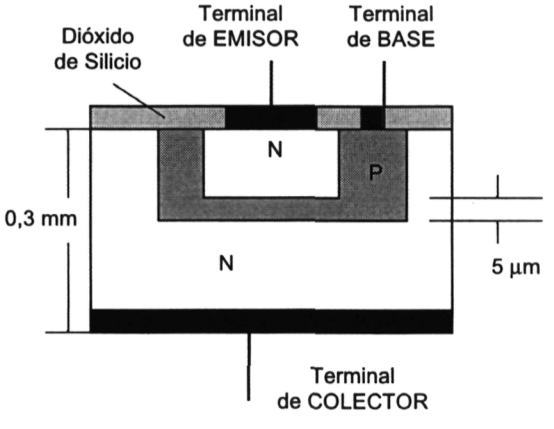


Figura 5.2 Estructura real de un B.J.T. tipo planar

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

estructura NPN con su unión base-emisor directamente polarizada y su unión colector-base inversamente polarizada.

Comenzando por esta última, es evidente que al tratarse de una unión polarizada inversamente solo los portadores minoritarios de ambas zonas que se acerquen a las proximidades de la unión o los portadores que se creen por rotura de enlaces covalentes dentro de ella serán capaces de atravesarla, ya que el campo creado en ella se opone al paso de portadores mayoritarios. Esta es una corriente inversa de saturación que se representa por I_{CB0}, de valor muy pequeño, independiente de la tensión inversa aplicada y muy dependiente de la temperatura, ya que gran cantidad de sus portadores provienen por la rotura de enlaces covalentes debido a la temperatura.

En cuanto a la unión base-emisor, al tener aplicada una polarización directa los portadores mayoritarios de ambas zonas pueden atravesarla, por lo que habrá un paso importante de electrones hacia la base y de huecos hacia el emisor. Pero como el emisor debe estar mucho más dopado que la base, la cantidad de electrones que llega a la base será mucho mayor que la cantidad de huecos que recibe el emisor.

Si se aplica esta polarización de forma simultánea a las dos uniones y la anchura de la base fuera grande, el dispositivo se comportaría como dos uniones en serie independientes y la corriente que circularía por el colector sería muy pequeña. Pero si la anchura de la base es muy pequeña comparada con la longitud de difusión de los electrones en ella, entonces una gran cantidad de electrones procedentes del emisor son capaces de llegar hasta unión base-colector, donde son arrastrados por el campo eléctrico y convertidos en corriente de colector y por la misma razón muy pocos electrones se recombinarán en la base.

Así pues, la corriente de base está formada por tres componentes:

a) Los huecos que pasan de la base al emisor (I_{B1}), debido a la polarización directa de la unión. Al estar el emisor mucho más dopado que la base, esta corriente es mucho menor que los electrones que pasan del emisor a la base.

b) Los huecos que aporta la base para compensar las posibles recombinaciones con los electrones procedentes del emisor (I_{B2}). Son muy pocos ya que la gran mayoría de electrones procedentes del emisor llegan al colector.

c) Las dos componentes de la corriente I_{CB0}, huecos que entran en la base y electrones que salen de ella hacia el colector (I_{B3}). Corriente también muy pequeña ya que se trata de una corriente inversa de saturación de una unión PN.

Como consecuencia de todo lo anterior, se tienen las siguientes corrientes en el transistor, mostradas en la Figura 5.3.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

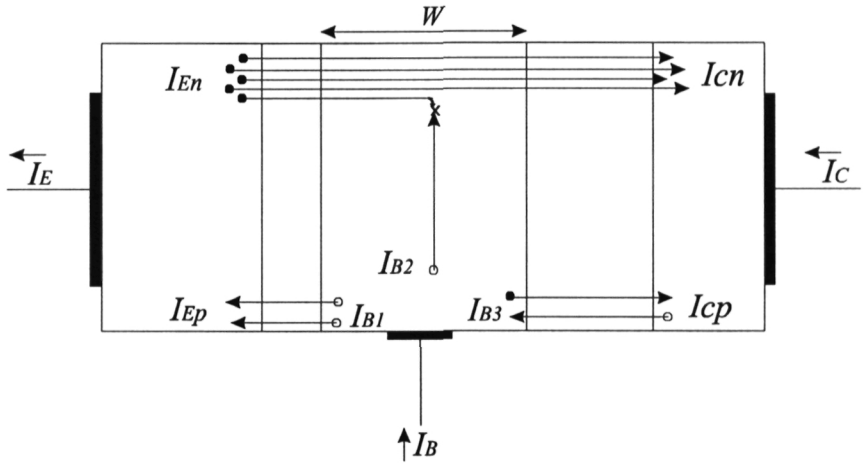


Figura 5.3 Diagrama de las corrientes en un BJT con la unión BE directamente polarizada y la unión BC inversamente polarizada.

$$I_E = I_{EN} + I_{EP} \approx I_{EN}$$

$$I_B = I_{B1} + I_{B2} + I_{B3} \approx I_{EP} + I_{CB0} <<< I_E$$

$$I_C = I_{CN} + I_{CB0} \approx I_{CN} \approx I_{EN} >>> I_B$$

Resumiendo, puede decirse que la corriente de colector es ligeramente inferior que la de emisor y que la corriente de base es mucho más pequeña que la de emisor y que la de colector. Calculando el valor de la corriente de colector, se tiene:

$$I_C = I_{CN} + I_{CB0} = \frac{I_{CN}}{I_E} I_E + I_{CB0} = \frac{I_{CN}}{I_E} (I_C + I_B) + I_{CB0}$$

de donde:

$$I_C \left(1 - \frac{I_{CN}}{I_E}\right) = \frac{I_{CN}}{I_E} I_B + I_{CB0}$$

y por tanto, despejando la corriente de colector:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$I_C = \frac{I_{CN}/I_E}{1 - I_{CN}/I_E} I_B + \frac{1}{1 - I_{CN}/I_E} I_{CB0}$$

Se define la **ganancia de corriente** del transistor (β) por la expresión:

$$\beta = \frac{I_C}{I_B} \approx \frac{I_{CN}}{I_B} \approx \frac{I_{CN}}{I_B + I_C - I_{CN}} = \frac{I_{CN}}{I_E - I_{CN}}$$

Dividiendo por I_E queda $\beta = \dfrac{I_{CN}/I_E}{1 - I_{CN}/I_E}$, y sustituyendo esta expresión en la de la corriente de colector, se obtiene:

$$\boldsymbol{I_C = \beta I_B + (1 + \beta) I_{CB0}}$$

Ecuación fundamental que define el funcionamiento del transistor en las condiciones especificadas de unión base-emisor directamente polarizada y unión base-colector inversamente polarizada. En la mayoría de los casos se verifica que $I_{CB0} << I_B$ y se puede aproximar por $\boldsymbol{I_C \approx \beta I_B}$

5.3. REGIONES DE FUNCIONAMIENTO DEL B.J.T.

El B.J.T. está formado por dos uniones PN, cada una de las cuales puede polarizarse de dos formas, como se vió en el diodo, de lo que se deduce que existen cuatro posibilidades diferentes de polarizar al transistor. Cada una de esas posibilidades define una región de funcionamiento o zona de operación del transistor, denominadas **activa, saturación, corte** e **inversa**.

La *región activa* se obtiene polarizando directamente la unión BE e inversamente la unión BC y es la más común en aplicaciones analógicas ya que en ella se obtienen grandes ganancias, pudiéndose utilizar el transistor como un amplificador, tanto de tensión como de intensidad. En esta región las tres corrientes del transistor son distintas de cero y sus características pueden resumirse en las siguientes expresiones:

$$V_{BE} \approx V_{DON} \;;\; V_{BC} < V_{DON} \;;\; I_B > 0 \;;\; I_C \approx \beta I_B \;;\; \beta >>> 1$$

En la *región de saturación*, el transistor tiene sus dos uniones polarizadas directamente. También aquí sus tres corrientes son distintas de cero. Es utilizada en

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

circuitos digitales, de forma que generalmente se asocia un cero lógico a un transistor en saturación. Sus características son las siguientes:

$$V_{BE} \approx V_{DON} \; ; \; V_{BC} \approx V_{DON} \; ; \; I_B > 0$$

En la *región de corte*, las dos uniones están inversamente polarizadas, por lo que las corrientes por el transistor son nulas. También es utilizada en circuitos digitales, de forma que se asocia un uno lógico con un transistor en corte. Sus características son:

$$V_{BE} < V_{DON} \; ; \; V_{BC} < V_{DON} \; ; \; I_B = I_C = 0$$

La *región inversa* se obtiene polarizando directamente la unión BC e inversamente la unión BE, es decir de forma opuesta a la zona activa. El funcionamiento, aunque es totalmente análogo al de esta zona, es cuantitativamente diferente, ya que debido a la asimetría entre colector y emisor su ganancia de corriente es pequeña, normalmente menor que la unidad. En la práctica, salvo en aplicaciones muy específicas, es muy poco usada, por lo que no será tenida en cuenta en los ejercicios propuestos en este manual a menos que se indique lo contrario. Sus características son:

$$V_{BE} < V_{DON} \; ; \; V_{BC} \approx V_{DON} \; ; \; I_B > 0 \; ; \; I_E \approx \beta_R I_B \; ; \; \beta_R < 1$$

5.4. EL TRANSISTOR BIPOLAR COMO ELEMENTO DE CIRCUITO

El transistor bipolar es un elemento de tres terminales, de ahí que su estado venga dado por seis variables, tres tensiones y tres intensidades, que son I_B, I_C, I_E, V_{BE}, V_{BC} y V_{CE}. No obstante, y considerando que deben verificarse las leyes de Kirchoff, sólo son necesarias cuatro variables, dos tensiones y dos intensidades para determinar dicho estado, ya que las dos restantes podrán obtenerse aplicando estas leyes.

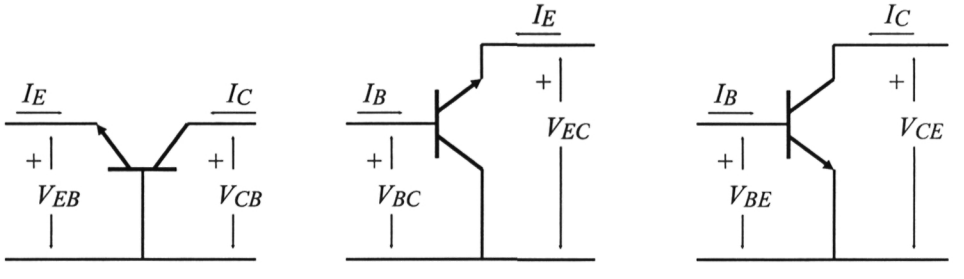
Además de las leyes de Kirchoff, la estructura física del transistor impone unas relaciones entre estas seis variables, que son de tipo exponencial como la que relaciona la tensión y la intensidad en el diodo, y suelen ser conocidas como ecuaciones de Ebers-Moll, cuya estudio está fuera de los objetivos del presente manual.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

5.4.1. Configuraciones del transistor bipolar

Cuando se inserta un transistor bipolar en un circuito, su función es análoga a un elemento con dos puertos, uno de entrada y otro de salida, de forma que uno de los terminales es común a ambos puertos. Según esto, existen tres posibilidades de colocar al transistor, conocidas como **configuraciones**, que son *base común*, *colector común* y *emisor común*. Normalmente, el terminal de base siempre forma parte del puerto de entrada junto con el terminal común. Para la configuración de base común, el otro terminal de entrada es el emisor. El conjunto de las cuatro variables elegidas para determinar el estado del transistor también depende de cada configuración, de forma que siempre se escoge la tensión e intensidad en el puerto de entrada y la tensión e intensidad en el de salida.

La Figura 5.4 muestra cada una de las tres configuraciones junto con las variables que se utilizan en cada una de ellas. Como se ha dicho, estas variables están relacionadas mediante las ecuaciones de Ebers-Moll, de forma que para configuración existen dos ecuaciones que relacionan dichas variables, también representadas en dicha figura.



$I_E = f(V_{EB}, V_{CB})$
$I_C = g(V_{CB}, I_E)$

Base común

$I_B = f(V_{BC}, V_{EC})$
$I_E = g(V_{EC}, I_B)$

Colector común

$I_B = f(V_{BE}, V_{CE})$
$I_C = g(V_{CE}, I_B)$

Emisor común

Figura 5.4 Configuraciones del transistor bipolar

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

5.4.2. Curvas Características del Transistor Bipolar

Como en el caso del diodo, las relaciones entre las variables del transistor pueden representarse gráficamente, obteniéndose las curvas características. La diferencia con el diodo estriba en que ahora tenemos seis variable en vez de dos, con lo que la representación no puede ser un simple gráfico bidimensional. Para salvar este inconveniente, y teniendo en cuenta que la información en forma gráfica es muy útil en muchas aplicaciones, suelen representarse las familias de curvas del transistor en las distintas configuraciones. Por ejemplo, para la configuración de emisor común, que es la más utilizada, se representan las *curvas de entrada* como las funciones $I_B = f(V_{BE})$ para varios valores de V_{CE} y las *curvas de salida* como las funciones $I_C = g(V_{CE})$ para varios valores de I_B. Estas curvas son muy importantes porque gran parte de la información suministrada por los fabricantes de transistores sobre el comportamiento de los mismos viene en forma gráfica. Un ejemplo puede verse en la Figura 5.5, donde se representan las curvas de entrada y de salida del transistor 2N2923.

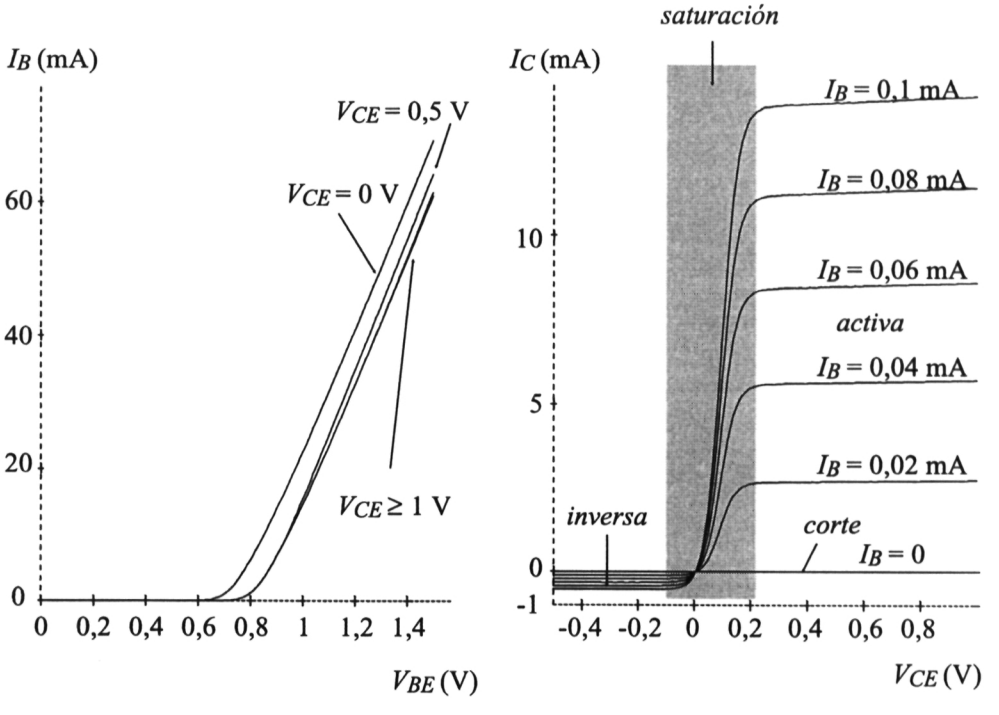


Figura 5.5 Curvas de entrada y salida en emisor común del 2N2923

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

En las curvas de salida puede observarse donde se sitúan las distintas regiones de funcionamiento del transistor, como se comprueba en la citada figura.

5.4.3. Polarización y modelos linealizados del B.J.T.

Polarizar un transistor consiste en aplicarle unas determinadas corrientes o tensiones continuas para establecer un estado prefijado. Esto se hace para colocar al transistor dentro de la zona de operación que sea conveniente para la aplicación en que se utilice. Para ello se conecta el transistor a una red externa, llamada red de polarización, constituida por elementos tales como resistencias, baterías, etc. El conjunto de corrientes y tensiones que aparecen entre sus terminales determinan el punto de trabajo del transistor y viene definido por tres corrientes (I_B , I_E , I_C) y tres tensiones (V_{BE} , V_{CE} , V_{CB}) de las cuales solo es necesario calcular cuatro, como ya se ha visto, por lo que se necesitan cuatro ecuaciones.

Dos ecuaciones vienen dadas por las redes de polarización externa, aplicando las leyes de Kirchoff a su malla de entrada y a su malla de salida. Las otras dos ecuaciones son las propias del dispositivo, que como ya se ha dicho, son funciones exponenciales, por lo que su solución exacta sólo es abordable mediante cálculo numérico por computador. No obstante, como ya se vio con el diodo, puede realizarse un análisis simplificado utilizando modelos linealizados del comportamiento del transistor, lo cual es muy útil para una mejor comprensión del funcionamiento del transistor. Estos modelos pueden tomarse más o menos complejos, según sea el grado de aproximación a la realidad que se desee. Pueden destacarse los tres modelos siguientes:

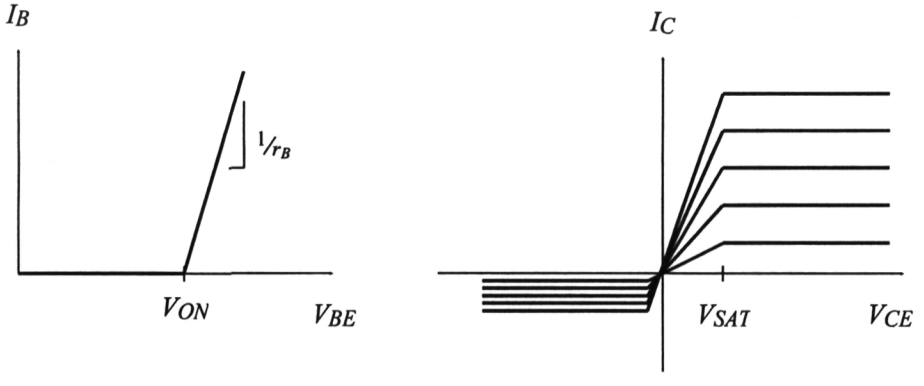


Figura 5.6 Aproximación de las curvas en el modelo linealizado general.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

5.4.3.a. *Modelo linealizado general.*

En este modelo, las curvas características de entrada y salida se aproximan por las que se muestran en la Figura 5.6. Los parámetros necesarios para caracterizar este modelo son la tensión umbral de la base V_{ON}, la resistencia de base r_B, las ganancias en directa e inversa β y β_R y la tensión de saturación V_{SAT}.

Para cada región de funcionamiento, el transistor bipolar se comporta como un circuito lineal diferente, mostrado en la Figura 5.7, debiéndose verificar una serie de condiciones que se muestran a continuación:

Zona Activa:

Condiciones: $I_B \geq 0$; $V_{CE} > V_{SAT}$

Circuito: $V_{BE} = V_{ON} + I_B r_B$; $I_C = \beta I_B$

Zona de Saturación:

Condiciones: $I_B > 0$; $-\frac{\beta_R}{\beta} V_{SAT} \leq V_{CE} \leq V_{SAT}$

Circuito: $I_C = \frac{\beta I_B}{V_{SAT}} V_{CE}$; $V_{BE} = V_{ON} + I_B r_B$ si $V_{CE} \geq 0$ y $V_{BC} = V_{ON} + I_B r_B$ si $V_{CE} \leq 0$

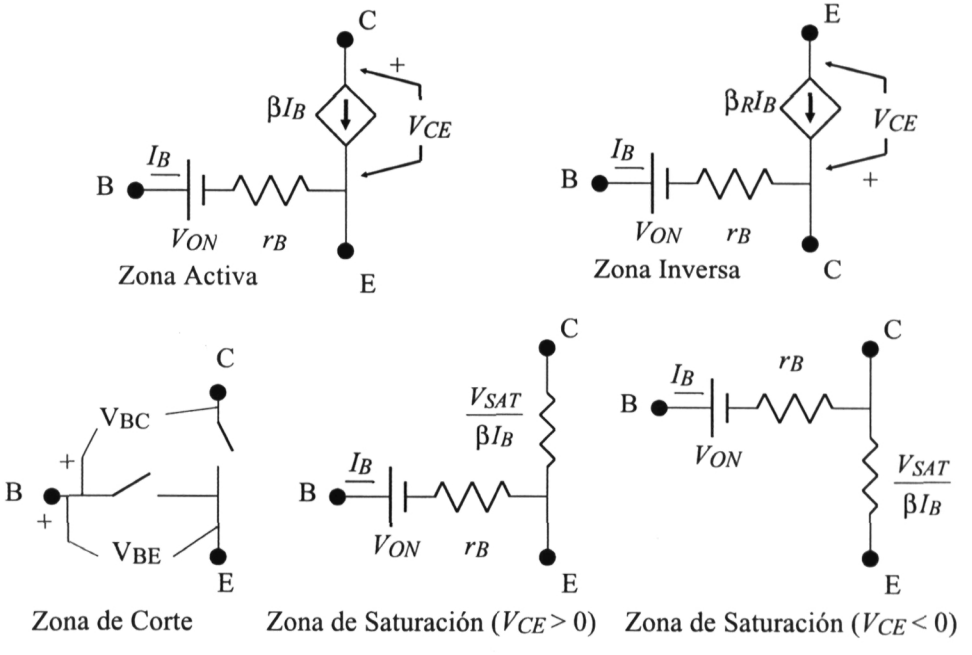


Figura 5.7 Modelo linealizado general del B.J.T.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Zona de corte:
Condiciones: $V_{BE} < V_{ON}$; $V_{BC} < V_{ON}$
Circuito: $I_B = 0$; $I_C = 0$
Zona inversa:

Condiciones: $I_B \geq 0$; $V_{CE} < -\frac{\beta_R}{\beta} V_{SAT}$

Circuito: $V_{BC} = V_{ON} + I_B r_B$; $I_E = \beta_R I_B$

5.4.3.b. ***Modelo idealizado.***

En este modelo se introducen simplificaciones tanto en las curvas de entrada como de salida, como se muestra en la Figura 5.8. En este nuevo modelo, la resistencia de base R_B se hace nula y la zona de saturación se reduce a considerar que $V_{CE} = V_{SAT}$ para I_C positiva y $V_{CE} = 0$ para I_C negativa. El funcionamiento del transistor y las condiciones en cada zona de operación son las siguientes:

Zona Activa:
Condiciones: $I_B \geq 0$; $V_{CE} > V_{SAT}$
Circuito: $V_{BE} = V_{ON}$; $I_C = \beta I_B$
Zona de Saturación:
Condiciones: $I_B > 0$; $0 < I_C \leq \beta I_B$ $\rightarrow$ Circuito: $V_{BE} = V_{ON}$; $V_{CE} = V_{SAT}$
Condiciones: $I_B > 0$; $0 < I_E \leq \beta_R I_B$ $\rightarrow$ Circuito: $V_{BC} = V_{ON}$; $V_{CE} = 0$
Zona de corte:
Condiciones: $V_{BE} < V_{ON}$; $V_{BC} < V_{ON}$
Circuito: $I_B = 0$; $I_C = 0$

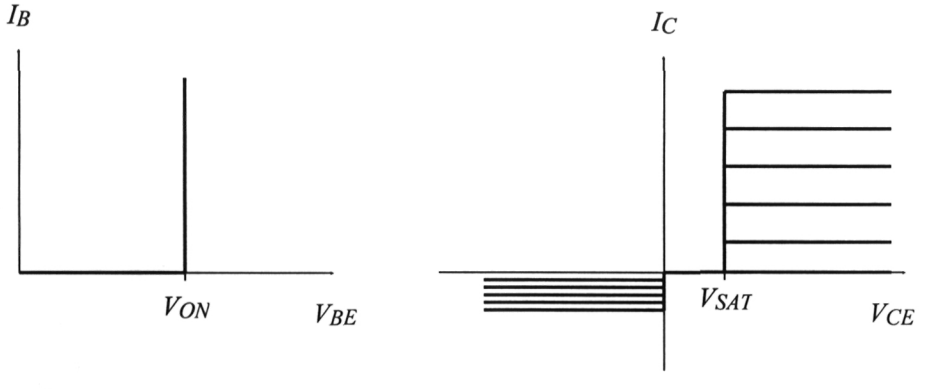


Figura 5.8 Aproximación de las curvas en el modelo idealizado.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Zona inversa:

Condiciones: $I_B \geq 0$; $V_{CE} < 0$

Circuito: $V_{BC} = V_{ON}$; $I_E = \beta_R I_B$

La Figura 5.9 muestra los circuitos equivalentes en cada una de estas zonas.

5.4.3.c. *Modelo simplificado*

Es una variación del modelo idealizado que consiste en considerar que la tensión de conducción en el diodo base-emisor es diferente en las zonas activa y de saturación. De esta forma, para transistores bipolares de silicio, se tiene:

Si el transistor trabaja en zona activa, $V_{BE} = 0{,}6$ V

Si el transistor se encuentra en zona de saturación, $V_{BE} = 0{,}8$ V; $V_{CE} = 0{,}2$ V

Si el transistor se encuentra en corte, $V_{BE} < 0{,}5$ V

El resto de las condiciones coinciden con el modelo idealizado.

Otra forma diferente de analizar un circuito con transistores es utilizar un método gráfico, para lo cual debe disponerse de sus curvas características. Ahora bien, debido a su complejidad, este método sólo es aplicable en la práctica cuando el número de transistores acoplados en el circuito es muy pequeño.

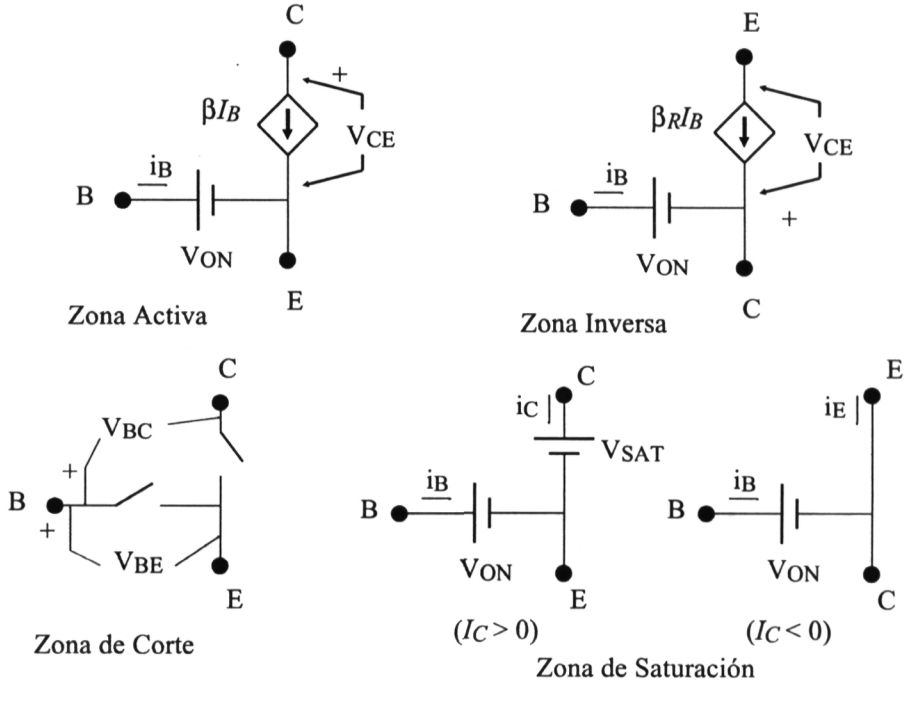


Figura 5.9 Modelo idealizado del B.J.T.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Otro problema diferente es el del diseño en general de la red de polarización, es decir, dado un punto de trabajo, diseñar una red de polarización que mantenga al transistor en ese punto. Este problema puede tener muchas soluciones diferentes, por lo que la solución que suele darse es usar redes de polarización ya conocidas y de resultados contrastados por la experiencia, de forma que cambiando únicamente algunos de los valores de sus componentes se puede colocar al transistor en el punto de trabajo deseado. Vamos a ver dos redes de polarización de las más sencillas.

1º) Red de polarización de un transistor NPN en emisor común y sin resistencia en emisor. (Figura 5.10)

a) Las Leyes de Kirchoff aplicadas al dispositivo son:

$I_E = I_B + I_C$

$V_{BE} + V_{CB} = V_{CE}$

b) Las ecuaciones de las mallas externas:

$V_{BB} = IB\ R_B + V_{BE}$ para la malla de entrada.

$V_{CC} = I_C\ R_C + V_{CE}$ para la malla de salida.

c-1) Solución gráfica.

En las curvas de entrada se representa la ecuación de la malla de entrada, que es una recta. Esta recta intersecta a cada curva de entrada en un punto diferente. A priori no conocemos la tensión V_{CE} del transistor, por lo que no se sabe qué curva de entrada es la correcta. No obstante, puesto que todas estas prácticamente se superponen a partir de una tensión V_{CE} muy baja, se suele tomar como válido el punto de intersección de la recta con estas curvas superpuestas, obteniendo los valores de la corriente de base I_B y la tensión base-emisor V_{BE}.

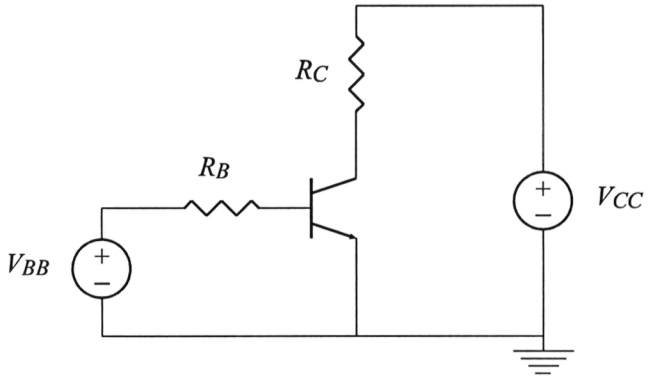


Figura 5.10 Red de polarización sin resistencia de emisor

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

En las curvas de salida se representa la ecuación de la malla de salida, llamada recta de carga, de forma que la intersección de esta recta con la curva correspondiente a la corriente de base antes calculada nos dará los valores de la corriente de colector I_C y la tensión colector emisor V_{CE}. La corriente de emisor I_E y la tensión base colector V_{BC} se calculan a partir de las ecuaciones del apartado a).

La Figura 5.11 muestra esta solución para unos valores de $V_{BB} = 5$ V; $V_{CC} = 10$ V; $R_B = 4{,}2$ KΩ y $R_C = 50$ Ω, pudiéndose determinar a partir de las gráficas que $I_B \approx 1$ mA ; $V_{BE} \approx 0{,}8$ V ; $I_C \approx 100$ mA y $V_{CE} \approx 5$ V.

c-2) Solución analítica.

Si no se dispone de las curvas características, el problema puede afrontarse de forma analítica, utilizando un modelo lineal. Para ello, hay que sustituir el transistor por alguno de los circuitos equivalentes asociado a cada zona de operación. Para saber cuál es el circuito correcto habría que conocer previamente en que región de funcionamiento se encuentra el transistor, pero como esto no lo sabemos de antemano, hay que realizar una suposición. Es decir, hay que suponer que el transistor está en una determinada región de funcionamiento, sustituirlo por el circuito equivalente asociado a esa región, resolver el circuito y comprobar que la solución verifica las condiciones de la zona de funcionamiento supuesta. Si no es

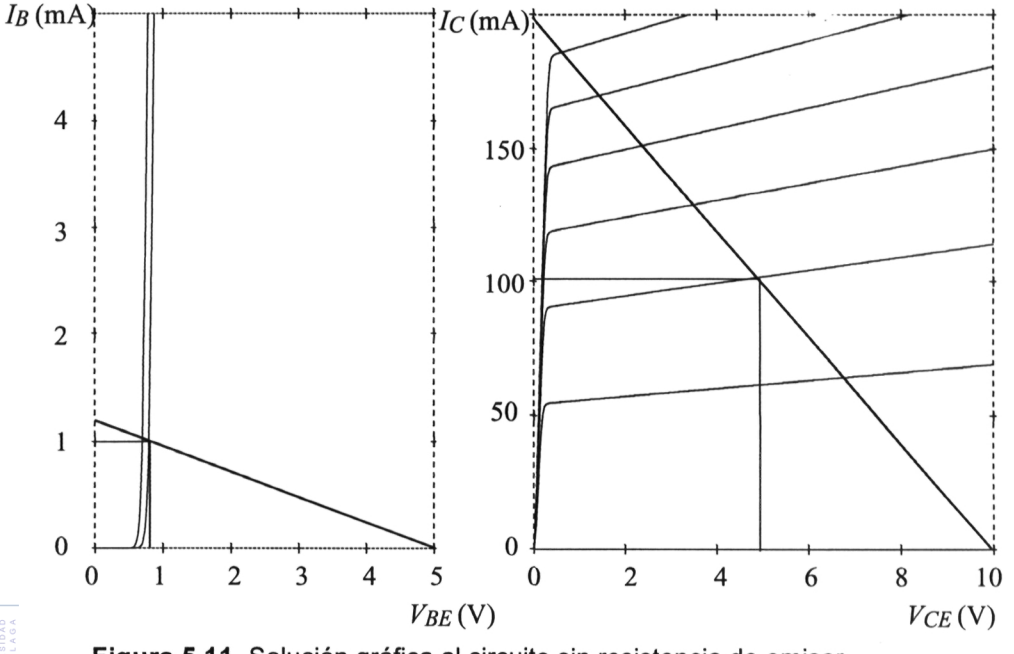


Figura 5.11 Solución gráfica al circuito sin resistencia de emisor

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

así, el transistor no estaría en esa región y habría que comenzar de nuevo suponiendo otra distinta.

Por ejemplo, si utilizamos el modelo simplificado y suponemos que el transistor opera en zona activa, entonces, a las cuatro ecuaciones de los apartados a) y b), hay que añadirle $I_C = \beta I_B$ y $V_{BE} = 0{,}6$ V. Con estas seis ecuaciones se resuelve el circuito, de forma que debe verificarse que $I_B > 0$ y $V_{CE} > 0{,}2$ V. Si por el contrario suponemos que está en saturación, entonces a las cuatro ecuaciones de los apartados a) y b) se le añade $V_{BE} = 0{,}8$ V y $V_{CE} = 0{,}2$ V. Las condiciones que deben cumplir la solución son ahora: $I_B > 0$ e $I_C \leq \beta I_B$.

5.5. EL TRANSISTOR BIPOLAR EN CONMUTACIÓN

En la mayoría de las aplicaciones donde los B.J.T. forman parte de puertas lógicas, funcionan como interruptores gobernados por una señal de control. En tales aplicaciones el transistor opera como un elemento de dos estados, correspondientes a sus zonas de corte (un interruptor abierto) y saturación (interruptor cerrado).

La Figura 5.12 muestra un circuito simple que funciona como inversor digital. La salida se toma del colector del transistor. La tensión de entrada solo debe tomar dos valores, un valor de tensión alto (V_{CC}) como uno lógico y un valor de tensión bajo (0 V) como cero lógico. Cuando la tensión de entrada tiene un valor alto, se asegura que el transistor entra en saturación y por tanto la tensión de salida

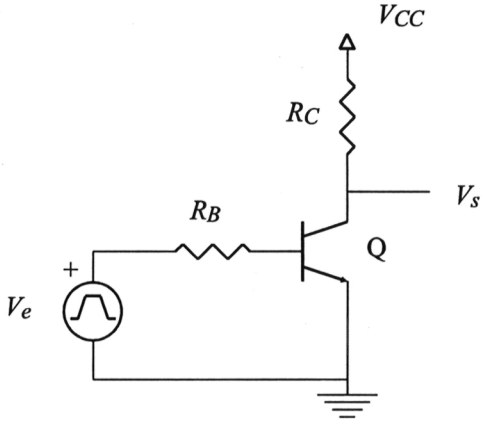


Figura 5.12 Inversor básico con B.J.T.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

será la equivalente a que hubiese un interruptor cerrado (con una caída de tensión de 0,2 V en lugar de cero) entre los terminales de salida. Si la tensión de entrada es inferior a 0,5 V, se asegura que el transistor se encuentra cortado y al no circular corriente por la resistencia de colector, la tensión de salida será la misma que la de alimentación, es decir, es equivalente a que entre colector y emisor hubiese un interruptor abierto que evita el paso de corriente.

5.5.1. Familias Lógicas Bipolares

5.5.1.a. *Familia RTL (Resistor - Transistor Logic).*

Se trata de la familia lógica bipolar más antigua, que data del año 1962. Hoy día ha desaparecido, pero es útil por su valor pedagógico. Está constituida exclusivamente con resistencias y transistores. Su puerta básica es la NOR, cuya estructura se muestra en la Figura 5.13. Su funcionamiento es el siguiente:

Cuando todas las entradas estén a nivel bajo, con tensión inferior a 0,5 V, todos los transistores estarán cortados y las corrientes de colector serán nulas, por lo que $V_o = V_{CC}$.

Si alguna entrada está a nivel alto, el transistor correspondiente entra en saturación y por tanto la salida será $V_o = 0{,}2$ V.

Su principal ventaja es la simplicidad del circuito y la posibilidad de realizar la función AND cableada. El circuito de la Figura 5.14 muestra la conexión de dos salidas de dos puertas RTL. La primera puerta presenta en su salida una función lógica de sus entradas S1, de la misma forma que S2 es la función lógica resultante

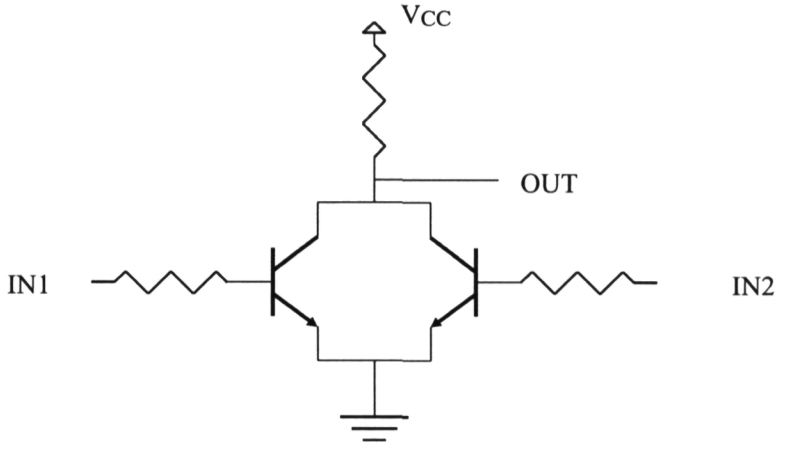
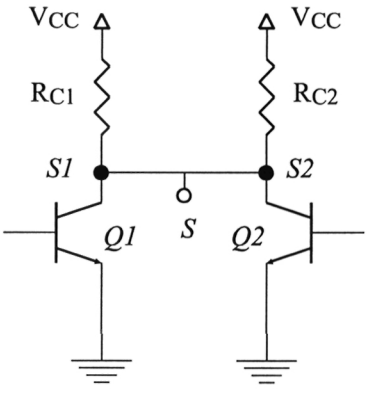


Figura 5.13 Puerta NOR RTL

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



S1	S2	Q1	Q2	S
0	0	saturación	saturación	0
0	1	saturación	corte	0
1	0	corte	saturación	0
1	1	corte	corte	1

Figura 5.14 Flexibilidad lógica de la familia RTL

de las entradas de la puerta 2. Al conectar las salidas de ambas puertas se obtiene la función adicional S. La tabla de verdad adjunta muestra que con esta operación se obtiene en S la función AND de las salidas S1 y S2 simplemente con unirlas.

Sus principales inconvenientes son que la entrada consume intensidad, el FAN-IN es pequeño, presenta poca inmunidad al ruido, con margen NM_L muy bajo y el tiempo de subida es excesivamente alto.

El cálculo de la curva de transferencia y del FAN-OUT se muestra en los ejercicios resueltos 5.6.2.a. y 5.6.3.a. respectivamente.

5.5.1.b. *Familia DTL (Diode Transistor logic)*

Esta familia usa diodos y transistores bipolares en su construcción. Se introdujo en 1964 para mejorar el bajo fan-out de la familia RTL y llegó a ser la familia standard durante una década.

Su puerta más representativa es la NAND, mostrada en la Figura 5.15. Si a la entrada solo se coloca un diodo, se tiene un inversor. Su análisis es el siguiente:

Cuando la entrada del inversor (IN1) es baja (0 V), el diodo D1 fija una tensión de aproximadamente 0,6 V en la base del transistor Q1. Esta tensión es insuficiente para hacer conducir Q1 y D3 y por tanto estarán cortados. Al no circular corriente por ellos tampoco le llega corriente alguna al transistor Q2 por lo que también estará en corte. De esta forma, no puede circular corriente a través de R4 y $V_{OUT} = V_{CC}$.

Cuando la entrada del inversor es alta (V_{CC}), el diodo D1 permanece cortado y pueden conducir Q1, D3 y Q2. El conexionado del transistor Q1 asegura que

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

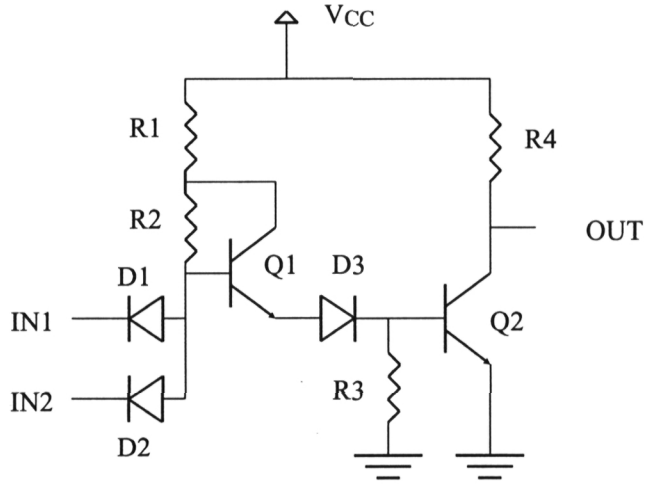


Figura 5.15 Puerta NAND DTL

la tensión en su colector es siempre mayor que la tensión en su base, por tanto no puede entrar nuca en saturación y cuando conduce lo hace siempre en la región activa. Suponiendo que Q2 está en saturación, y utilizando el modelo simplificado del BJT, la tensión en la base del transistor Q1 será:

$$V_B\,(\mathrm{Q1}) = V_{BE}\,(\mathrm{Q1}) + V_{D3} + V_{BE}\,(\mathrm{Q2}) = 0{,}6 + 0{,}6 + 0{,}8 = 2\ \mathrm{V}$$

La corriente de base vendrá dada por:

$$\mathrm{Vcc} - V_B\,(\mathrm{Q1}) = I_B\,(\mathrm{Q1})\,R_2 + (1+\beta)\,I_B\,(\mathrm{Q1})\,R_1$$

Suponiendo una ganancia de corriente $\beta = 50$, $\mathrm{Vcc} = 5$ V y unos valores de resistencias $R_1 = 1{,}75$ KΩ, $R_2 = 2$ KΩ, $R_3 = 1$ KΩ, $R_4 = 6$ KΩ, queda:

$$I_B\,(\mathrm{Q1}) = \frac{5-2}{2+51\cdot 1{,}75} = 33\ \mu\mathrm{A}$$

La corriente de emisor es $I_E\,(\mathrm{Q1}) = (1+\beta)\,I_B\,(\mathrm{Q1}) = 1{,}68$ mA. Esta corriente debe ser igual a la suma de las corrientes que circulan por R3 y por la base de Q2.

$$I_E\,(\mathrm{Q1}) = I\,(\mathrm{R3}) + I_B\,(\mathrm{Q2}) = \frac{0{,}8}{5} + I_B\,(\mathrm{Q2}) = 1{,}68\,\mathrm{mA}$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Despejando:

$$I_B\,(\text{Q2}) = 1{,}68\ \text{mA} - \frac{0{,}8}{5} = 1{,}52\ \text{mA}$$

Hay que comprobar que Q2 está realmente en saturación. Su corriente de colector será:

$$I_C\,(\text{Q2}) = \frac{\text{Vcc} - V_{CE}\,(\text{Q2})}{R_4} = \frac{5 - 0{,}2}{6} = 0{,}8\ \text{mA}$$

La condición de saturación se cumple ya que $I_C\,(\text{Q2}) < \beta I_B\,(\text{Q2})$ y por tanto la tensión de salida será un nivel bajo $V_{OUT} = 0{,}2$ V.

Considerando varias entradas, basta que una esté en estado bajo para que su diodo correspondiente fije una tensión de 0,6 V en la base del transistor Q1. Esta tensión es insuficiente para hacer conducir Q1 y D3, por lo que estarán cortados. Al no circular corriente por ellos, tampoco circulará por la base de Q2, por lo que también estará en corte y V_{OUT} valdrá Vcc, es decir, la salida estará a uno lógico, comprobándose que su función es una NAND.

El cálculo de la curva de transferencia y del FAN-OUT se muestran en los ejercicios resueltos 5.6.2.a. y 5.6.3.a..

5.5.1.c. *Familia TTL (Transistor Transistor Logic)*

Es una evolución de la familia DTL. Se sustituyen los diodos de la anterior familia por transistores bipolares. Con TTL se consiguió mejorar el FAN-OUT y, fundamentalmente, hacerla más rápida.

La familia DTL tiene dos problemas que dificultan su rapidez:

a) Cuando el transistor Q2 pasa de saturación a corte, la carga almacenada en la base del transistor se debe evacuar a través de R3, esta resistencia limita la máxima corriente que puede circular y por tanto el tiempo necesario para realizar la conmutación. Para disminuir este tiempo sería necesario un valor pequeño de R3 pero eso hace que aumente el consumo.

b) Cuando la salida pasa de valor bajo a alto, su capacidad parásita se carga a través de la resistencia R4, con lo que el tiempo de subida es elevado. Si esta capacidad se cargase a través de una fuente de intensidad (transistor), este tiempo disminuiría en gran medida.

La Figura 5.16(a) muestra un inversor TTL básico. El transistor Q_E hace la misma función que el diodo de entrada, el transistor Q1 y el diodo D3 en la familia DTL. En la figura se representa el caso de que la entrada está a cero. El transistor

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

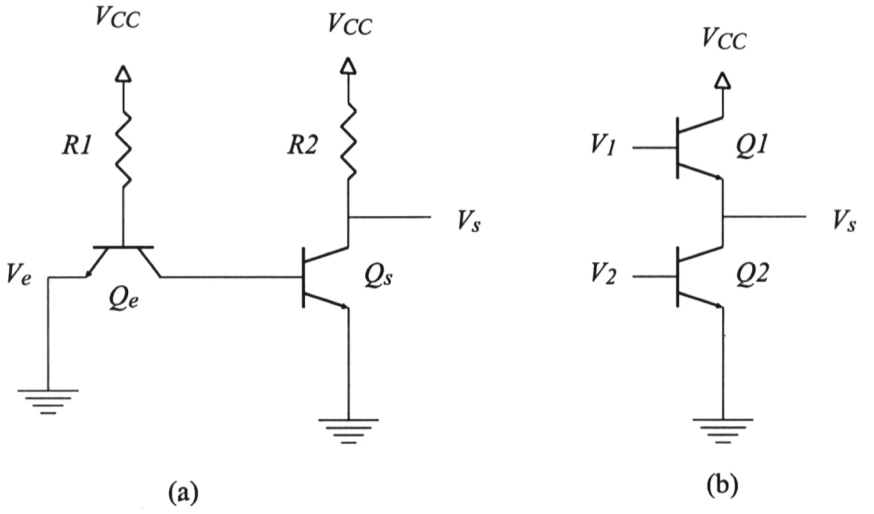


Figura 5.16 Circuitos básicos de entrada (a) y salida (b) TTL

Q_E tiene su unión base-emisor polarizada directamente y su unión base-colector polarizada inversamente, por lo que está funcionando en activa y es capaz de conducir una gran corriente que elimine la carga almacenada en la base de Q_S rápidamente, ya que su circuito equivalente es una fuente de intensidad

En la familia DTL la máxima corriente permitida era $0{,}8/R_3 = 0{,}16$ mA, mientras que en la familia TTL básica, considerando $\beta = 50$, la corriente máxima que circula por Q_E será:

$$I_C(Q_E) = \beta I_B(Q_E) = \beta \frac{5 - 0{,}6}{2} = 110 \text{ mA}$$

Es decir, existe un factor entre las dos corrientes de 110/0,16 = 687, lo que asegura una descarga mucho más rápida.

El problema del apartado b) se resolvió cambiando la etapa de salida de la familia DTL por una llamada salida Totem Pole, mostrada en la Figura 5.16(b).

En este tipo de salida, V1 y V2 son complementarias, es decir, cuando una es alta la otra es baja y viceversa. De esta forma la capacidad equivalente de las puertas conectadas a esa salida se cargará desde V_{CC} a través de Q1 y se descargará a través de Q2. En estos procesos, los transistores trabajan en zona activa, es

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

decir, de forma equivalente a una fuente de intensidad, por lo que la transición del estado bajo al alto es mucho más rápida que la de la puerta DTL.

La incorporación simultánea del tipo de entrada anteriormente visto y la salida Totem Pole supuso la introducción de la familia TTL Standard. La Figura 5.17 muestra una puerta NAND de esta familia, cuya principal novedad es la inclusión de un transistor multiemisor en la entrada. Este transistor es equivalente a dos transistores con sus terminales de base y conector unidos. Cuando se dispone un transistor con un solo emisor se tiene el inversor básico TTL.

La etapa de entrada está constituida por los componentes Q1 y R1 y la etapa de salida Q3, Q4, R4 y D. Se ha introducido una nueva etapa, denominada *driver* y constituida por Q2, R2 y R3, que se encarga de asegurar el funcionamiento complementario de los transistores Q3 y Q4.

La corriente inicial máxima con la que puede cargase la capacidad equivalente de una puerta conectada a esta salida será:

$$I_E\,(\mathrm{Q4}) = (1+\beta) I_B\,(\mathrm{Q4}) = (1+\beta)\,\frac{\mathrm{Vcc} - V_{SAT}\,(\mathrm{Q3}) - V_D - V_{BE}\,(\mathrm{Q4})}{R_2}$$

Tomando los valores: $\beta = 50$; $R_1 = 4$ KΩ, $R_2 = 1{,}6$ KΩ, $R_3 = 1$ KΩ, $R_4 = 0{,}12$ KΩ y considerando el modelo simplificado para los transistores, queda

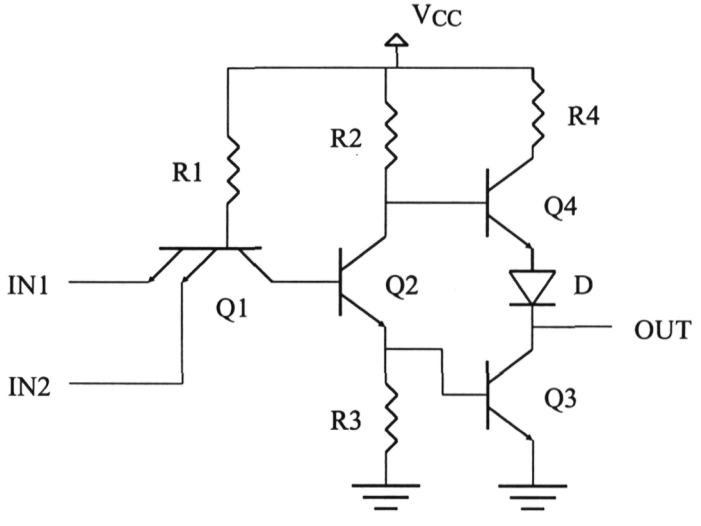


Figura 5.17 Puerta NAND TTL

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

I_E (Q4) = 115 mA. Teniendo en cuenta que la máxima que podía suministrar la puerta DTL estudiada era de 0,8 mA, se comprueba que existe un factor entre ambas corrientes de 115/0,8 = 144, lo que asegura una carga mucho más rápida con la familia TTL.

Se va a esbozar ahora la curva de transferencia del inversor TTL.

Con la tensión de entrada a nivel bajo (0 V), la corriente de base del transistor Q1 será I_{B1} = (5 - V_{BE} (Q1)) / 4 = 1,05 mA. La corriente de colector es la corriente de fuga del transistor Q2 por lo que es muy pequeña, verificándose que $I_{C1} < I_{B1}$, por lo que Q1 se encontrará en saturación. Por tanto, la tensión en la base de Q2 será igual a 0,2 V, insuficiente para hacerle conducir. Así, Q2 estará cortado y como consecuencia de ello, Q3 también. De esta forma se obtiene que V_O (0 V) = V_{CC} - V_{BE} (Q4) - V_D = 3,8 V.

Al aumentar la tensión de entrada, Q2 seguirá cortado hasta que la tensión en su base no se supere el valor de V_{BEmin} (Q2) necesaria para salir del corte. Esto se consigue cuando V_{IL} = V_{BEmin} (Q2) - V_{CE} (Q1) = 0,3 V.

Si se sigue aumentando la tensión de entrada, llega un momento en que además de salir del corte Q1 también lo hace también Q2. Este hecho se produce cuando la tensión de entrada toma el valor V_{IB} = V_{BEmin} (Q3) + V_{BEmin} (Q2) - V_{CE} (Q1) = 0,8 V.

La tensión de salida cuando está a nivel bajo es V_{OL} = 0,2 V, correspondiente a la saturación del transistor Q3.

La tensión de entrada mínima que mantiene Q2 y Q3 en saturación es:
V_{IH} = V_{BESAT} (Q3) + V_{BESAT} (Q2) - V_{CESAT} (Q1) = 1,4 V.

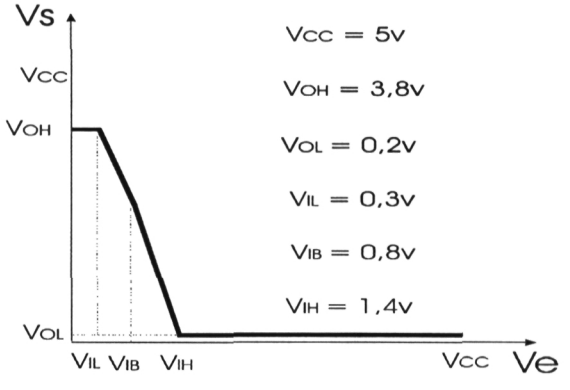


Figura 5.18 Característica de transferencia del inversor TTL

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

	Q1	Q2	Q3	Q4
$0 \leq V_{in} \leq V_{IL}$	saturación	corte	corte	corte-activa
$V_{IL} \leq V_{in} \leq V_{IB}$	saturación	activa	corte	corte-activa
$V_{IB} \leq V_{in} \leq V_{IH}$	saturación	activa	activa	corte-activa
$V_{IH} \leq V_{in} \leq V_{CC}$	inversa	saturación	saturación	corte

Tabla 5.1 Estados de los transistores en el inversor TTL

Con estos valores se puede representar la curva de transferencia, mostrada en la Figura 5.18. Los estados de los transistores en cada tramo de la curva se muestran en la Tabla 5.1.

El valor medio de la disipación de Potencia se obtiene multiplicando la tensión de alimentación por la corriente media. Esta corriente media es la media aritmética de la corriente suministrada por la alimentación cuando la salida está en nivel alto (ICC_{OH}) y cuando la salida está en nivel bajo (ICC_{OL}).

Cuando la salida está a nivel alto solo circula corriente a través de la resistencia R1, la unión base-emisor de Q1 y la entrada, que está a nivel bajo. Por tanto $ICC_{OH} = (5 - 0{,}8) / 4 = 1{,}05$ mA.

Cuando la salida está a nivel bajo, la corriente ICC_{OL} tiene dos componentes, una que es la corriente que atraviesa la resistencia R1 y otra que pasa por la resistencia R2 y el transistor Q2. Según esto:

$$I\,(\mathrm{R2}) = \frac{V_{CC} - V_{BESAT}\,(\mathrm{Q3}) - V_{BESAT}\,(\mathrm{Q2})}{4} = 0{,}7 \text{ mA}$$

$$I\,(\mathrm{R2}) = \frac{V_{CC} - V_{BESAT}\,(\mathrm{Q3}) - V_{CESAT}\,(\mathrm{Q2})}{1{,}6} = 2{,}5 \text{ mA}$$

$ICC_{OL} = 0{,}7 + 2{,}5 = 3{,}2$ mA.

La potencia media disipada es, pues:

$$P = V_{CC}\,\frac{ICC_{OH} + ICC_{OL}}{2} = 10{,}62 \text{ mW}$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

5.6. EJERCICIOS RESUELTOS

En todos los ejercicios, salvo que se indique lo contrario, se utilizará el modelo idealizado del transistor bipolar.

5.6.1. Ejercicios de cálculo del punto de trabajo.

El punto de trabajo de un transistor viene dado por 4 variables. Cuando el transistor está en emisor común, que es la configuración más frecuente, estas variables son I_B, I_C, V_{BE} y V_{CE}.

El método a seguir es similar al que se utilizó con los diodos, aunque ahora hay que tener en cuenta que el transistor puede estar en cuatro estados diferentes. No obstante, en todos los ejercicios y mientras no se indique lo contrario, se va a excluir el caso en que pueda estar en zona inversa, ya que son muy pocos los circuitos en los que se hace trabajar al transistor en esa zona, por lo que en un circuito con diodos y transistores tendremos: nº estados = $2^{(\text{nº diodos})}\ 3^{(\text{nº BJT})}$. Normalmente sale un número de estados muy alto, por lo que antes de empezar a probar estados hay que observar el circuito para determinar cuál puede ser el estado más probable en que se encuentre.

5.6.1.a. *Calcular el punto de trabajo de los circuitos de la Figura 5.19.*

(a) Primeramente se calcula el equivalente en Thèvenin del circuito de entrada quedando un circuito como el de la Figura 5.20.

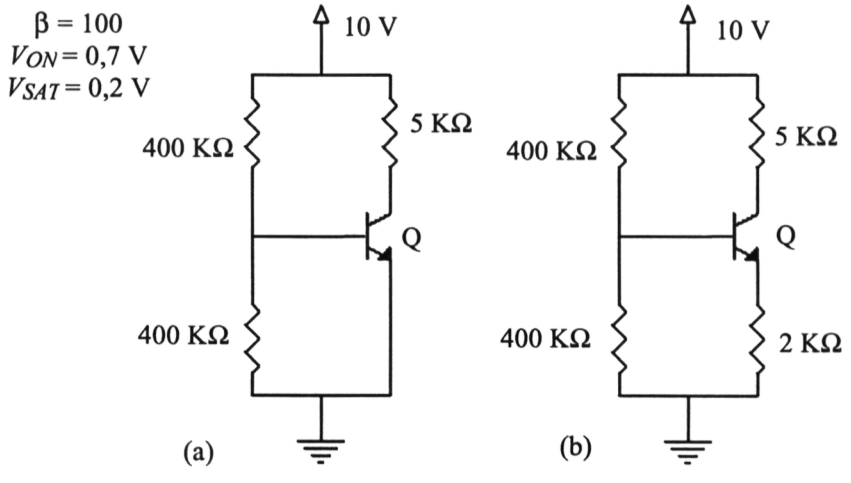


Figura 5.19

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

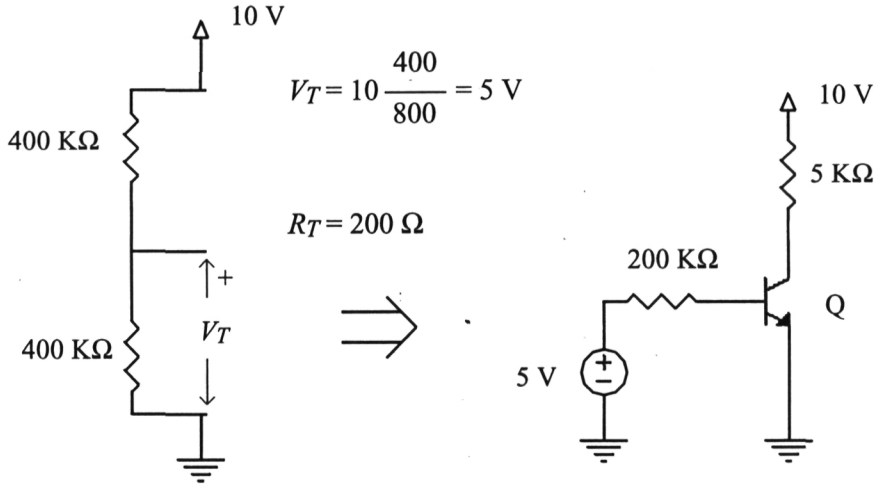
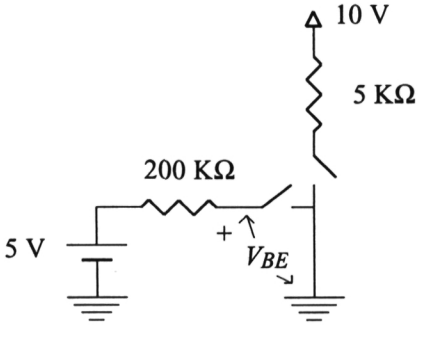


Figura 5.20

Se supone que el transistor trabaja en una determinada zona de funcionamiento, se sustituye el transistor por el circuito equivalente en esa zona y se resuelve el circuito. Si el resultado verifica las condiciones de dicha zona es correcto, si no, hay que volver a realizar el proceso probando con otra zona. Si no está claro a priori en qué zona estará el transistor, es conveniente seguir un orden de menor a mayor dificultad, que es en principio corte, luego saturación y por último activa

1) Se supone que Q está en zona de CORTE: $V_{BE} \leq 0{,}7$ V

El circuito equivalente es:

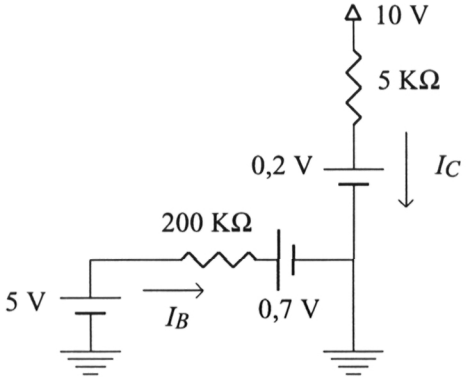


$I_B = I_C = 0$

$V_{BE} = 5$ V $> 0{,}7$ V $\Rightarrow$ Q NO ESTÁ EN CORTE

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2) Se supone que Q está en zona de SATURACIÓN: $I_B \geq 0$; $I_C \leq \beta I_B$
El circuito equivalente es:



$$I_B = \frac{5 - 0{,}7}{200} = 0{,}0215 \text{ mA} > 0 \text{ ;}$$

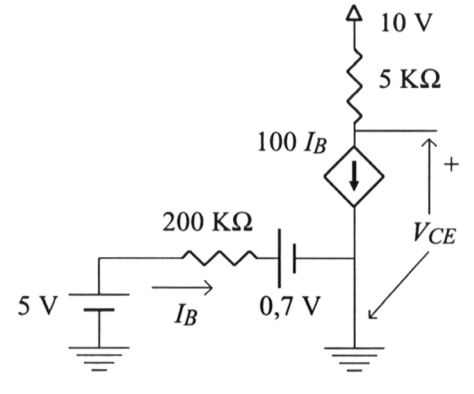
$$\beta I_B = 2{,}15 \text{ mA}$$

$$I_C = \frac{10 - 0{,}2}{5} = 1{,}96 \text{ mA} < \beta I_B \Rightarrow$$

$\Rightarrow$ Q ESTA EN SATURACIÓN

Por tanto, el punto de trabajo del transistor es:
$V_{BE} = 0{,}7$ V ; $V_{CE} = 0{,}2$ V ; $I_B = 0{,}0215$ mA ; $I_C = 1{,}96$ mA
Ya no es necesario probar si el transistor está en zona activa, no obstante, para comprobar que no puede estar en esa zona, se va a analizar este caso.

3) Se supone que Q está en zona ACTIVA: $i_B \geq 0$; $V_{CE} \geq 0{,}2$ V
El circuito equivalente es:



$$I_B = \frac{5 - 0{,}7}{200} = 0{,}0215 \text{ mA} > 0$$

$$I_C = 100\, I_B = 2{,}15 \text{ mA ;}$$

$$V_{CE} = -5\, I_C + 10 \Rightarrow$$

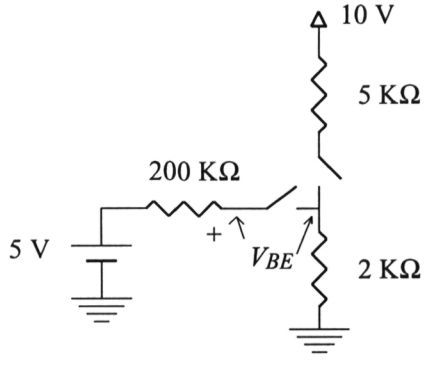
$$V_{CE} = -0{,}75 \text{ V} < 0{,}2 \text{ V} \Rightarrow$$

Q NO ESTA EN ACTIVA

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

(b) El circuito de entrada es similar al anterior:

1) Se supone que Q está en zona de CORTE: $V_{BE} \leq 0{,}7$ V

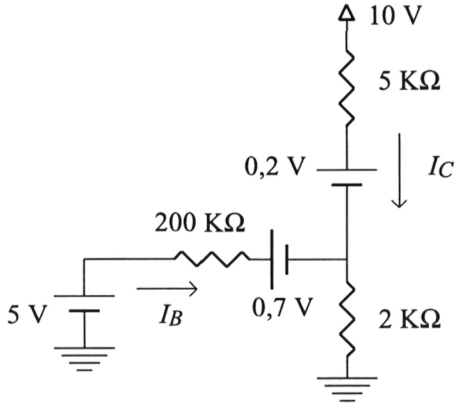


$I_B = I_C = 0$

$V_{BE} = 5 \text{ V} > 0{,}7 \text{ V} \Rightarrow$

Q NO ESTA EN CORTE

2) Se supone que Q está en zona de SATURACIÓN: $I_B \geq 0$; $I_C \leq \beta I_B$



$5 - 0{,}7 = 202\, I_B + 2\, I_C$;

$10 - 0{,}2 = 7\, I_C + 2\, I_B$;

$I_B = 4{,}9 - 3{,}5\, I_C \Rightarrow$

$4{,}3 = 989{,}8 - 707\, I_C + 2\, I_C \Rightarrow$

$$I_C = \frac{989{,}5}{705} = 1{,}398 \text{ mA} ;$$

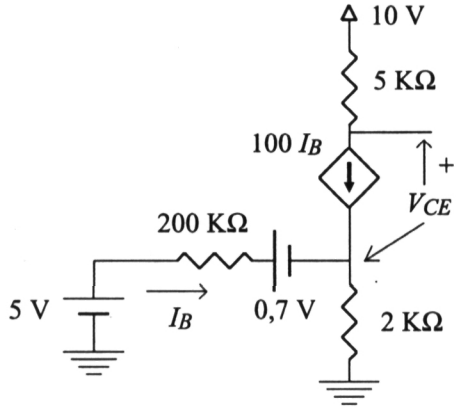
$I_B = 4{,}9 - 4{,}892 = 0{,}008$ mA ;

$\beta I_B = 0{,}8 \text{ mA} < I_C \Rightarrow$

$\Rightarrow$ Q NO ESTA EN SATURACIÓN

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

3) Se supone que Q está en zona ACTIVA: $i_B \geq 0$; $V_{CE} \geq 0{,}2$ V



$$5 - 0{,}7 = 200\, I_B + 202\, I_B \Rightarrow$$

$$I_B = \frac{4{,}3}{402} \approx 0{,}011 \text{ mA} > 0$$

$$V_{CE} = -500\, I_B + 10 - 202\, I_B \Rightarrow$$

$$V_{CE} = 2{,}49 \text{ V} > 0{,}2 \text{ V}$$

$\Rightarrow$ Q ESTA EN ACTIVA

El punto de trabajo del transistor es:
$V_{BE} = 0{,}7$ V ; $V_{CE} = 2{,}49$ V ; $I_B = 0{,}011$ mA ; $I_C = 1{,}1$ mA

5.6.1.b. ***En el circuito de la Figura 5.21, calcula V_o para las distintas combinaciones de V_{i1} y V_{i2}, que pueden tomar los valores de 0 V y 5 V. ¿ Qué función lógica realiza ?. Calcula la potencia consumida por el circuito cuando las dos entradas están a 5 V.***

1) $V_{i1} = 0$ V ; $V_{i2} = 0$ V

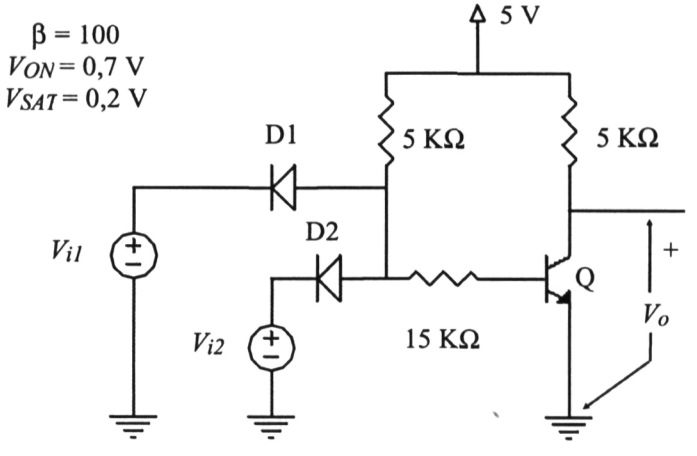
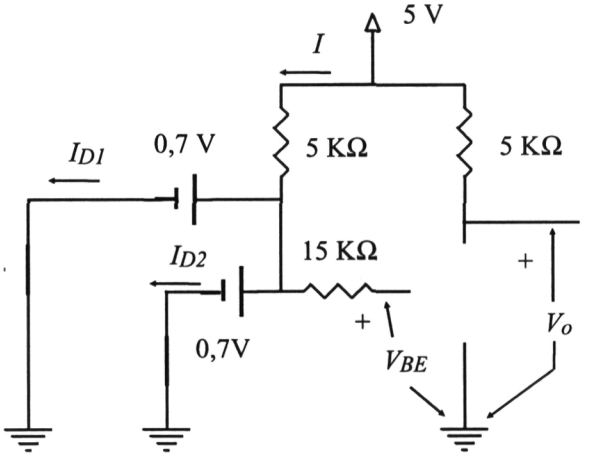


Figura 5.21

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

El estado más probable de los diodos es D1 ON y D2 ON, por lo que la tensión en la resistencia de base será de 0,7 V, insuficiente para que Q conduzca, por lo que su estado más probable será de CORTE. Según esto, el circuito equivalente quedará de la forma siguiente:



D1 ON $\Rightarrow$ $I_{D1} \geq 0$

D2 ON $\Rightarrow$ $I_{D2} \geq 0$

Q CORTE $\Rightarrow$ $V_{BE} \leq 0{,}7$ V

D1 y D2 están en paralelo, luego $I_{D1} = I_{D2}$;

$$I = I_{D1} + I_{D2} = \frac{5 - 0{,}7}{5} \Rightarrow I = 0{,}86 \text{ mA}$$

$I_{D1} = I_{D2} = 0{,}43$ mA $> 0 \Rightarrow$ D1 y D2 están en ON.

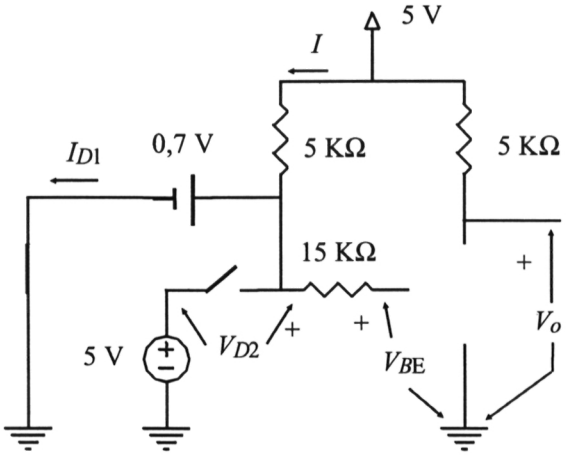
$I_B = 0 \Rightarrow V_{BE} = 0{,}7$ V $\Rightarrow$ está dentro de la condición de CORTE.

$I_C = 0 \Rightarrow V_o = -5\, I_C + 5 \Rightarrow \mathbf{V_o = 5\ V}$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2) $V_{i1} = 0$ V ; $V_{i2} = 5$ V

Al igual que antes,el estado más probable del diodo D1 es ON, mientras que el de D2 es OFF. Al estar conduciendo un diodo, el transistor debe seguir en corte:



D1 ON $\Rightarrow$ $I_{D1} \geq 0$

D2 OFF $\Rightarrow$ $V_{D2} \leq 0{,}7$ V

Q CORTE $\Rightarrow$ $V_{BE} \leq 0{,}7$ V

$$I = I_{D1} = \frac{5 - 0{,}7}{5} = 0{,}86\,\text{mA} > 0\ ;\ V_{D2} = 0{,}7 - 5 = 4{,}3\ \text{V} < 0{,}7\ \text{V}\ ;\ V_{BE} = 0{,}7\ \text{V} \Rightarrow$$

$\Rightarrow$ Se comprueban las suposiciones iniciales $\Rightarrow$ Q está en CORTE;

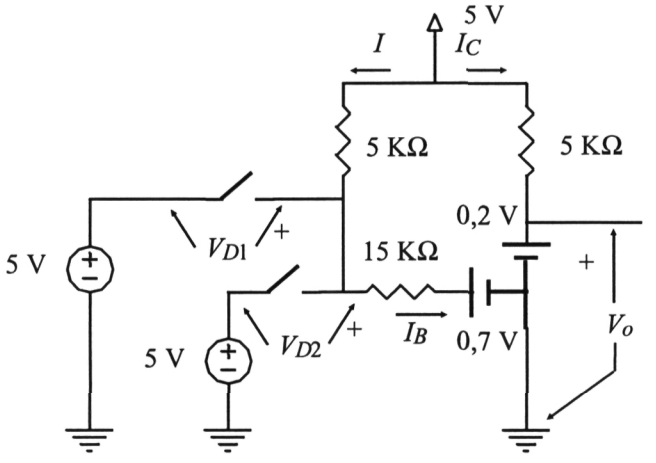
$I_C = 0 \Rightarrow V_o = -5\, I_C + 5 \Rightarrow \mathbf{V_o = 5\ V}$

El circuito es simétrico, por lo que el resultado anterior también es válido para $V_{i1} = 5$ V y $V_{i2} = 0$ V.

3) $V_{i1} = 5$ V ; $V_{i2} = 5$ V

En este caso, lo más probable es que los diodos estén en OFF y que Q conduzca. Si suponemos que lo hace en SATURACIÓN:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



D1 OFF $\Rightarrow$ $V_{D1} \leq 0{,}7$ V

D2 OFF $\Rightarrow$ $V_{D2} \leq 0{,}7$ V

Q SAT $\Rightarrow$ $I_B \geq 0$; $I_C \leq \beta I_B$

$$I = I_B = \frac{5 - 0{,}7}{5 + 15} = 0{,}215 \text{ mA} > 0 \Rightarrow \beta I_B = 21{,}5 \text{ mA}$$

$$I_C = \frac{5 - 0{,}2}{5} = 0{,}96 \text{ mA} < \beta I_B = 21{,}5 \text{ mA} \Rightarrow \text{Q está en SATURACIÓN}$$

$V_{D1} = V_{D2} = 15\, I_B + 0{,}7 - 5 = -1{,}075$ V $< 0{,}7$ V $\Rightarrow$ D1 y D2 están en OFF,

Por tanto: $\boldsymbol{V_o = 0{,}2}$ **V**

El resultado final es:

V_{i1}	V_{i2}	V_o
0	0	5
0	5	5
5	0	5
5	5	0,2

$\Rightarrow$ Función NAND

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

La potencia (P) viene dada por el producto de la tensión de la fuente de alimentación por la intensidad total que proporciona. Para las entradas $V_{i1} = V_{i2} = 5$ V:

$$P = 5\,(I + I_C) \Rightarrow \mathbf{P = 5{,}875\ mW}$$

5.6.2. Ejercicios de característica de transferencia.

El método a seguir es similar al seguido con los diodos, con la diferencia de que el margen de variación de la tensión de entrada se restringe al valor de la fuente de alimentación del circuito. Hay que probar todas las posibles combinaciones de estados que puedan darse en el circuito hasta completar todo el rango de variación de la tensión de entrada. Como en los ejercicios anteriores, se aconseja seguir el siguiente orden para los transistores: corte, saturación y activa.

5.6.2.a. ***Calcula y representa la característica de transferencia de los inversores RTL (a) y DTL (b) mostrados en la figura Figura 5.22, indicando los valores*** V_{IH}, V_{IL}, V_{OH}, V_{OL}, NM_H, NM_L, ***TW y LS.*** ($V_{ON} = 0{,}7$ V; $V_{SAT} = 0{,}2$ V; $V_{DON} = 0{,}7$ V; $\beta(a) = 100$; $\beta(b) = 50$).

(a) Solo hay un transistor, por lo que el circuito podrá estar en tres estados diferentes. Se analizará el circuito en cada uno de los estados.

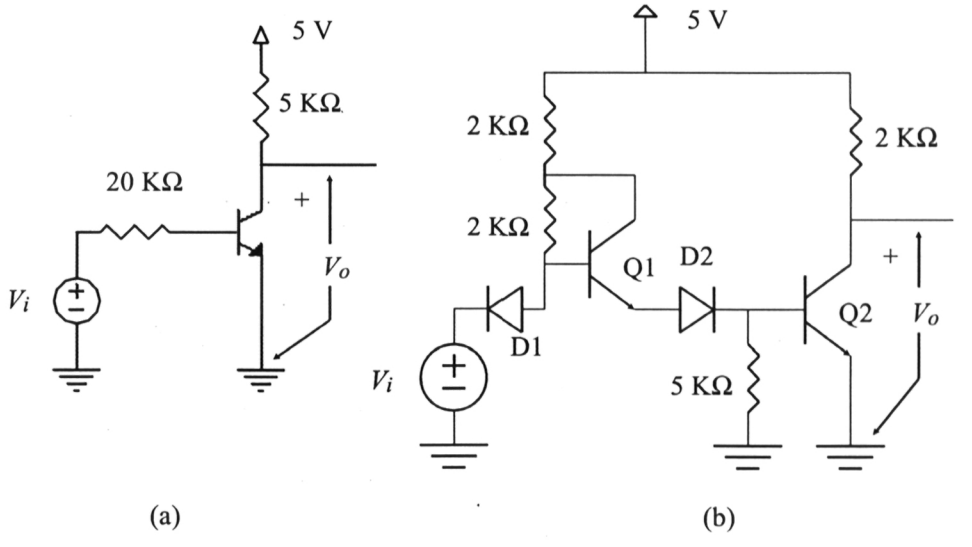
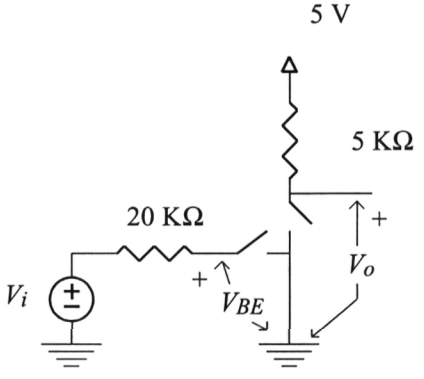


Figura 5.22

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

1) Se supone que Q está en zona de CORTE: $V_{BE} < 0{,}7$ V



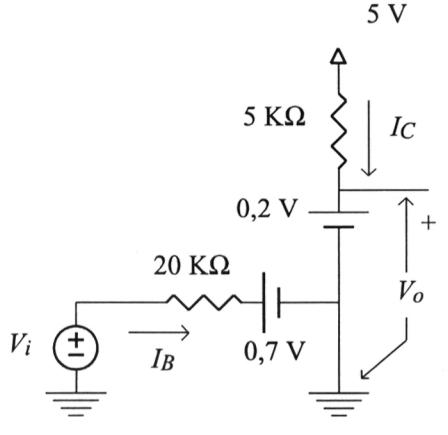
$I_B = 0 \Rightarrow V_{BE} = V_i$;

$V_{BE} < 0{,}7 \text{ V} \Rightarrow V_i < 0{,}7 \text{ V}$

$I_C = 0 \Rightarrow V_o = 5 \text{ V} \Rightarrow$

$$\boxed{\forall\ V_i < 0{,}7 \text{ V} \Rightarrow V_o = 5 \text{ V}}$$

2) Se supone que Q está en zona de SATURACIÓN: $I_B < 0$; $I_C \leq \beta I_B$



$$I_B = \frac{V_i - 0{,}7}{20} > 0 \ ; \Rightarrow V_i > 0{,}7 \text{ V}$$

$$I_C = \frac{5 - 0{,}2}{5} \leq 100\ \frac{V_i - 0{,}7}{20} \Rightarrow$$

$$4{,}8 \leq 25\ V_i - 17{,}5 \Rightarrow$$

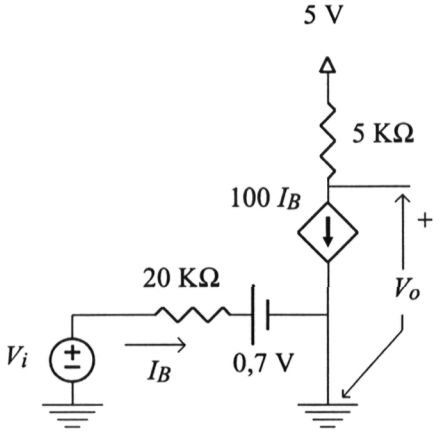
$$\Rightarrow V_i \geq \frac{4{,}8 + 17{,}5}{25} \Rightarrow V_i \geq 0{,}892 \text{ V};$$

Esta condición es más restrictiva que la anterior, por tanto:

$$\boxed{\forall\ V_i \geq 0{,}892 \text{ V} \Rightarrow V_o = 0{,}2 \text{ V}}$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

3) Se supone que Q está en zona ACTIVA: $I_B \geq 0$; $V_{CE} > 0{,}2$ V



$$I_B = \frac{V_i - 0{,}7}{20} \geq 0 \; ; \Rightarrow V_i \geq 0{,}7 \text{ V}$$

$$V_o = 5 - 500\, I_B = 5 - 25\, V_i + 17{,}5 = V_{CE}$$

$$\Rightarrow V_{CE} = -25\, V_i + 22{,}5 > 0{,}2 \Rightarrow$$

$$\Rightarrow V_i < \frac{22{,}3}{25} \Rightarrow V_i < 0{,}892 \text{ V} \Rightarrow$$

$$\boxed{\forall\ \mathbf{0{,}7\ V} \leq V_i < \mathbf{0{,}892\ V} \Rightarrow V_o = -25\, V_i + 22{,}5}$$

La característica de transferencia se muestra en la Figura 5.23

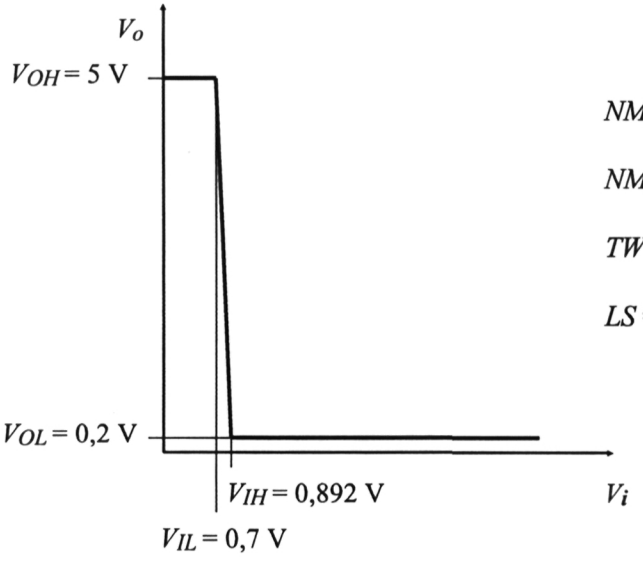


Figura 5.23 Característica de transferencia del inversor RTL

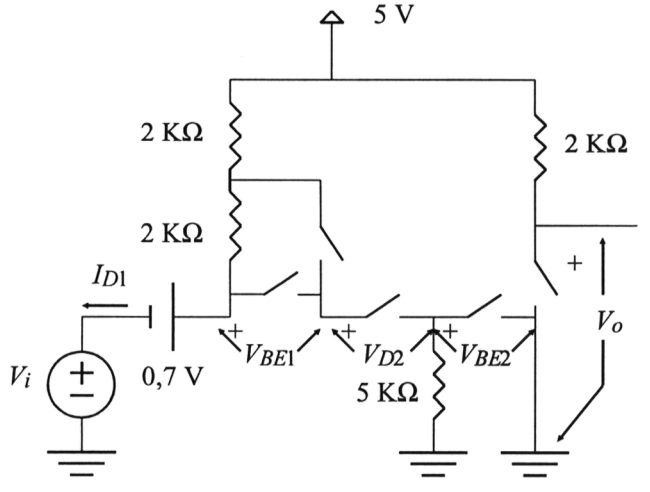
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

(b) El circuito es más complejo, ya que contiene un mayor número de transistores y diodos. El número máximo de estados en que puede estar es: $n_{max} = 2^2 \cdot 3^2 = 36$ estados, que es un número excesivo para analizarlos todos, por lo que se va a hacer una evaluación preeliminar de los posibles estados en que pueden operar los dispositivos:

Por su disposición, siempre que conduce Q1 lo hace en ACTIVA, ya que la tensión V_{CE} siempre será mayor que V_{BE} y esta es mayor que V_{SAT} en conducción, y además conduce D2, pudiendo estar Q2 conduciendo o sin conducir. Por el contrario, si Q1 y D2 están en corte, a Q2 no le llega corriente, por lo que también estará en corte. Por tanto, los estados posibles a priori de Q1, Q2 y D2 son:

1) Q1 CORTE, Q2 CORTE, D2 OFF
2) Q1 ACTIVA, Q2 CORTE, D2 ON
3) Q1 ACTIVA, Q2 ACTIVA, D2 ON
4) Q1 ACTIVA, Q2 SATURACIÓN, D2 ON

1) Este estado sólo puede darse con D1 ON, ya que si estuviera en OFF el transistor Q1 estaría obligado a conducir, por tanto:



$$I_{D1} \geq 0$$

$$V_{D2} < 0{,}7$$

$$V_{BE1} < 0{,}7$$

$$V_{BE2} < 0{,}7$$

$$I_{D1} = \frac{5 - 0{,}7 - V_i}{4} \geq 0$$

$$\Rightarrow V_i \leq 4{,}3 \text{ V}$$

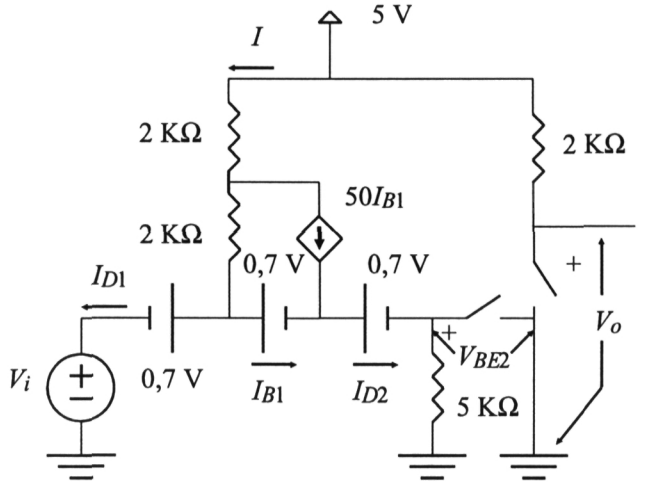
$$\left.\begin{array}{l} V_{BE1} < 0{,}7 \text{ V} \\ V_{D2} < 0{,}7 \text{ V} \end{array}\right\} \Rightarrow 0{,}7 + V_i < 1{,}4 \text{ V} \Rightarrow V_i < 0{,}7 \text{ V}$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$I_{C2} = 0 \Rightarrow V_o = V_{CE2} = 5\ \text{V} \Rightarrow$

$$\boxed{\forall\ V_i < 0{,}7\ \text{V} \Rightarrow V_o = 5\ \text{V}}$$

2) Se sigue suponiendo D1 en ON:



$I_{D1} \geq 0$

$I_{D2} \geq 0$

$I_{B1} \geq 0$

$V_{BE2} < 0{,}7\ \text{V}$

$$I = 51I_{B1} + I_{D1}\ ;\ 0{,}7 + V_i = 1{,}4 + 255I_{B1};\ I_{B1} = \frac{V_i - 0{,}7}{255} \geq 0 \Rightarrow V_i \geq 0{,}7\ \text{V}$$

$$V_{BE2} = -\,0{,}7 - 0{,}7 + 0{,}7 + V_i < 0{,}7\ \text{V} \Rightarrow V_i < 1{,}4\ \text{V}$$

$$5 - 0{,}7 - V_i = 2I + 2\,(I_{D1} + I_{B1}) = 4I_{D1} + 104I_{B1} = 4I_{D1} + 104\,\frac{V_i - 0{,}7}{255} \Rightarrow$$

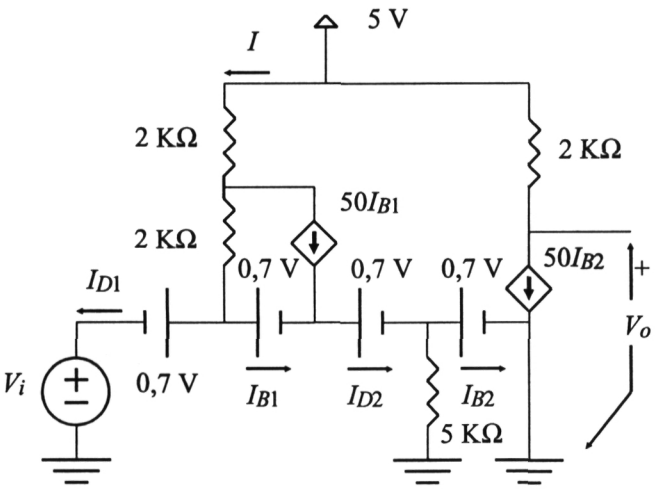
$$I_{D1} = \frac{4{,}58 - 1{,}4V_i}{4} \geq 0 \Rightarrow V_i \leq 3{,}27\ \text{V};$$

La condición anterior es más restrictiva, por tanto:

$$\boxed{\forall\ 0{,}7\ \text{V} \leq V_i < 1{,}4\ \text{V} \Rightarrow V_o = 5\ \text{V}}$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

3) Se sigue suponiendo D1 en ON:



$I_{D1} \geq 0$

$I_{D2} \geq 0$

$I_{B1} \geq 0$

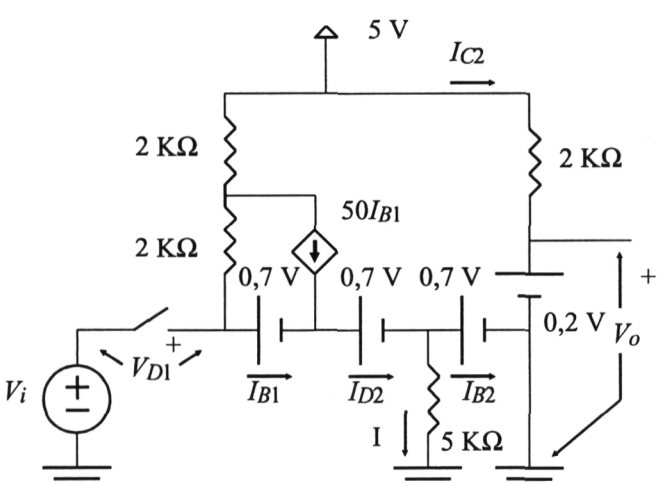
$I_{B2} \geq 0$

$V_o > 0{,}2$ V

Está claro que la configuración anterior sólo es posible si se verifica:
$V_i = -0{,}7 + 0{,}7 + 0{,}7 \Rightarrow V_i = 1{,}4$ V; $V_o > 0{,}2$ V $\Rightarrow$

$$\boxed{V_i = 1{,}4 \text{ V} \ \forall \ 0{,}2 \text{ V} > V_o \leq 5 \text{ V}}$$

4) Esta última combinación sólo puede darse cuando D1 esté en OFF:



$V_{D1} < 0{,}7$ V

$I_{D2} \geq 0$

$I_{B1} \geq 0$

$I_{B2} \geq 0$

$I_{C2} \leq \beta I_{B2}$

$V_o = 0{,}2$ V

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$V_{D1} = 2{,}1 - V_i < 0{,}7\ \text{V} \Rightarrow V_i > 1{,}4\ \text{V}$

$5 - 2{,}1 = 102I_{B1} + 2I_{B1} = 104I_{B1} \Rightarrow I_{B1} \approx 0{,}028\ \text{mA} > 0 \quad (1)$

$I_{D2} = 51I_{B1} = 1{,}422\ \text{mA} > 0 \quad (2)$

$I = \frac{0{,}7}{5} = 0{,}14\ \text{mA}\ ;\ I_{B2} = I_{D2} - I = 1{,}282\ \text{mA} > 0 \quad (3)$

$\beta I_{B2} = 64{,}1\ \text{mA}\ ;\ I_{C2} = \frac{5 - 0{,}2}{2} = 2{,}4\ \text{mA} < \beta\, I_{B2} \quad (4)$

De (1), (2), (3) y (4) se comprueba que este estado es válido para todo valor de V_i mayor que 1,4 voltios, luego:

$$\boxed{\forall\ \boldsymbol{V_i > 1{,}4\ \text{V} \Rightarrow V_o = 0{,}2\ \text{V}}}$$

La Figura 5.24 muestra la característica de transferencia del circuito.

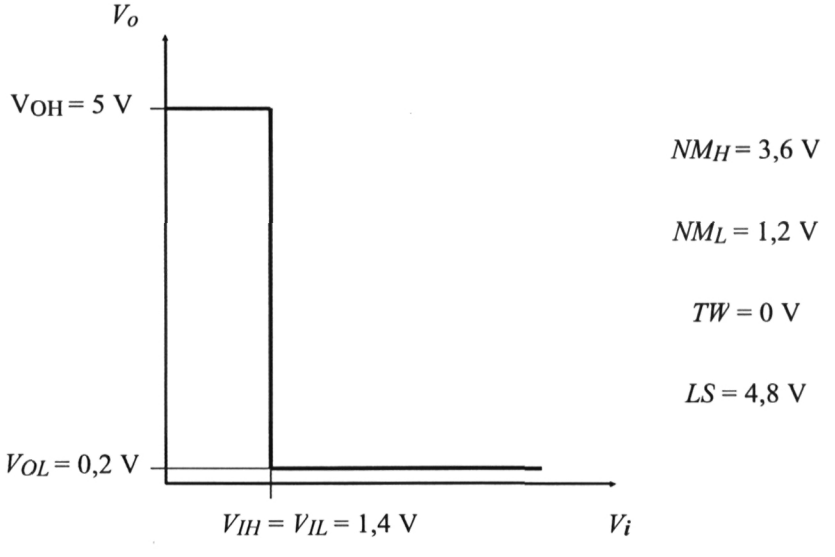


Figura 5.24 Característica de transferencia del inversor DTL

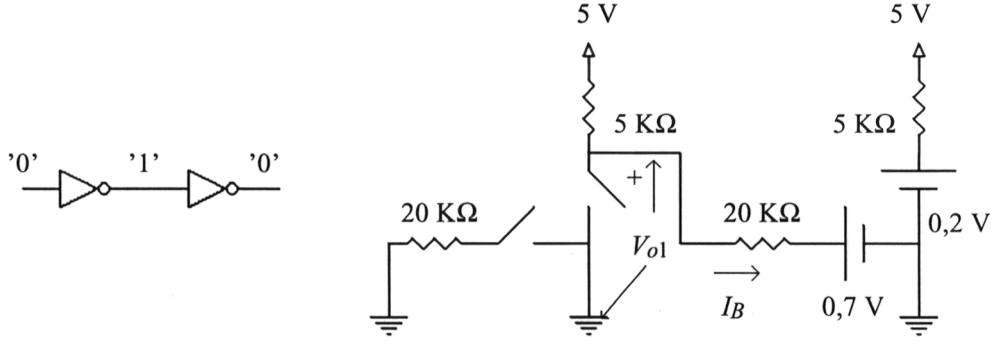
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

5.6.3. Ejercicios de cálculo del FAN-OUT.

El cálculo del FAN-OUT difiere de un circuito a otro, por lo que no existe una regla general para realizarlo, hay que analizar el circuito y ver en qué condiciones deja de funcionar como una puerta lógica.

5.6.3.a. ***Calcula el FAN-OUT de las puertas del ejercicio 5.6.2.a..***

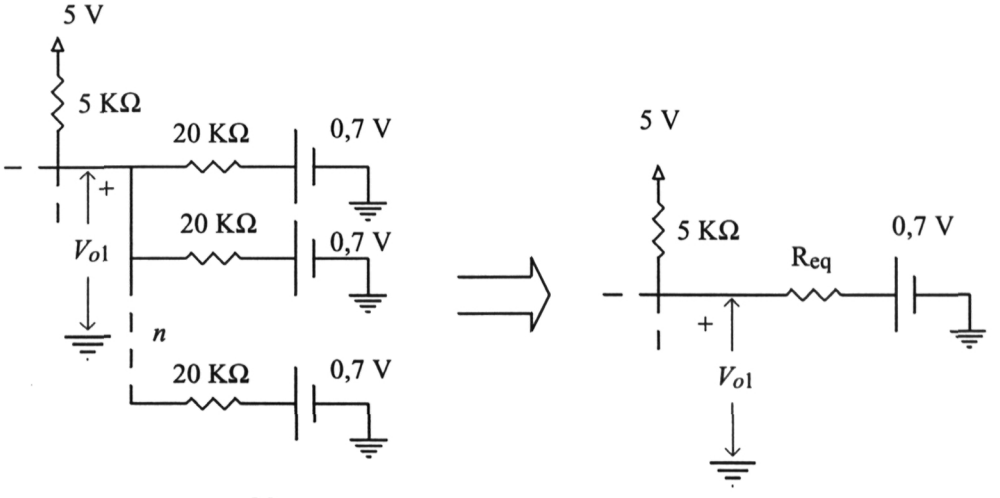
(a) La limitación en el número de entradas que pueden conectarse a la salida de esta puerta viene dada por el hecho de que la entrada consume intensidad cuando está a '1' lógico. Esta intensidad debe ser suministrada por la salida de la puerta a la cual se conecta, por lo que la tensión en dicha salida disminuye. Esto puede verse en el siguiente circuito:



$$V_{o1} = (5 - 0{,}7)\frac{20}{20+5} + 0{,}7 \Rightarrow V_{o1} = 4{,}14 \text{ V} \Rightarrow$$

$\Rightarrow$ La tensión de salida V_{o1} de la puerta 1 ya no es de 5 voltios, ha descendido a 4,14 voltios al conectarle una puerta. Si se conectan más de una puerta, esta tensión bajará aún más. Cuando baja del límite fijado por V_{IH} = 0,892 V, las puertas conectadas a la salida V_{o1} no interpretarán la entrada como '1' lógico, ya que sus transistores saldrán de zona de saturación y entrarán en activa, produciéndose un funcionamiento incorrecto. El número de puertas conectadas antes de que ocurra esto es el FAN-OUT. Por tanto, para calcularlo hay que analizar el siguiente circuito:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

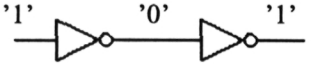


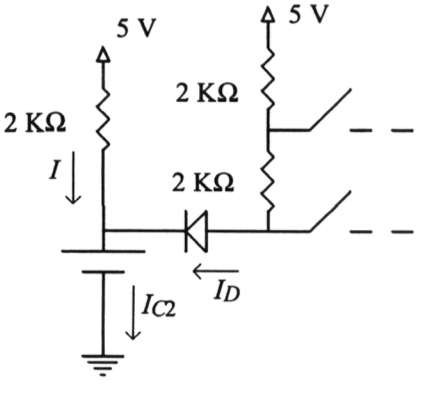
Donde $R_{eq} = \dfrac{20}{n}$; luego:

$$V_{o1} = (5 - 0{,}7)\frac{R_{eq}}{5 + R_{eq}} + 0{,}7 = \frac{86}{5n + 20} + 0{,}7 > 0{,}892 \Rightarrow 86 > 3{,}84 + 0{,}96n$$

$$\Rightarrow n < 85{,}58 \Rightarrow \textbf{FAN-OUT = 85}$$

(b) Este circuito no consume intensidad por su entrada cuando está a '1' lógico, pero por dicha entrada sale intensidad (I_{D1}) cuando está a '0' lógico. Esta intensidad es absorbida por el colector del transistor Q2 de la puerta a cuya salida está conectada. Cuando se conectan muchas puertas, esta intensidad que pasa por el colector puede hacerse tan grande que deje de cumplirse que $I_{C2} \leq \beta I_{B2}$, con lo que Q2 saldrá de zona de saturación y entrará en zona activa, lo que hace que la tensión V_{o1} supere el nivel V_{IL} de las puertas conectadas y el funcionamiento sea incorrecto.





Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Para calcular el FAN-OUT habría que considerar que el transistor de salida está en zona activa con una $V_{CE} = V_{IL} = 1{,}4$ V. No obstante, se suele aplicar un criterio más simple y conservativo que consiste en considerar que el límite de puertas que se pueden conectar se alcanza en el momento en que dicho transistor sale de la zona de saturación.

$$I_{C2} = I + I_D \; ; \; I = \frac{5 - 0{,}2}{2} = 2{,}4 \text{ mA} \; ; \; I_D = \frac{5 - 0{,}7 - 0{,}2}{4} = 1{,}025 \text{ mA} \Rightarrow$$

$$\Rightarrow \; I_{C2} = 3{,}425 \text{ mA}$$

Si hay n puertas conectadas se verifica que $I_{C2} = 2{,}4 + 1{,}025n$, pero para que el circuito funcione correctamente, Q2 debe mantenerse en saturación, es decir, debe cumplirse que $\beta I_{B2} \geq I_{C2}$. El valor de βI_{B2} fué calculado en la página 130, por tanto:

$$\beta I_{B2} = 64{,}1 \text{ mA} \Rightarrow 64{,}1 \geq 2{,}4 + 1{,}025n \Rightarrow n \leq 60{,}19 \Rightarrow \mathbf{FAN\text{–}OUT = 60}$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

6.- El transistor M.O.S.F.E.T.

OBJETIVOS

- Estudiar la estructura física y el funcionamiento elemental a nivel microscópico de los MOSFET.
- Acometer el planteamiento y la solución de problemas de análisis estático y de característica de transferencia de circuitos con MOSFET.
- Estudio de las características estáticas de las familias lógicas más importantes basadas en MOSFET: NMOS y CMOS.
- Diseño de funciones combinacionales con NMOS y CMOS.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

6.1. INTRODUCCIÓN

El transistor de efecto de campo con estructura metal-óxido-semiconductor (M.O.S.F.E.T.) es el dispositivo electrónico digital más importante en la actualidad, ya que la gran mayoría de los circuitos digitales están basados en él. Esto es debido principalmente a dos características fundamentales: su *reducido consumo* y a la capacidad de hacerlos muy *pequeños*, lo que repercute en una gran capacidad de integración. Otra característica importante es que estos circuitos digitales están realizados únicamente con transistores MOSFET, no incluyen diodos, resistencias ni otro tipo de elementos.

6.2. LA ESTRUCTURA M.O.S.

La base del transistor MOSFET es la estructura metal-óxido- semiconductor. Esta es una estructura formada por una capa metálica (aluminio), una capa intermedia muy delgada de óxido de silicio (SiO_2), que es un material muy buen aislante y un cristal de silicio débilmente dopado con impurezas aceptoras o donadoras denominado sustrato.

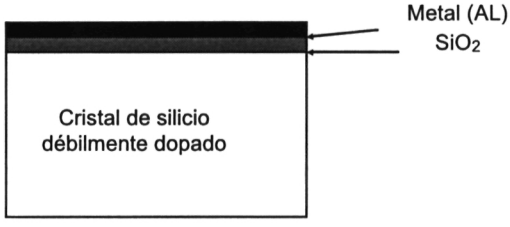


Figura 6.1 Estructura Metal-óxido-semiconductor (MOS)

Consideremos una estructura de este tipo con el cristal de silicio tipo P, es decir, con un número de huecos mayor que el número de electrones. Si se aplica una tensión positiva al metal con respecto al sustrato, aparecerá un campo eléctrico entre ambas capas. La capa aislante de SiO_2 impide que circule una corriente eléctrica por la estructura, pero la acción del campo hace que los huecos del sustrato tiendan a alejarse de la superficie de contacto con el óxido y que los electrones

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

tiendan a acercarse a ella. A medida que se aumenta el campo eléctrico será mayor el número de electrones que se acercan a la superficie y mayor el número de huecos que se alejan de ella, llegando un momento en que, en esa zona, el número de electrones se hace mayor que el número de huecos, es decir, se ha transformado en tipo N. En este caso se dice que se ha originado un canal inducido y la tensión necesaria para que haya aparecido este canal se denomina tensión umbral (V_T). La profundidad del canal aumenta conforme aumenta la tensión por encima de V_T, que es positiva.

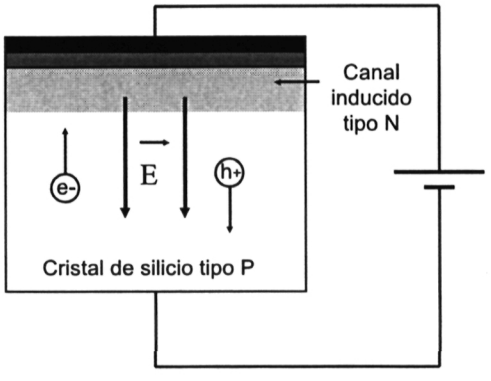


Figura 6.2 Formación del canal inducido

En resumen, la estructura MOS permite crear un canal inducido de tipo N en un semiconductor tipo P o un canal tipo P en un semiconductor tipo N, aplicando en este caso una tensión negativa entre el metal y el semiconductor.

6.3. MOSFET DE ACUMULACIÓN O ENRIQUECIMIENTO

La estructura básica de un MOSFET, mostrada en la Figura 6.3, deriva de la anterior, implantando en el sustrato dos "islas" o zonas de fuerte dopado (indicadas en la figura con un superíndice +) con impurezas de tipo contrario a las del sustrato. La capa de óxido y la de metal se disponen justo encima de la zona intermedia entre ambas islas. Se conectan terminales metálicos a las dos islas, a la zona del metal y al sustrato, lo que significa que el MOSFET es un dispositivo de 4 terminales, aunque el terminal del sustrato no se utiliza, permaneciendo siempre

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

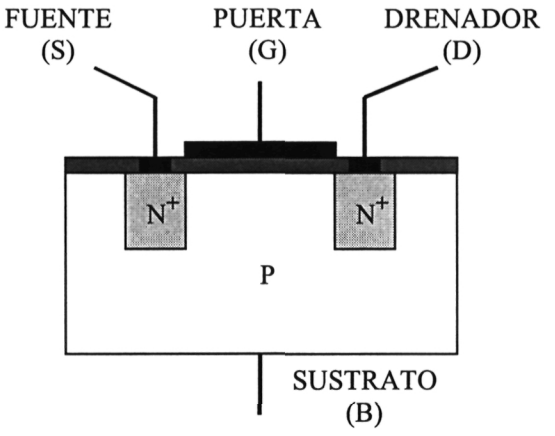


Figura 6.3 MOSFET de acumulación de canal N

conectado a una tensión fija. Según sea el dopado del sustrato y las islas existen dos tipos de MOSFET de Acumulación, de CANAL N (MOSn) con islas tipo N y sustrato tipo P y de CANAL P (MOSp), con islas tipo P y sustrato tipo N. Ambos son utilizados en la implementación de circuitos digitales.

Las características estructurales del transistor son las siguientes:

- No existe ninguna diferencia entre las dos islas, es decir *el transistor es simétrico*. A los terminales conectados a ellas se les denomina **fuente** (S) o **drenador** (D) según sea el sentido del movimiento de los portadores en el canal, pero en la realidad, los dos son completamente equivalentes.

- Al terminal conectado a la zona de metal se denomina **puerta** (G). El metal puede ser sustituido por otro material conductor, como por ejemplo silicio policristalino.

- La zona del **sustrato** debe estar más débilmente dopada que las islas.

Sólo se va a estudiar el funcionamiento a nivel microscópico del transistor MOSn porque el del MOSp es totalmente equivalente. En el MOSn, el terminal de sustrato siempre se conecta a la *tensión más negativa* que se tenga en el circuito, que en el caso de circuitos digitales normalmente es tierra. El sustrato de los MOSp se conecta a la *tensión más positiva* del circuito, que es normalmente la tensión de alimentación.

Partimos de un transistor de canal N y dos fuentes de tensión, una V_{GS} y otra V_{DS} tal como se muestra en la Figura 6.4. Consideremos los siguientes casos:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

a) $V_{GS} \leq V_T$

No aparece canal inducido, por lo que, cualquiera que sea la tensión V_{DS}, no circulará intensidad entre las dos islas. Es el caso representado en la Figura 6.3.

b) $V_{GS} \geq V_T$, $V_{DS} = 0$

Aparece un canal inducido entre las dos islas, pero, al ser $V_{DS} = 0$, entre ellas *no circula intensidad* y la *profundidad es la misma en todo el canal*.

c) $V_{GS} \geq V_T$, $V_{DS} \geq 0$, $V_{GD} \geq V_T$

Circula una intensidad por el canal debido a la tensión V_{DS}. Debido a esta tensión, *la profundidad del canal ya no es constante*, sino que se estrecha en la zona cercana al drenador, debido a que la tensión V_{GD} es menor que V_{GS} ($V_{GD} = V_{GS} - V_{DS}$). Conforme aumenta la tensión, aumenta también la intensidad que circula por el canal de forma aproximadamente lineal.

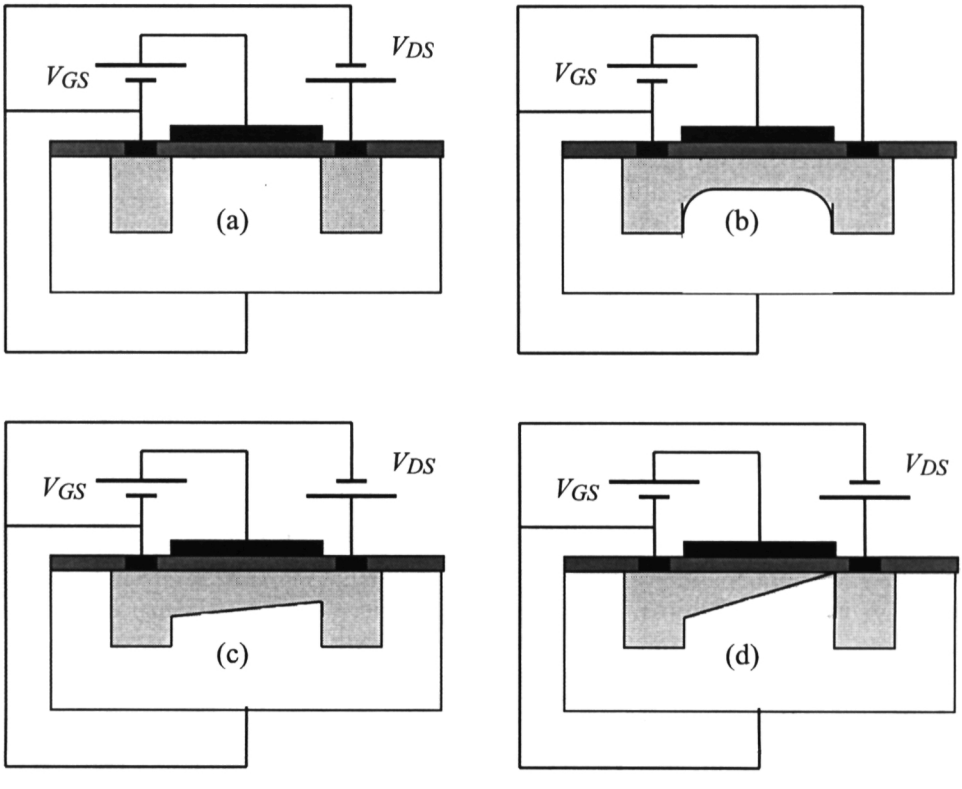


Figura 6.4 Modos de funcionamiento del MOSFET de acumulación

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

d) $V_{GS} \geq V_T$, $V_{DS} \geq 0$ $V_{GD} \leq V_T$

El *canal se estrangula* en la zona del drenador, por lo que, a partir de este punto, aunque se siga aumentando la tensión V_{DS}, la intensidad ya no aumenta, permaneciendo con el mismo valor que con $V_{GD} = V_T$.

En la gráfica de la Figura 6.5 se representa la curva de variación de I_D frente a V_{DS} para varias tensiones $V_{GS} > V_T$. El punto en el que la intensidad I_D se hace constante corresponde al estrangulamiento del canal, es decir a $V_{GD} = V_{GS} - V_{DS} = V_T$. Del funcionamiento anteriormente descrito pueden sacarse las siguientes consecuencias importantes:

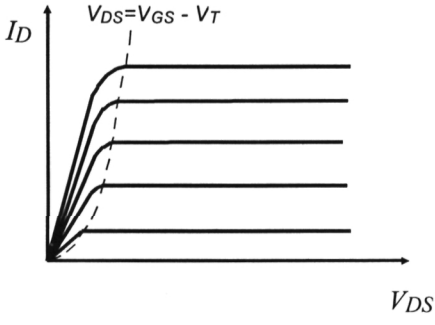


Figura 6.5 Curvas características para varios valores de $V_{GS} > V_T$

- El terminal de puerta está aislado del canal por la capa de SiO_2, por lo que la *intensidad de puerta siempre es nula* en un MOSFET. La única intensidad es la que circula entre drenador y fuente.

- En el caso estudiado del MOSn, la corriente circula entre dos islas tipo N y un canal también tipo N, por lo que prácticamente todos los portadores de carga que forman la corriente eléctrica son electrones. En el caso de un MOSp ocurre lo contrario, los portadores de carga son mayoritariamente huecos. Por este motivo se dice que el MOSFET es un *dispositivo unipolar*, la corriente a través de él está formada por un único tipo de portadores.

- Se denomina fuente al terminal por donde entran los portadores y drenador al terminal por el que salen. Puesto que los portadores del MOSn son electrones, el *drenador* será siempre el que esté conectado al mayor valor de tensión. Por el contrario, al ser los huecos los portadores en un MOSp, en este caso el terminal de *fuente* será el que esté conectado al mayor valor de tensión.

- Pueden distinguirse tres zonas de funcionamiento, denominadas CORTE, OHMICA y SATURACIÓN.

6.3.1. Zona de Corte

En esta zona no hay canal inducido.

Condiciones: $V_{GS} \leq V_T$

Funcionamiento: $I_D = 0$ para cualquier valor de V_{DS}

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

6.3.2. Zona Ohmica

En esta zona existe canal inducido y no está estrangulado.

Condiciones: $V_{GS} \geq V_T$; $V_{GD} \geq V_T$, es decir, $V_{DS} \leq V_{GS} - V_T$.

Funcionamiento: Su denominación se debe a que el comportamiento es similar al de una resistencia cuyo valor depende del valor de V_{GS}, aunque la relación entre I_D y V_{DS} es no lineal. El modelo que vamos a utilizar es no lineal, de forma que se verifica:

$$I_D = K_N \left(V_{GS} - V_T - \frac{V_{DS}}{2}\right) V_{DS}$$

Donde K_N es una constante que depende fundamentalmente de la geometría del transistor, siendo directamente proporcional a la anchura del canal (W) e inversamente proporcional a su longitud (L).

Aunque esta relación corresponde a la curva característica de una resistencia no lineal, para pequeños valores de V_{DS} la expresión puede aproximarse a $I_D \approx K_N (V_{GS} - V_T) V_{DS}$, que es equivalente a la Ley de Ohm tomando $R = (K_N (V_{GS} - V_T))^{-1}$, de ahí que se denomine a esta zona con el nombre de Ohmica. También suele denominarse como zona Lineal o zona Triodo.

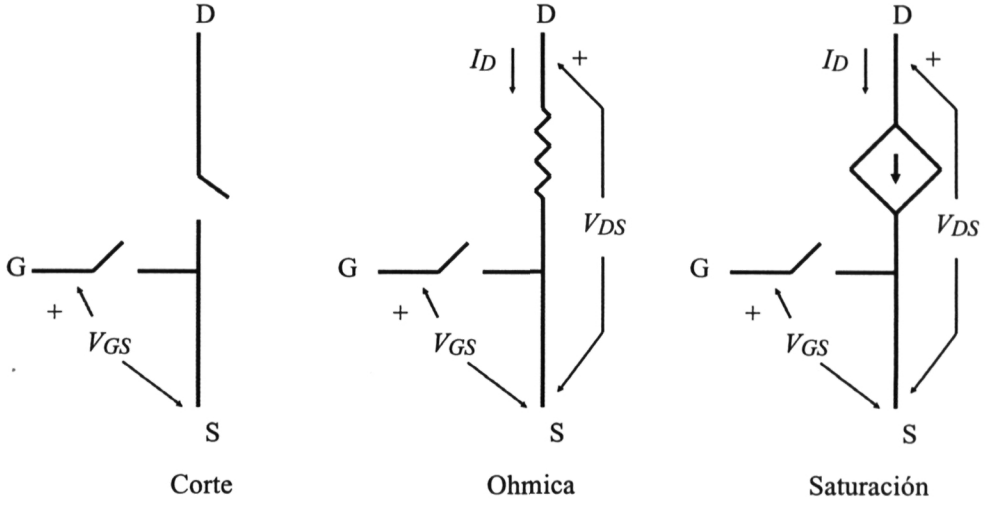


Figura 6.6 Modelos de circuito de las zonas de operación del MOSFET de acumulación de canal N

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

6.3.3. Zona de Saturación

En esta zona, el canal inducido está estrangulado.

Condiciones: $V_{GS} \geq V_T$; $V_{GD} \leq V_T$, es decir, $V_{DS} \geq V_{GS} - V_T$.

Funcionamiento: El transistor se comporta como una fuente de intensidad no lineal controlada por la tensión V_{GS} . La expresión de la I_D en función de V_{GS} es:

$$I_D = \frac{K_N}{2} (V_{GS} - V_T)^2$$

El estudio del MOSFET de Acumulación de canal P es totalmente análogo al realizado anteriormente, con las siguientes diferencias:

- Se consideran las tensiones inversas a las anteriores, es decir, V_{SG}, V_{SD} y V_{DG}, por lo que la tensión umbral V_T se define como la tensión necesaria entre fuente y puerta (V_{SG}) para que aparezca un canal inducido y, por tanto, también es positiva.
- El terminal de fuente es ahora el que se conecta a la tensión más positiva, por lo que la intensidad entra en el transistor por dicho terminal y por tanto se denomina I_S.
- Las expresiones anteriores son totalmente válidas, sustituyendo V_{GS}, V_{DS} e I_D por V_{SG}, V_{SD} e I_S respectivamente y la constante K_N por otra K_P que es equivalente a la anterior. Estas expresiones, junto con dos de los diferentes símbolos de circuito más utilizados en la bibliografía se muestran en la Tabla 6.1.

6.4. MOSFET DE DEPLEXIÓN O EMPOBRECIMIENTO

La diferencia con el MOSFET de Acumulación es que se fabrica con un canal implantado entre las islas. En la figura se muestra un MOSFET de Deplexión de canal N. Esto tiene como consecuencia principal que por el transistor circula intensidad aunque la tensión V_{GS} sea cero, ya que no es necesario inducir el canal puesto que ya existe.

No obstante, si se aplica una tensión V_{GS} negativa, los electrones que forman el canal inducido tenderán a alejarse de dicha zona por efecto del campo eléctrico que ahora se dirige del sustrato a la puerta. Por la misma razón, los huecos tenderán a aproximarse a la zona del canal. Para un valor de tensión $V_{GS} = V_P$ ($V_P < 0$) denominado "pinch-off", los huecos neutralizarán a los electrones del ca-

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

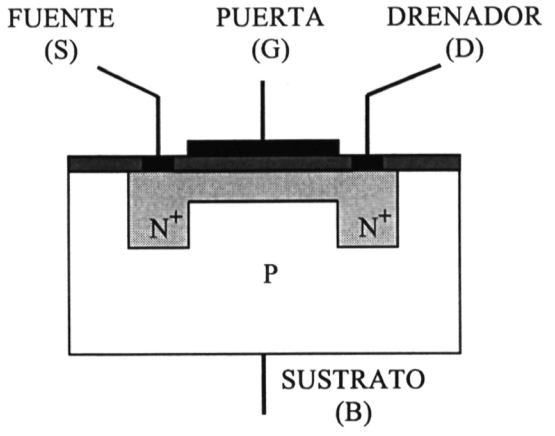


Figura 6.7 Estructura del MOSFET de deplexión de canal N.

nal y éste desaparecerá, en este caso ya no podrá circular intensidad entre el drenador y la fuente y el transistor habrá entrado en corte.

Por tanto, el funcionamiento del transistor de Deplexión es totalmente análogo al de acumulación, con la única diferencia que la tensión umbral V_T, que es positiva en el de acumulación, se sustituye en las ecuaciones por la tensión de pinch-off V_P, que es negativa.

Las expresiones para los transistores de deplexión y sus símbolos de circuito también se muestran en la Tabla 6.1.

6.5. FAMILIA LÓGICA NMOS

El inversor NMOS está formado por dos transistores, uno de acumulación (M1) cuyo terminal de puerta es la entrada del circuito, denominado transistor base y uno de deplexión (M2), denominado transistor de carga, cuya fuente está conectada al drenador del transistor base. De esa conexión se toma la salida de la puerta.

La puerta y la fuente de M2 están conectadas entre sí, por lo que siempre se cumple que $V_{GS2} = 0$. Al ser M2 de deplexión, su tensión de pinch-off es siempre negativa, por lo que siempre

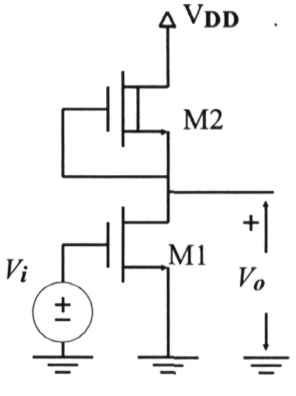


Figura 6.8 Inversor NMOS

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

TRANSISTORES MOSFET

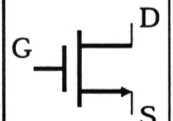
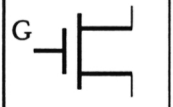
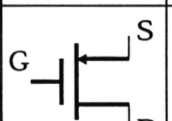
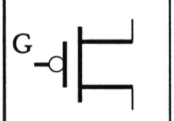
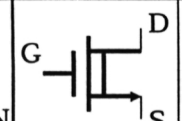
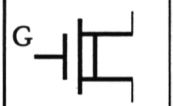
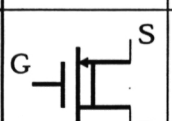
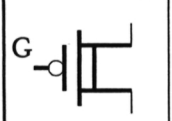
	Símbolos de circuito	Zona de CORTE	Zona OHMICA	Zona de SATURACIÓN
	ACUMULACIÓN o ENRIQUECIMIENTO ($V_T > 0$)			
canal N		$V_{GS} < V_T$	$V_{GS} \geq V_T$ $V_{DS} \leq V_{GS} - V_T$	$V_{GS} \geq V_T$ $V_{DS} \geq V_{GS} - V_T$
		$I_D = 0$	$I_D = K_N (V_{GS} - V_T - \frac{V_{DS}}{2}) V_{DS}$	$I_D = \frac{K_N}{2} (V_{GS} - V_T)^2$
canal P		$V_{SG} < V_T$	$V_{SG} \geq V_T$ $V_{SD} \leq V_{SG} - V_T$	$V_{SG} \geq V_T$ $V_{SD} \geq V_{SG} - V_T$
		$I_S = 0$	$I_S = K_P (V_{SG} - V_T - \frac{V_{SD}}{2}) V_{SD}$	$I_S = \frac{K_P}{2} (V_{SG} - V_T)^2$
	DEPLEXIÓN o EMPOBRECIMIENTO ($V_P < 0$)			
canal N		$V_{GS} < V_P$	$V_{GS} \geq V_P$ $V_{DS} \leq V_{GS} - V_P$	$V_{GS} \geq V_P$ $V_{DS} \geq V_{GS} - V_P$
		$I_D = 0$	$I_D = K_N (V_{GS} - V_P - \frac{V_{DS}}{2}) V_{DS}$	$I_D = \frac{K_N}{2} (V_{GS} - V_P)^2$
canal P		$V_{SG} < V_P$	$V_{SG} \geq V_P$ $V_{SD} \leq V_{SG} - V_P$	$V_{SG} \geq V_P$ $V_{SD} \geq V_{SG} - V_P$
		$I_S = 0$	$I_S = K_P (V_{SG} - V_P - \frac{V_{SD}}{2}) V_{SD}$	$I_S = \frac{K_P}{2} (V_{SG} - V_P)^2$

Tabla 6.1 Cuadro resumen de los MOSFET.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

se cumple que $V_P < V_{GS2}$, es decir M2 nunca va a funcionar en zona de corte, *siempre estará en zona óhmica o de saturación.*

Otra característica de esta puerta es que la intensidad que circula por M1 (I_{D1}) es siempre igual a la que circula por M2 (I_{D2}), ya que la intensidad de puerta es siempre cero en cualquier MOSFET. ($I_{D1} = I_{D2} = I_D$).

a) Para aplicar un 0 lógico a la entrada de la puerta, el valor de la tensión de entrada V_i debe ser inferior a la tensión umbral de M1 (V_T). En este caso, el transistor estará en zona de corte y, consecuentemente, $I_{D1} = 0$. Esto hace que $I_{D2} = 0$, pero M2 no puede estar en corte por ser $V_{GS2} = 0$, ni en saturación, ya que al ser $V_{GS2} - V_P > 0$, si M2 estuviera en saturación debía ser $I_{D2} > 0$. Por tanto, M2 debe estar en zona óhmica, es decir:

$$I_{D2} = K_{N2} \left(V_{GS2} - V_P - \frac{V_{DS2}}{2}\right) V_{DS2} = 0 \Rightarrow I_{D2} = K_{N2} \left(- V_P - \frac{V_{DS2}}{2}\right) V_{DS2} = 0$$

Hay dos posibilidades para que esto se verifique:

1) $-V_P - \frac{V_{DS2}}{2} = 0 \Rightarrow V_{DS2} = -V_P$; pero por estar en zona óhmica:

$V_{DS2} \leq V_{GS2} - V_P \Rightarrow V_{DS2} \leq - V_P \Rightarrow - 2 V_P \leq - V_P \Rightarrow 2 V_P \geq V_P$, pero V_P es siempre negativa por lo que la anterior relación es siempre falsa y no puede darse este caso.

2) El único caso posible es que $V_{DS2} = 0$

A partir del valor de V_{DS2} se puede calcular directamente la tensión de salida V_o:

$V_o = V_{DD} - V_{DS2} = V_{DD}$, por tanto: $\forall\ V_i \leq V_{T1} \Rightarrow V_o = V_{DD}$ (1 lógico)

Es importante hacer notar que al ser $I_{D1} = I_{D2} = 0$, el consumo de potencia en este estado es cero.

b) Consideremos que $V_{DD} > V_{T1}$. Si se hace $V_i = V_{DD}$ (1 lógico), M1 entrará en conducción. Supongamos que trabaja en zona ohmica, es decir, que $V_o \leq V_i - V_T$ (ya que $V_{GS1} = V_i$ y $V_{DS1} = V_o$) y que M2 está en saturación, es decir, que $V_{DS2} = V_{DD} - V_o \geq V_{GS2} - V_P = - V_P \Rightarrow V_o \leq V_{DD} + V_P$, entonces:

$$I_{D1} = K_{N1} \left(V_{DD} - V_T - \frac{V_o}{2}\right) V_o = I_{D2} = \frac{K_{N2}}{2}(-V_P)^2 \Rightarrow$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\boxed{V_o = V_{DD} - V_T - ((V_{DD} - V_T)^2 - \frac{K_{N2}}{K_{N1}} V_P^2)^{1/2}}$$

$$\text{Si } K_{N1} >>> K_{N2} \Rightarrow (V_{DD} - V_T)^2 >>> \frac{K_{N2}}{K_{N1}} V_P^2 \Rightarrow$$

$$((V_{DD} - V_T)^2 - \frac{K_{N2}}{K_{N1}} V_P^2)^{1/2} \approx V_{DD} - V_T \Rightarrow V_o \approx V_{DD} - V_T - (V_{DD} - V_T)$$

$$\boxed{\Rightarrow V_o \approx 0 \text{ (0 lógico)}}$$

En este caso el consumo de potencia no es cero, sino que viene dado por:

$$P = V_{DD} I_{D2} = V_{DD} \frac{K_{N2}}{2} (-V_P)^2$$

Del resultado de los apartados a) y b) se comprueba que el funcionamiento del circuito básico NMOS es el de un inversor.

6.5.1. Funciones lógicas NMOS

Una de las principales ventajas que ofrece la familia NMOS es la capacidad que tiene de realizar cualquier función lógica combinacional con un número muy pequeño de transistores, es decir, presenta una gran flexibilidad lógica y una gran capacidad de integración. En la Figura 6.9 están representadas respectivamente una función NOR y una función NAND de dos entradas. En el caso a), es evidente que basta con que uno de los transistores MA o MB tengan su puerta a V_{DD} para que conduzca en óhmica, conduciendo MC en saturación y estando la salida a 0. En el caso b), basta con que la puerta de uno de los transistores esté a 0 lógico para que el transistor se corte, forzando $I_D = 0$, con lo que MC conducirá en óhmica y la salida estará a 1 lógico.

Combinando transistores en las dos estructuras básicas mostradas en la figura anterior pueden obtenerse funciones lógicas más complejas, como se observa en la Figura 6.10.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

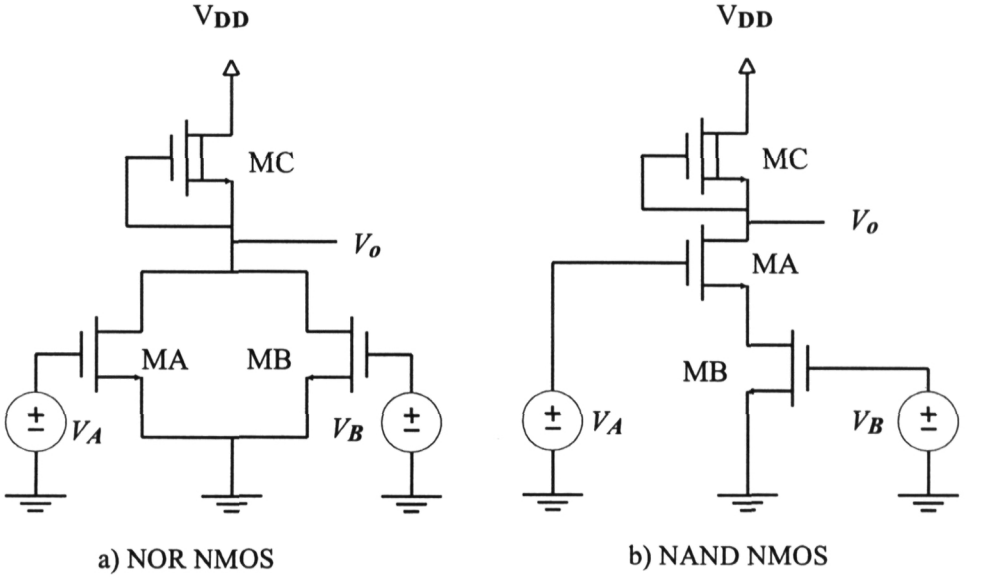


Figura 6.9 Funciones lógicas NOR y NAND NMOS

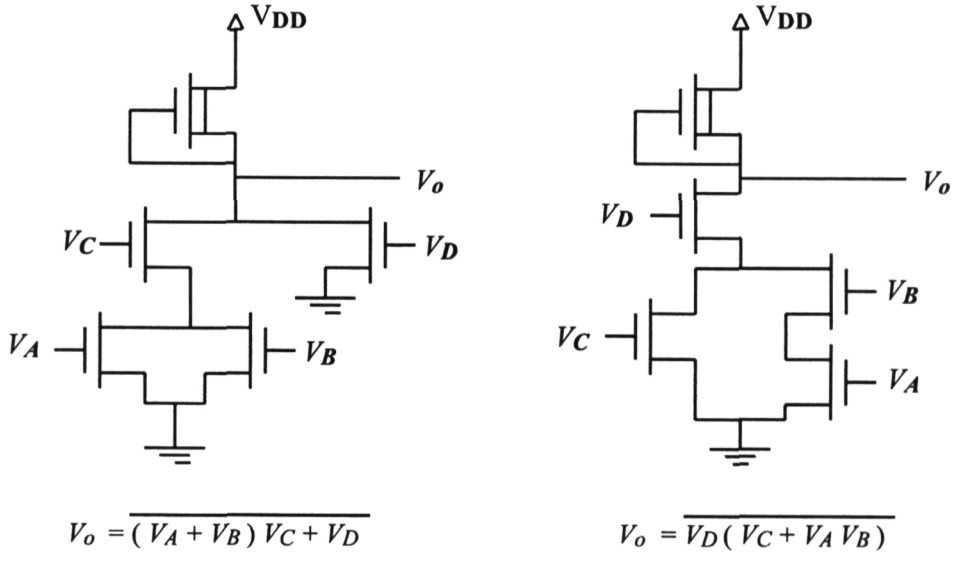


Figura 6.10 Ejemplos de funciones lógicas NMOS

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

6.6. FAMILIA LÓGICA CMOS

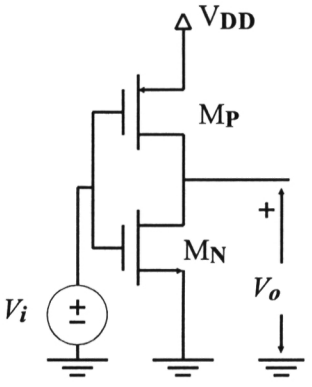


Figura 6.11 Inversor CMOS

El inversor CMOS también está formado por dos transistores, pero se diferencia con el NMOS en que el transistor de carga es de acumulación de canal P y que la entrada del circuito la constituyen las puertas de los dos transistores. Al igual que en el inversor NMOS, la intensidad que circula por ambos transistores es la misma: $I_S = I_D$. El funcionamiento del circuito para entrada a nivel bajo y a nivel alto es el siguiente:

a) Si se hace $V_i = 0$ V, M_N estará en corte, ya que $V_{TN} > 0$ por lo que $I_D = 0 \Rightarrow I_S = 0$. Por otra parte, para M_P, $V_{SG} = V_{DD}$ que debe ser mayor que V_{TP}, por lo que M_P conducirá, pero al ser $I_S = 0$, debe hacerlo en zona ohmica; es decir:

$$I_S = K_P\,(V_{SG} - V_{TP} - \frac{V_{SD}}{2})\,V_{SD} = 0 \Rightarrow I_S = K_P\,(V_{DD} - V_{TP} - \frac{V_{SD}}{2})\,V_{SD} = 0$$

Hay dos posibilidades para que esto se verifique:

$$1)\ V_{DD} - V_{TP} - \frac{V_{SD}}{2} = 0 \Rightarrow V_{SD} = 2\,(V_{DD} - V_{TP})\ ;$$

pero, por estar en zona ohmica: $V_{SD} \le V_{SG} - V_{TP} \Rightarrow V_{SD} \le V_{DD} - V_{TP} \Rightarrow 2\,(V_{DD} - V_{TP}) \le V_{DD} - V_{TP}$; $V_{DD} > V_{TP} \Rightarrow 2 \le 1 \Rightarrow$ IMPOSIBLE.

2) El único caso posible es que $V_{SD} = 0$

A partir del valor de V_{SD} se puede calcular directamente la tensión de salida V_o:

$V_o = V_{DD} - V_{SD} = V_{DD}$, por tanto: Para $V_i = 0 \Rightarrow V_o = V_{DD}$ (1 lógico).

Es importante hacer notar que al ser $I_D = I_S = 0$, el consumo de potencia en este estado es cero.

b) Consideremos que $V_{DD} > V_{TN}$. Si se hace $V_i = V_{DD}$ (1 lógico), tendremos que $V_{SG} = V_{DD} - V_i = V_{DD} - V_{DD} = 0 < V_{TP} \Rightarrow M_P$ estará en corte $\Rightarrow I_S = 0$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$\Rightarrow I_D = 0$, pero por ser $V_{DD} > V_{TN}$, M_N deberá conducir en zona óhmica y, además, tal como se vió en el análisis del inversor NMOS, debe cumplirse que $V_{DS} = 0$, es decir, $V_o = 0$. Por tanto, para $V_i = V_{DD} \Rightarrow V_o = 0$.

En este caso, vuelve a cumplirse que $I_D = I_S = 0$, por lo que el consumo de potencia en este estado también es nulo.

Del resultado de los apartados a) y b) se comprueba que el funcionamiento del circuito básico CMOS es el de un inversor y el hecho de que en ambos casos el consumo de potencia sea cero, significa que el *consumo de potencia estática del inversor CMOS es nulo*, sólo consume energía durante las transiciones entre estados. Por este hecho, la familia CMOS es la que posee menor consumo de energía.

6.6.1. Modelo simplificado de la estructura CMOS

Para la solución cualitativa de ejercicios basados en la familia CMOS es muy útil el modelo simplificado siguiente:

- Cuando a la puerta del transistor de *canal N* se le aplica una tensión igual a V_{DD}, éste conduce en zona óhmica y se comporta como un cortocircuito entre la fuente y el drenador, y cuando se le aplica 0 voltios está en corte y se comporta como un circuito abierto entre ambos terminales.
- Cuando a la puerta del transistor de *canal P* se le aplica una tensión igual a 0 voltios, éste conduce en zona óhmica y se comporta como un cortocircuito entre la fuente y el drenador, y cuando se le aplica V_{DD} está en corte y se comporta como un circuito abierto entre ambos terminales.

Aplicando este modelo al inversor CMOS, se obtiene fácilmente la función que realiza, como se observa el la Figura 6.12.

6.6.2. Funciones lógicas con CMOS

La realización de funciones lógicas con circuitos CMOS es similar pero algo más compleja que con NMOS. Una puerta CMOS está dividida en dos partes, la parte P y la parte N, compuestas por transistores de canal P y de canal N respectivamente. El funcionamiento debe ser análogo al del inversor, *siempre debe estar una parte conduciendo en zona óhmica y la otra en zona de corte.*

Debido a esto, la construcción de la función con los transistores de canal N se hace de la misma forma que en la familia NMOS, pero la parte P debe ser construida con el mismo número de transistores que la parte N dispuestos en la configuración contraria. (Los transistores que en la parte N estén en paralelo se ponen en serie y viceversa). La Figura 6.14 muestra las funciones NOR y NAND CMOS.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

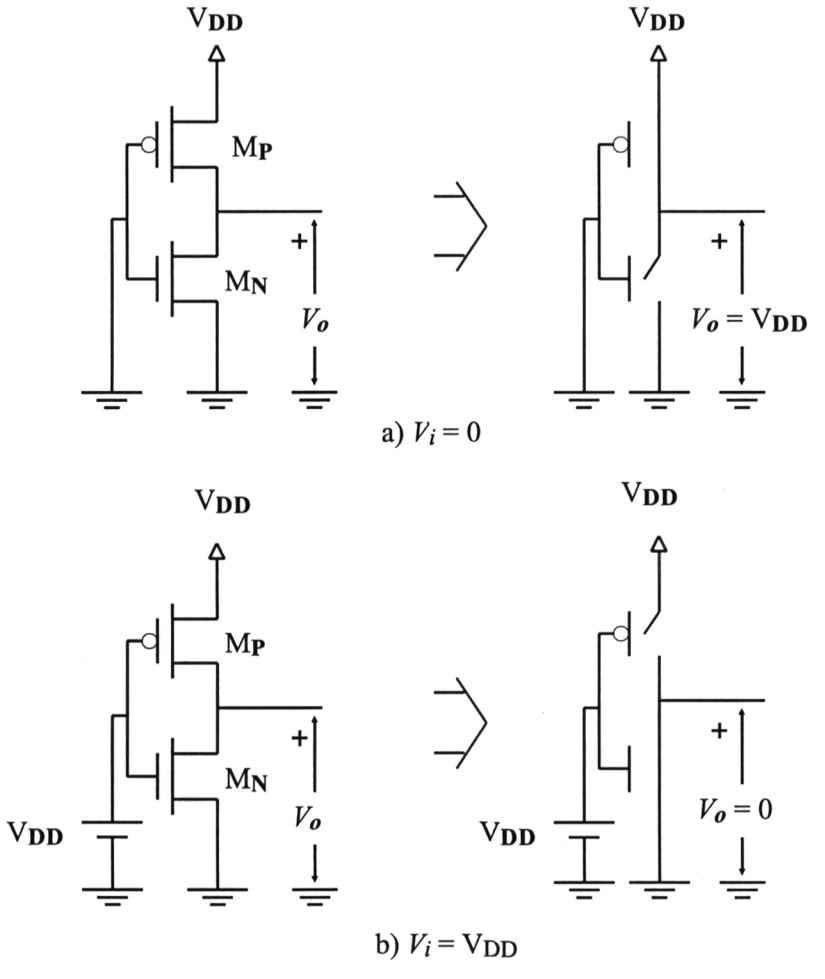


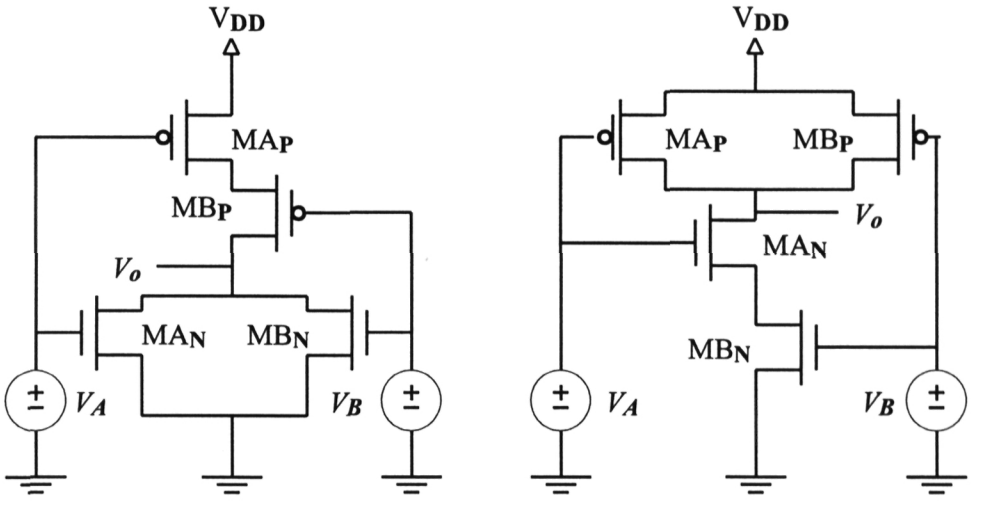
Figura 6.12 Modelo simplificado aplicado al inversor CMOS

6.7. EJERCICIOS RESUELTOS

6.7.1. Ejercicios de cálculo del punto de trabajo

El punto de trabajo de un MOSFET de canal N viene dado únicamente por tres variables: V_{GS}, V_{DS} e I_D, ya que siempre se cumple que $I_G \equiv 0$. Si es de canal P, las variables a calcular son V_{SG}, V_{SD} e I_S.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



a) NOR CMOS b) NAND CMOS

Figura 6.14 Funciones lógicas NOR y NAND CMOS.

6.7.1.a. ***Para el MOSFET de acumulación de canal N de la Figura 6.13, K = 0,2 mA / V² y V_T = 3 V. Calcula el punto de trabajo.***

Primeramente se calcula V_{GS} para ver si el transistor conduce o está en corte.

En este caso es evidente que V_{GS} = 5 V. La resistencia R no realiza ninguna función en este circuito, ya que, independientemente de cual sea su valor, la tensión V_{GS} no va a variar.

V_{GS} = 5 V > 3 V = V_T ⇒ El transistor no está en corte.

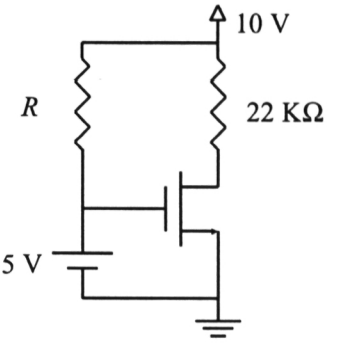


Figura 6.13

a) Se supone que está en zona de SATURACIÓN.

El comportamiento viene dado por:

$$I_D = \frac{K_N}{2}(V_{GS} - V_T)^2$$

La condición que debe cumplirse es: $V_{DS} \geq V_{GS} - V_T$;

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$I_D = 0{,}4$ mA $\Rightarrow$ $10 = 22 \cdot 0{,}4 + V_{DS} \Rightarrow V_{DS} = 1{,}2$ V

$V_{GS} - V_T = 2$ V $> V_{DS} \Rightarrow$ NO ESTA EN SATURACIÓN.

b) Se supone que está en zona OHMICA.

El comportamiento viene dado por:

$$I_D = K_N \left(V_{GS} - V_T - \frac{V_{DS}}{2}\right) V_{DS}$$

La condición que debe cumplirse es: $V_{DS} \leq V_{GS} - V_T$;

$I_D = -0{,}1\ V_{DS}^{\ 2} + 0{,}4\ V_{DS}$; por otra parte:

$10 = 22\ I_D + V_{DS} \Rightarrow 2{,}2\ V_{DS}^{\ 2} - 9{,}8\ V_{DS} + 10 = 0$;

hay 2 soluciones matemáticamente posibles:

$V_{DS1} = 2{,}87$ V y $V_{DS2} = 1{,}58$ V ;

pero la única que cumple la condición es V_{DS2}, por lo tanto:

$I_D = 0{,}38$ mA ; $V_{GS} = 5$ V ; $V_{DS} = 1{,}58$ V

6.7.1.b. ***En el circuito de la Figura 6.15, $I_S = 0{,}5$ mA y $V_T = 2$ V. Indica la zona de trabajo del transistor y el valor de K_P.***

Al ser $i_G \equiv 0$, la intensidad que circula por las dos resistencias de valor R es la misma, por tanto, la tensión en la puerta del transistor, V_G, vendrá dada por la expresión:

$$V_G = 10 \frac{R}{R+R} = 5 \text{ V}$$

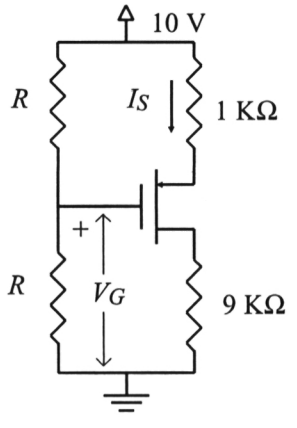


Figura 6.15

Por otra parte:

$10 = 10\ I_S + V_{SD} = 5 + V_{SD} \Rightarrow V_{SD} = 5$ V

$10 = 1\ I_S + V_{SG} + V_G = 5{,}5 + V_{SG} \Rightarrow V_{SG} = 4{,}5$ V

$\Rightarrow V_{SG} - V_T = 2{,}5$ V $< V_{SD} \Rightarrow$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\Rightarrow \text{ESTA EN ZONA DE SATURACIÓN} \Rightarrow K_P = 2\frac{I_S}{(V_{SG} - V_T)^2} \Rightarrow$$

$$\Rightarrow \mathbf{K_P = 0{,}16\ mA / V^2}$$

6.7.1.c. ***Calcula el valor de R_D en el circuito de la Figura 6.16 para que la intensidad I_D tenga un valor igual a la mitad de la que tendría si el transistor estuviese en saturación con el mismo valor de V_{GS}.***
($K_N = 0{,}2\ mA / V^2$; $V_T = 3\ V$)

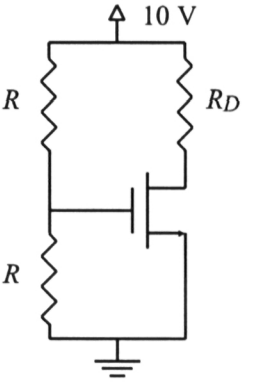


Figura 6.16

De la misma forma que en el problema anterior:

$$V_{GS} = 5 \text{ V}$$

Si el transistor estuviese en zona de Saturación, se verificaría que:

$$I_{D(SAT)} = \frac{K_N}{2}(V_{GS} - V_T)^2 = 0{,}4 \text{ mA}$$

La intensidad que circula en realidad es la mitad que la anterior, por lo que el transistor debe funcionar en zona OHMICA:

$$I_D = \frac{I_{D(SAT)}}{2} = 0{,}2 \text{ mA} = K_N (V_{GS} - V_T - \frac{V_{DS}}{2}) V_{DS} \Rightarrow$$

$$\Rightarrow 0{,}5\ V_{DS}{}^2 - 2\ V_{DS} + 1 = 0 \Rightarrow V_{DS1} = 3{,}41 \text{ V (1)};\ V_{DS2} = 0{,}58 \text{ V (2)};$$

Por estar en óhmica, la solución correcta es la (2), es decir, $V_{DS} = 0{,}58$ V ;

$$R_D = \frac{10 - V_{DS}}{i_D} \Rightarrow \mathbf{R_D = 47{,}1\ K\Omega.}$$

6.7.1.d. ***Para el MOSFET de deplexión de canal N de la Figura 6.17, $K = 0{,}5\ mA / V^2$ y $V_T = -2$ V. Calcula su punto de trabajo.***

Las ecuaciones LKV del circuito son:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$5 = 10\, I_D + V_{DS} + 2\, I_D \Rightarrow V_{DS} = 5 - 12\, I_D$$

$$V_{GS} + 2\, I_D = 0 \Rightarrow V_{GS} = -2\, I_D$$

Para obtener la tercera ecuación necesaria hay que suponer el estado en que se encuentra el transistor:

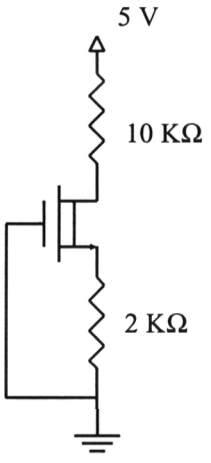


Figura 6.17

a) Se supone que está en SATURACIÓN:

$$V_{GS} \geq -2 \text{ V } (1) \; ; \; V_{DS} \geq V_{GS} + 2 \; (2)$$

$$I_D = \frac{0,5}{2} (V_{GS} + 2)^2 = (1 - I_D)^2$$

$$\Rightarrow I_D{}^2 - 3\, I_D + 1 = 0$$

$$\Rightarrow I_{D1} = 2,618 \text{ mA} \; ; \; I_{D2} = 0,382 \text{ mA}$$

$V_{GS1} = -2\, I_{D1} = -5,236$ V ; $V_{GS2} = -2\, I_{D2} = -0,764$ V

(1) $\Rightarrow$ $V_{GS} = -0,764$ V ; $I_D = 0,382$ V ; $V_{DS} = 5 - 12\, I_D = 0,416$ V;

$V_{GS} - V_P = 1,236 \text{ V} > V_{DS} \Rightarrow$ No se cumple (2)

$\Rightarrow$ **NO ESTA EN SATURACIÓN**

a) Se supone que está en OHMICA: $V_{GS} \geq -2$ V (1) ; $V_{DS} \leq V_{GS} + 2$ (2)

$$I_D = 0,5 \left(V_{GS} + 2 - \frac{5 - 12 I_D}{2}\right) (5 - 12 I_D) \Rightarrow 24 I_D{}^2 - 12 I_D + 1,25 = 0$$

$\Rightarrow I_{D1} = 0,352$ mA ; $I_{D2} = 0,148$ mA $\Rightarrow V_{GS1} = -0,704$ V ; $V_{GS2} = -0,296$ V

$\Rightarrow V_{DS1} = 0,776$ V ; $V_{DS2} = 3,224 \text{ V} > 1,704 \Rightarrow$ No cumple (2);

$V_{DS1} = 0,776 \text{ V} < 1,296 \text{ V} = V_{GS1} - V_P \Rightarrow$ Verifica (2), luego la solución es:

$I_{D1} = 0,352$ mA ; $V_{GS1} = -0,704$ V ; $V_{DS1} = 0,776$ V ;

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

6.7.1.e. ***En el circuito de la Figura 6.19, calcula el valor de K_P sabiendo que el valor de I_S es de 50 mA. (K_N = 12,5 mA / V^2; V_{TN} = 1,5 V; V_{TP} = 2 V)***

Transistor MN:

$V_{GS} = V_{DS}$; $V_{TN} > 0 \Rightarrow V_{DS} > V_{GS} - V_{TN} \Rightarrow$

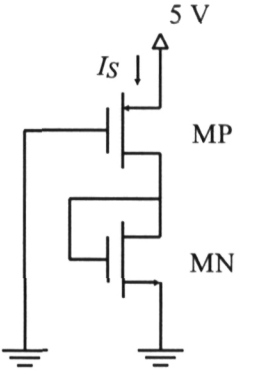


Figura 6.19

$\Rightarrow$ MN está en SATURACIÓN, ya que $I_S = I_D > 0$

$$\Rightarrow I_D = \frac{K_N}{2}(V_{GS} - V_{TN})^2 \Rightarrow$$

$$\Rightarrow 50 = \frac{12,5}{2}(V_{GS} - 1,5)^2 \; ; \; V_{GS} \geq 1,5 \text{ V}$$

$$\Rightarrow V_{GS} = 4,33 \text{ V} \Rightarrow V_{DS} = 4,33 \text{ V}$$

Transistor MP:

$V_{SG} = 5 \text{ V} > 2 \text{ V} = V_{TP} \Rightarrow$ MP no está en corte.

$V_{SD} = 5 - 4,33 = 0,67 \text{ V} < 3 \text{ V} = V_{SG} - V_{TP} \Rightarrow$ MP está en zona OHMICA.

$$\Rightarrow K_P = \frac{I_S}{(V_{SG} - V_{TP} - \frac{V_{SD}}{2})\, V_{SD}} \Rightarrow \boldsymbol{K_P = 28 \text{ mA/V}^2}$$

6.7.1.f. ***En el circuito de la Figura 6.18, determina el estado de los transistores M1 y M2 y la tensión de salida V_o para: a) V_i = 0 ; b) V_i = V_{DD}. (K (M1) = K_1 , K (M2) = K_2 , $V_{T1} = V_{T2} = V_T$, $V_{DD} > V_T$)***

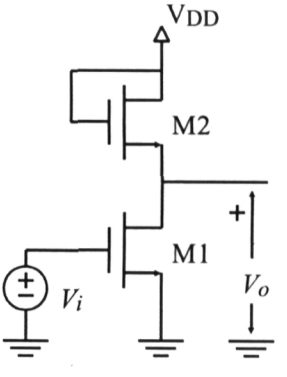


Figura 6.18

Transistor M2:

$V_{GS2} = V_{DS2} \Rightarrow V_{DS2} > V_{GS2} - V_T \Rightarrow$

Siempre que conduce M2 está en SATURACIÓN.

a) $V_i = 0$ V

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$V_i < V_T \Rightarrow$ M1 está en CORTE

$\Rightarrow I_{D1} = 0$; $I_{D2} = I_{D1} \Rightarrow I_{D2} = 0$;

Suponiendo que M2 está en SATURACIÓN, con $I_{D2} = 0$; se verifica:

$$I_{D2} = \frac{K_2}{2} (V_{GS2} - V_T)^2 = 0 \Rightarrow V_{GS2} = V_T \Rightarrow$$

$\Rightarrow$ M2 está en el límite de las zonas de SATURACIÓN y CORTE, porque se verifican las condiciones de las dos zonas.

$V_{GS2} = V_T \Rightarrow V_{DS2} = V_T = V_{DD} - V_o \Rightarrow \boldsymbol{V_o = V_{DD} - V_T}$

b) $V_i = V_{DD}$

$V_i > V_T \Rightarrow$ M1 conduce $\Rightarrow$ M2 también conduce y está en SATURACIÓN

$$\Rightarrow I_{D2} = \frac{K_2}{2} (V_{DD} - V_o - V_T)^2$$

Suponiendo que M1 también está en SATURACIÓN, debe cumplirse que:

$$V_{DS1} = V_o > V_i - V_T \Rightarrow V_o > V_{DD} - V_T$$

$$I_{D1} = I_{D2} \Rightarrow \frac{K_1}{2} (V_{DD} - V_T)^2 = \frac{K_2}{2} (V_{DD} - V_o - V_T)^2$$

$$\Rightarrow V_o = (V_{DD} - V_T) \left(1 - \left(\frac{K_1}{K_2}\right)^{1/2}\right) ; \text{ pero: } 1 - \left(\frac{K_1}{K_2}\right)^{1/2} < 1 \Rightarrow$$

$$\Rightarrow (V_{DD} - V_T) \left(1 - \left(\frac{K_1}{K_2}\right)^{1/2}\right) < V_{DD} - V_T \Rightarrow \text{M1 no está en SATURACIÓN}$$

M1 debe estar en zona OHMICA $\Rightarrow$

$$I_{D1} = \left(V_{DD} - V_T - \frac{V_o}{2}\right) V_o = I_{D2} = \frac{K_2}{2} (V_{DD} - V_o - V_T)^2 \Rightarrow$$

$$\Rightarrow V_o^2 - 2 V_o (V_{DD} - V_T) + (V_{DD} - V_T)^2 \frac{K_2}{K_1 + K_2} = 0$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\Rightarrow V_o = (V_{DD} - V_T)\left(1 \pm \left(\frac{K_1}{K_1+K_2}\right)^{1/2}\right) \text{; pero: } 1 + \left(\frac{K_1}{K_1+K_2}\right)^{1/2} > 1 \Rightarrow$$

$$\Rightarrow (V_{DD} - V_T)\left(1 + \left(\frac{K_1}{K_1+K_2}\right)^{1/2}\right) > V_{DD} - V_T \Rightarrow V_o > V_{DD} - V_T \Rightarrow$$

$\Rightarrow$ Este resultado no satisface la condición de que M1 esté en OHMICA, luego la solución correcta no es el signo + de la raíz cuadrada.

$$\frac{K_1}{K_1+K_2} < 1 \Rightarrow \left(\frac{K_1}{K_1+K_2}\right)^{1/2} < 1 \Rightarrow 1 - \left(\frac{K_1}{K_1+K_2}\right)^{1/2} > 0 \text{;}$$

$$\frac{K_1}{K_1+K_2} > 0 \Rightarrow -\left(\frac{K_1}{K_1+K_2}\right)^{1/2} < 0 \Rightarrow 1 - \left(\frac{K_1}{K_1+K_2}\right)^{1/2} < 1 \text{;}$$

$$\Rightarrow 1 > 1 - \left(\frac{K_1}{K_2+K_1}\right)^{1/2} > 0 \Rightarrow V_{DD} - V_T > (V_{DD} - V_T)\left(1 - \left(\frac{K_1}{K_2+K_1}\right)^{1/2}\right) > 0$$

$\Rightarrow V_{DD} - V_T > V_o > 0 \Rightarrow$ M1 está en OHMICA, verificándose que:

$$V_o = (V_{DD} - V_T)\left(1 - \left(\frac{K_1}{K_1+K_2}\right)^{1/2}\right)$$

6.7.2. Ejercicios de característica de transferencia

El cálculo de la característica de transferencia de circuitos con transistores MOSFET es más complejo que el de los circuitos presentados en temas anteriores, debido a que los modelos de estos transistores son no lineales. Esto tiene como consecuencia que algunos tramos de la característica sean curvos en vez de rectilíneos y que, en muchos casos, sea preciso escoger la solución correcta entre varias soluciones matemáticamente posibles.

6.7.2.a. ***Representa la característica de transferencia del inversor NMOS de la Figura 6.20 y obtén los márgenes de ruido NM_H y NM_L***

K_1 = 2 mA/V^2; K_2 = 1 mA/V^2; V_{T1} = 1 V ; V_{P2} = - 1 V

* Estados del transistor M1:

$V_{GS1} = V_i$; $V_{DS1} = V_o$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$I_{D1} = I_{D2}$

a) CORTE: $V_i \leq 1$

$I_{D1} = 0$

b) SATURACIÓN: $V_i \geq 1$; $V_o \geq V_i - 1 \Rightarrow V_i \leq V_o + 1$

$I_{D1} = (V_i - 1)^2$

c) OHMICA: $V_i \geq 1$; $V_o \leq V_i - 1 \Rightarrow V_i \geq V_o + 1$

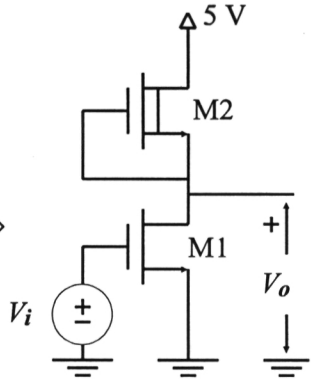


Figura 6.20

$$I_{D1} = 2\,(V_i - 1 - \frac{V_o}{2})\,V_o$$

* Estados del transistor M2:

$V_{DS2} = 5 - V_o$; $V_{GS2} = 0 > V_{P2} \Rightarrow$ M2 nunca puede estar en corte

$I_{D2} = I_{D1}$

a) SATURACIÓN: $5 - V_o \geq 1 \Rightarrow V_o \leq 4$

$I_{D2} = 0{,}5$ mA

b) OHMICA: $5 - V_o \leq 1 \Rightarrow V_o \geq 4$

$I_{D2} = 0{,}5\,(V_o - 3)\,(5 - V_o)$

La Figura 6.21 muestra el diagrama de estados o representación gráfica de las zonas de funcionamiento de los transistores sobre el plano V_o — V_i

Este diagrama da una idea de las zonas del plano en las que debe estar cada tramo de la característica de transferencia.

1) M1 CORTE ; M2 SATURACIÓN

$V_i \leq 1$ V ; $V_o \leq 4$ V ; $I_{D1} = 0$; $I_{D2} = 0{,}5$ mA $\Rightarrow I_{D1} \neq I_{D2}$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

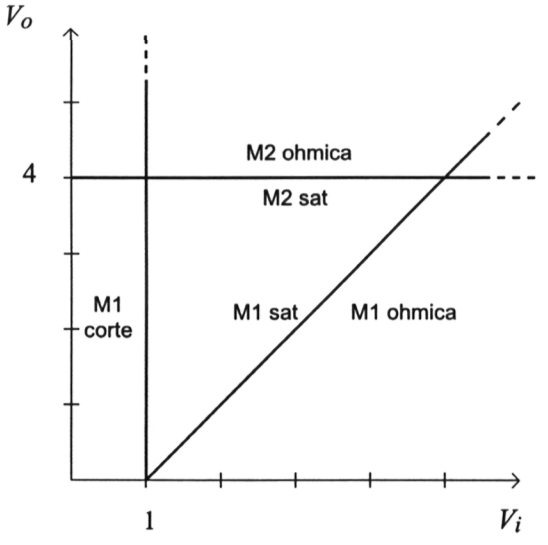


Figura 6.21 Diagrama de estados de la puerta NMOS

$\Rightarrow$ Este caso es IMPOSIBLE

2) M1 CORTE ; M2 OHMICA

$V_i \leq 1$ V (1) ; $V_o \geq 4$ V (2)

$I_{D1} = 0 = I_{D2} = 0{,}5\ (\ V_o - 3\ )\ (\ 5 - V_o\ )$;

Hay dos soluciones posibles: $V_o = 3$ V y $V_o = 5$ V. La primera no cumple la condición (2), por tanto la correcta es la segunda:

$$\forall\ \boldsymbol{V_i \leq 1\ V} \Rightarrow \boldsymbol{V_o = 5\ V}$$

3) M1 SATURACIÓN ; M2 SATURACIÓN

$V_i \geq 1$ V (1) ; $V_i - 1 \leq V_o \leq 4$ V (2)

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$I_{D1} = (V_i - 1)^2 = I_{D2} = 0{,}5$ mA ; puesto que $V_i \geq 1$ V, $V_i = 1 + \frac{1}{\sqrt{2}} = 1{,}707$ V

De (2) se deduce: $0{,}707 \text{ V} \leq V_o \leq 4$ V, por tanto:

$$\boldsymbol{V_i = 1{,}707 \text{ V} \ \forall \ 0{,}707 \text{ V} \leq V_o \leq 4 \text{ V}}$$

4) M1 SATURACIÓN ; M2 OHMICA

$1\text{V} \leq V_i \leq V_o + 1$ (1); $V_o \geq 4\text{V}$ (2)

$I_{D1} = (V_i - 1)^2 = I_{D2} = 0{,}5\ (V_o - 3)\ (5 - V_o) \Rightarrow$

$\Rightarrow V_o^2 - 8V_o + 15 + 2(V_i - 1)^2 = 0 \Rightarrow V_o = 4 \pm \sqrt{1-2(V_i - 1)^2}$;

(2) $\Rightarrow V_o \geq 4 \Rightarrow V_o = 4 + \sqrt{1-2(V_i - 1)^2}$

Para que la raíz sea real, debe cumplirse:

$$1 - 2\,(V_i - 1)^2 \geq 0 \Rightarrow V_i \leq 1{,}707 \text{ V}$$

De (1) y (2) : $V_i \leq V_o + 1$; $V_o \geq 4$ V $\Rightarrow$ $V_o + 1 \geq 5$ V $> 1{,}707$ V $\Rightarrow$

$\Rightarrow$ La condición más restrictiva es $V_i \leq 1{,}707$ V

$$\Rightarrow \quad \boldsymbol{\forall\ 1\text{V} \leq V_i \leq 1{,}707\text{V} \Rightarrow V_o = 4 + \sqrt{1-2(V_i - 1)^2}}$$

5) M1 OHMICA ; M2 SATURACIÓN

$V_i \geq 1$ V (1) ; $V_i \geq V_o + 1$ (2) ; $V_o \leq 4$ V (3)

$I_{D1} = 2(V_i - 1 - \frac{V_o}{2})\ V_o = I_{D2} = 0{,}5$ mA $\Rightarrow 2V_o^2 - 4(V_i - 1)\ V_o + 1 = 0$

$\Rightarrow V_o = V_i - 1 \pm \sqrt{-0{,}5+(V_i - 1)^2}$;

(2) $\Rightarrow V_o \leq V_i - 1 \Rightarrow V_o = V_i - 1 - \sqrt{-0{,}5+(V_i - 1)^2}$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Para que la raíz sea real, debe cumplirse:

$$-0{,}5 + (V_i - 1)^2 \geq 0 \Rightarrow V_i \geq 1{,}707 \text{ V}$$

El máximo valor de V_o se obtiene para $V_i = 1{,}707$ V, y vale $V_{omax} = 0{,}707$ V, por lo que siempre se cumple que $V_o \leq 0{,}707$ V, condición más restrictiva que la (3), por tanto:

$$\Rightarrow \quad \forall\, \boldsymbol{V_i \geq 1{,}707\text{V}} \Rightarrow \boldsymbol{V_o = V_i - 1 - \sqrt{-0{,}5 + (V_i - 1)^2}}$$

Este último tramo contiene al caso en que la tensión de entrada es de 5 voltios, teniéndose:

$$V_o\,(V_i = 5 \text{ V}) = 0{,}063 \text{ V}\ ;\ \text{un valor muy próximo a 0 V}$$

Tras el análisis de estos 5 casos se tiene cubierto todo el rango de variación de V_i, por lo que no haría falta evaluar el caso que resta ya que debe ser imposible que se de, no obstante, se va a comprobar esto.

6) M1 OHMICA ; M2 OHMICA

$$V_i \geq 1 \text{ V} \ (1)\ ;\ 4 \leq V_o \leq V_i - 1 \Rightarrow V_i \geq 5 \text{ V} \ (2)$$

$$I_{D1} = 2\,(V_i - 1 - \frac{V_o}{2})\,V_o = I_{D2} = 0{,}5\,(V_o - 3)\,(5 - V_o) \Rightarrow$$

$$V_o^{\,2} - 4\,(V_i - 3)\,V_o - 15 = 0 \Rightarrow$$

$$\Rightarrow V_o = 2V_i - 6 \pm \sqrt{15 + 4\,(V_i - 3)^2}\ ;$$

$$(2) \Rightarrow V_o \leq V_i - 1 \Rightarrow V_i \leq 5 \pm \sqrt{15 + 4\,(V_i - 3)^2}\ ;$$

$$(2) \Rightarrow V_o \geq 4 \Rightarrow V_i \geq 5 \pm \frac{\sqrt{(15 + 4\,(V_i - 3)^2}}{2}\ ;$$

Estas dos expresiones sólo pueden ser válidas si:

$$V_o = 2V_i - 6 + \sqrt{15 + 4\,(V_i - 3)^2}$$

$$(2) \Rightarrow V_o \geq 4 \Rightarrow 2\,(V_i - 5) \geq \sqrt{15 + 4\,(V_i - 3)^2}\ ;$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$V_i \geq 5 \Rightarrow V_i - 5 \geq 0 \Rightarrow 4\,(V_i - 5)^2 \geq 15 + 4\,(V_i - 3)^2 \Rightarrow$$

$$\Rightarrow 4\,(V_i - 5)^2 \geq 4\,(V_i - 5)^2 + 16\,(V_i - 5) + 31 \Rightarrow$$

$$\Rightarrow 16\,(V_i - 5) + 31 \leq 0 \Rightarrow V_i \leq 3{,}06 \text{ V} ;$$

pero esta condición es incompatible con la (2), por lo que esta combinación es IMPOSIBLE.

La Figura 6.22 representa la característica de transferencia.

* Cálculo de los márgenes de ruido.

Hay que calcular primeramente V_{IH}, V_{IL}, V_{OH} y V_{OL}. De la curva de transferencia se deduce claramente que las zonas donde se encuentran estos puntos son M1 SATURACIÓN, M2 OHMICA y M1 OHMICA, M2 SATURACIÓN.

1) M1 SATURACIÓN, M2 OHMICA:

En esta zona se calculan V_{IL} y V_{OH} .

$$V_o = 4 + \sqrt{1 - 2\,(V_i - 1)^2}$$

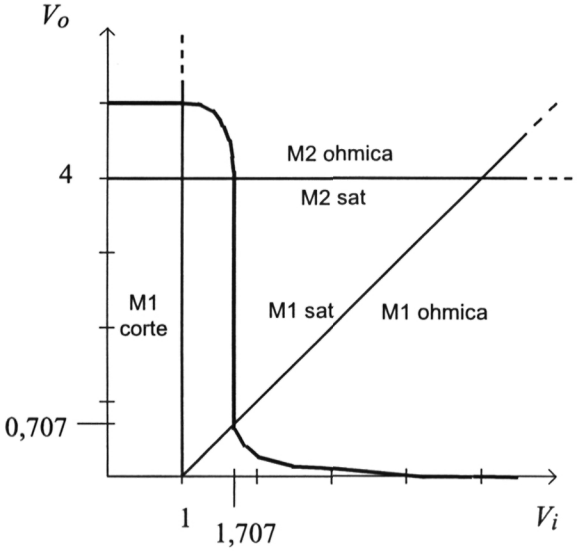


Figura 6.22 Característica de transferencia del inversor NMOS

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\frac{dV_o}{dV_i}\Big|_{V_i=V_{IL}} = -1 \Rightarrow 2(V_{IL}-1) = \sqrt{1-2(V_{IL}-1)^2}$$

$$V_i \geq 1 \Rightarrow \mathbf{V_{IL} = 1{,}408\ V}\ ;\ V_{OH} = V_o(V_{IL}) \Rightarrow \mathbf{V_{OH} = 4{,}816\ V}$$

2) M1 OHMICA, M2 SATURACIÓN:

En esta zona se calculan V_{IH} y V_{OL} .

$$V_o = V_i - 1 - \sqrt{-0{,}5 + (V_i - 1)^2}$$

$$\frac{dV_o}{dV_i}\Big|_{V_i=V_{IH}} = -1 \Rightarrow V_{IH} - 1 = 2\sqrt{-0{,}5 + (V_{IH}-1)^2}$$

$$V_i \geq 1 \Rightarrow \mathbf{V_{IH} = 1{,}816\ V}\ ;\ V_{OL} = V_O(V_{IH}) \Rightarrow \mathbf{V_{OL} = 0{,}408\ V}$$

$$\Rightarrow \quad \mathbf{NM_L = 1\ V} \quad ; \quad \mathbf{NM_H = 3\ V}$$

La Figura 6.23 muestra los márgenes de ruido.

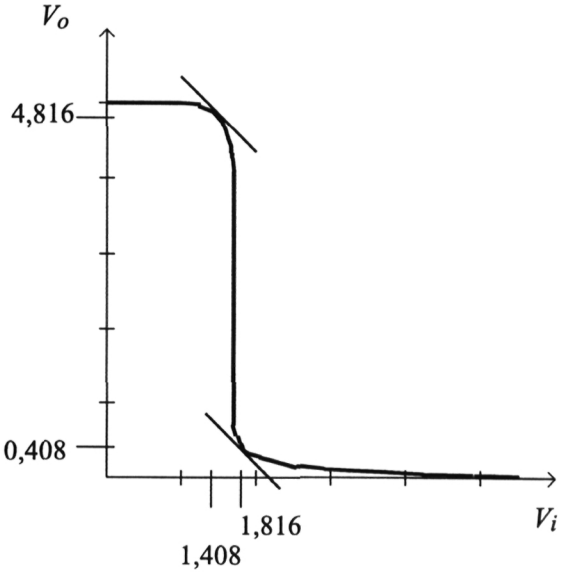


Figura 6.23 Márgenes de ruido del inversor NMOS

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

6.7.2.b. ***Representa la característica de transferencia del inversor CMOS mostrado en la Figura 6.24 y obtén los márgenes de ruido NM_H y NM_L***

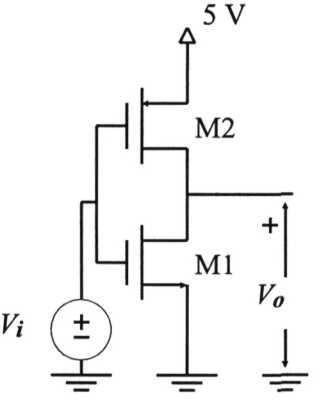


Figura 6.24

$K_1 = K_2 = 2\ mA/V^2$; $V_{T1} = V_{T2} = 1$ V

* Estados del transistor M1:

$V_{GS1} = V_i$; $V_{DS1} = V_o$

$I_{D1} = I_{S2}$

a) CORTE: $V_i \leq 1$

$I_{D1} = 0$

b) SATURACIÓN: $V_i \geq 1$; $V_o \geq V_i - 1 \Rightarrow V_i \leq V_o + 1$

$I_{D1} = (V_i - 1)^2$

c) OHMICA: $V_i \geq 1$; $V_o \leq V_i - 1 \Rightarrow V_i \geq V_o + 1$

$$I_{D1} = 2 \left(V_i - 1 - \frac{V_o}{2}\right) V_o$$

* Estados del transistor M2:

$V_{SG2} = 5 - V_i$; $V_{SD2} = 5 - V_o$

$I_{S2} = I_{D1}$

a) CORTE: $5 - V_i \leq 1 \Rightarrow V_i \geq 4$

$I_{S2} = 0$

b) SATURACIÓN: $V_i \leq 4$; $5 - V_o \geq 5 - V_i - 1 \Rightarrow V_i \geq V_o - 1$

$I_{S2} = (4 - V_i)^2$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

c) OHMICA: $V_i \leq 4$; $V_i \leq V_o - 1$

$$I_{S2} = (V_o + 3 - 2 V_i) (5 - V_o)$$

Del diagrama de estados de la Figura 6.25 se deduce que son imposibles las combinaciones M1 CORTE, M2 CORTE y M1 OHMICA, M2 OHMICA.

1) M1 CORTE ; M2 SATURACIÓN

$$V_i \leq 1 \text{ V} \quad (1) \; ; \; V_i \geq V_o - 1 \quad (2)$$

$$I_{D1} = 0 = I_{S2} = (4 - V_i)^2 \quad \Rightarrow \; V_i = 4 \text{ V} \; ; \text{ No verifica la condición (1)}$$

$\Rightarrow$ Este caso es IMPOSIBLE

2) M1 CORTE ; M2 OHMICA

$$V_i \leq 1 \text{ V} \quad (1) \; ; \quad V_i \leq V_o - 1 \quad (2)$$

$$I_{D1} = 0 = I_{S2} = (V_o + 3 - 2 V_i) (5 - V_o)$$

Hay dos soluciones posibles: $V_{o1} = 2 V_i - 3$ y $V_{o2} = 5$ V.

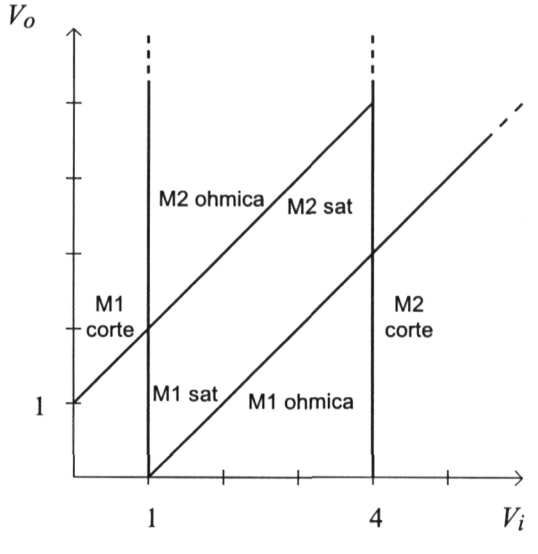


Figura 6.25 Diagrama de estados de la puerta CMOS

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Aplicando la condición (2) a V_{o1} queda: $V_i \leq 2\ V_i - 4 \Rightarrow V_i \geq 4$ V, resultado incompatible con la condición (1), por lo que esta solución no es correcta.

Aplicando la condición (2) a V_{o2} resulta $V_i \leq 4$ V, condición que es compatible con (1) pero menos restrictiva, por lo que el resultado final es:

$$\forall\ \boldsymbol{V_i \leq 1\ V} \Rightarrow \boldsymbol{V_o = 5\ V}$$

3) M1 SATURACIÓN ; M2 CORTE

$$V_i \geq 4\ \text{V}\ \ (1)\ ;\ \ V_i \leq V_o + 1\ \ \ (2)$$

$I_{D1} = (\ V_i - 1\ )^2 = I_{S2} = 0 \Rightarrow V_i = 1$ V $\Rightarrow$ No cumple la condición (1)

$\Rightarrow$ Este caso es IMPOSIBLE

4) M1 SATURACIÓN ; M2 SATURACIÓN

$$1\ \text{V} \leq V_i \leq 4\ \text{V}\ \ \ (1)\ ;\ \ V_o - 1 \leq V_i \leq V_o + 1\ \ \ (2)$$

$I_{D1} = (\ V_i - 1\ )^2 = I_{S2} = (\ 4 - V_i\ )^2$; De la condición (1) se deduce que se toman los signos positivos de las raíces, quedando:

$$V_i - 1 = 4 - V_i \Rightarrow V_i = 2{,}5\ \text{V}$$

De (2) se deduce: $1{,}5\ \text{V} \leq V_o \leq 3{,}5$ V, por tanto:

$$\boldsymbol{V_i = 2{,}5\ V}\ \ \forall\ \ \boldsymbol{1{,}5\ V \leq V_o \leq 3{,}5\ V}$$

5) M1 SATURACIÓN ; M2 OHMICA

$$1\ \text{V} \leq V_i \leq 4\ \text{V}\ \ \ (1)\ ;\ \ V_i \leq V_o - 1\ \ \ (2)$$

$I_{D1} = (\ V_i - 1\ )^2 = I_{S2} = (\ V_o + 3 - 2\ V_i\ )\ (\ 5 - V_o\ )$

$\Rightarrow V_o{}^2 - 2\ (\ 1 + V_i\ )\ V_o + V_i{}^2 + 8\ V_i - 14 = 0$

$\Rightarrow V_o = V_i + 1 \pm \sqrt{15 - 6V_i}$; (2) $\Rightarrow V_o \geq V_i + 1 \Rightarrow V_o = V_i + 1 + \sqrt{15 - 6V_i}$

Para que la raíz sea real, debe cumplirse:

$$15 - 6\ V_i \geq 0 \Rightarrow V_i \leq 2{,}5\ \text{V}$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

De (2) : $V_i \leq V_o - 1 \Rightarrow V_i \leq 2{,}5$ V $\Rightarrow$ Se obtiene la misma condición anterior:

$$\Rightarrow \forall\ \mathbf{1\ V \leq V_i \leq 2{,}5\ V} \Rightarrow \boldsymbol{V_o = V_i + 1 + \sqrt{15 - 6V_i}}$$

6) M1 OHMICA ; M2 CORTE

$$V_i \geq 4\ \text{V}\ \ (1)\ ;\ \ V_i \geq V_o + 1\ \ \ (2)$$

$$I_{D1} = 2\,(V_i - 1 - \frac{V_o}{2})\,V_o = I_{S2} = 0$$

Hay dos soluciones posibles: $V_{o1} = 2\,V_i - 2$ y $V_{o2} = 0$.

Aplicando la condición (2) a V_{o1} queda: $V_i \geq 2\,V_i - 1 \Rightarrow V_i \leq 1$ V, resultado incompatible con la condición (1), por lo que esta solución no es correcta.

Aplicando la condición (2) a V_{o2} resulta $V_i \geq 1$ V, condición que es compatible con (1) pero menos restrictiva, por lo que el resultado final es:

$$\forall\ \boldsymbol{V_i \geq 4\ V} \Rightarrow \boldsymbol{V_o = 0\ V}$$

7) M1 OHMICA ; M2 SATURACIÓN

$$1\ \text{V} \leq V_i \leq 4\ \text{V}\ \ (1)\ ;\ \ V_i \geq V_o + 1\ \ \ (2)$$

$$I_{D1} = 2\,(V_i - 1 - \frac{V_o}{2})\,V_o = I_{S2} = (4 - V_i)^2$$

$$\Rightarrow V_o^2 - 2\,(V_i - 1)\,V_o + (4 - V_i)^2 = 0 \Rightarrow V_o = V_i - 1 \pm \sqrt{6V_i - 15}$$

$$(2) \Rightarrow V_o \leq V_i - 1 \Rightarrow V_o = V_i - 1 - \sqrt{6V_i - 15}$$

Para que la raíz sea real, debe cumplirse:

$$6\,V_i - 15 \geq 0 \Rightarrow V_i \geq 2{,}5\ \text{V}$$

De (2) : $V_i \geq V_o + 1 \Rightarrow V_i \geq 2{,}5$ V $\Rightarrow$ Se obtiene la misma condición anterior:

$$\Rightarrow \forall\ \mathbf{2{,}5\ V \leq V_i \leq 4\ V} \Rightarrow \boldsymbol{V_o = V_i - 1 - \sqrt{6V_i - 15}}$$

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

La Figura 6.26 muestra la característica de transferencia.

* Cálculo de los márgenes de ruido.

Hay que calcular primeramente V_{IH}, V_{IL}, V_{OH} y V_{OL}. De la curva de transferencia se deduce claramente que las zonas donde se encuentran estos puntos son M1 SATURACIÓN, M2 OHMICA y M1 OHMICA, M2 SATURACIÓN.

1) M1 SATURACIÓN, M2 OHMICA:

En esta zona se calculan V_{IL} y V_{OH} .

$$V_o = V_i + 1 + \sqrt{15 - 6V_i}$$

$$\frac{dV_o}{dV_i}\Big|_{V_i = V_{IL}} = -1 \Rightarrow \boldsymbol{V_{IL} = 2{,}125\ \text{V}}\ ;\ V_{OH} = V_o(V_{IL}) \Rightarrow \boldsymbol{V_{OH} = 4{,}625\ \text{V}}$$

2) M1 OHMICA, M2 SATURACIÓN.

En esta zona se calculan V_{IH} y V_{OL} .

$$V_o = V_i - 1 - \sqrt{6V_i - 15}$$

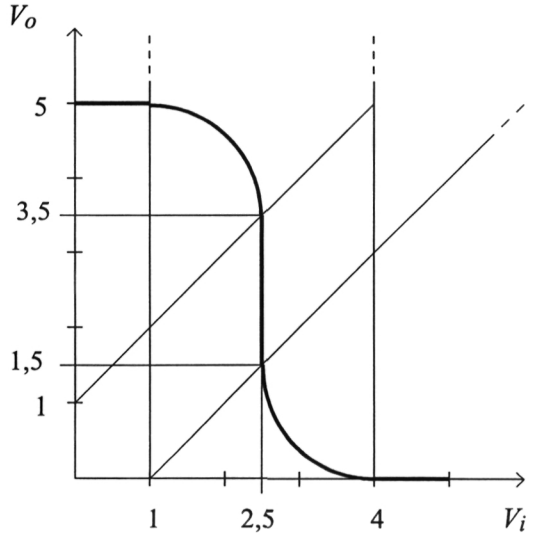


Figura 6.26 Característica de transferencia del inversor CMOS

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$\frac{d\,V_o}{d\,V_i}\Big|_{V_i = V_{IH}} = -1 \Rightarrow \boldsymbol{V_{IH} = 2{,}875\ \text{V}}\ ;\ V_{OL} = V_o\,(V_{IH}) \Rightarrow \boldsymbol{V_{OL} = 0{,}375\ \text{V}}$$

$$\Rightarrow \quad \boldsymbol{NM_L = 1{,}75\ \text{V}}\ ;\ \boldsymbol{NM_H = 1{,}75\ \text{V}}$$

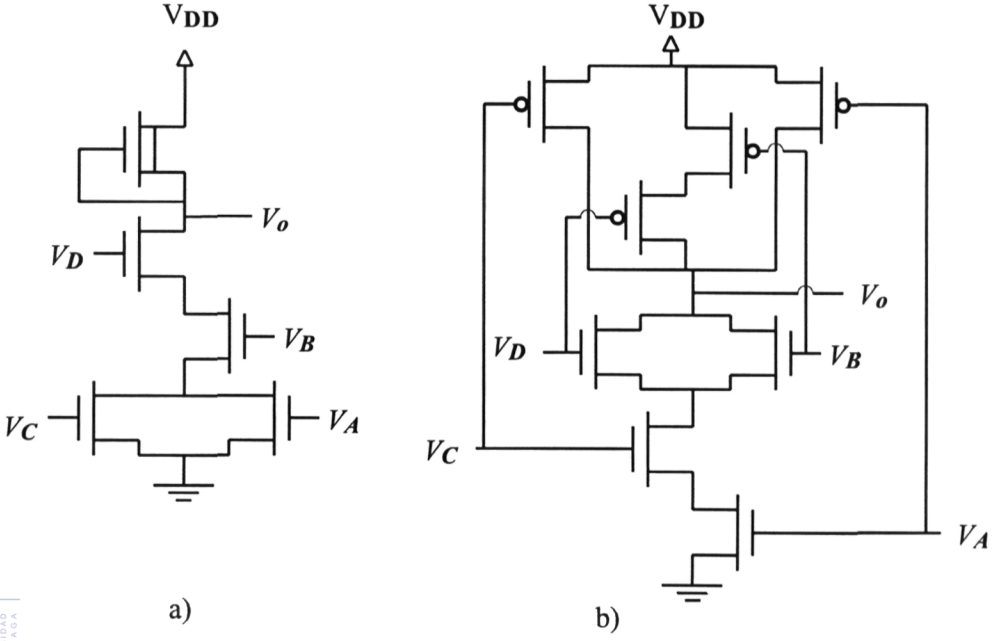
6.7.3. Ejercicios de análisis de la función lógica que realiza un circuito.

En el caso en que el circuito corresponda con la forma estándar de realizar una puerta NMOS o CMOS, la función lógica se deduce directamente de la observación de la disposición de los transistores de canal N. Los que están en paralelo realizan funciones OR y los que están en serie funciones AND. La función final está negada.

6.7.3.a. ***Indica la función lógica que realizan los circuitos de la Figura 6.27.***

a) Es una puerta NMOS. Los transistores conectados a V_D y V_B están en serie, luego se debe tomar $V_D\ V_B$ y los conectados a V_C y V_A en paralelo $\Rightarrow$ $V_C + V_A$. Ambos bloques están en serie, por lo que la función total será:

$$V_o = \overline{V_D\ V_B\,(V_C + V_A)}$$



a) b)

Figura 6.27

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

b) Es una puerta CMOS. En la zona N, V_D y V_B están en paralelo ($V_D + V_B$) y ambos en serie con V_C y V_A. En la zona P, la conexión es la inversa, V_D y V_B en serie y el conjunto en paralelo con V_C y V_A, por lo que la función será:

$$V_o = \overline{(V_D + V_B)\, V_C\, V_A}$$

En el caso en que el circuito no sea una realización estándar, hay que analizar todas las combinaciones entre las entradas y, aplicando el modelo simplificado ON - OFF de los transistores MOSFET, deducir la función lógica.

6.7.3.b. ***Deduce la función lógica que realiza el circuito de la figura Figura 6.28***

Está claro que no es un circuito CMOS estándar, ya que no se verifica la regla de que los transistores estén dispuestos de forma contraria en las zonas P y N, por lo que hay que analizar todos los casos posibles.

Los circuitos equivalentes de todos los casos siguientes se encuentran en la Figura 6.29.

a) $Z = V_{DD}$; $V_i = 0$.

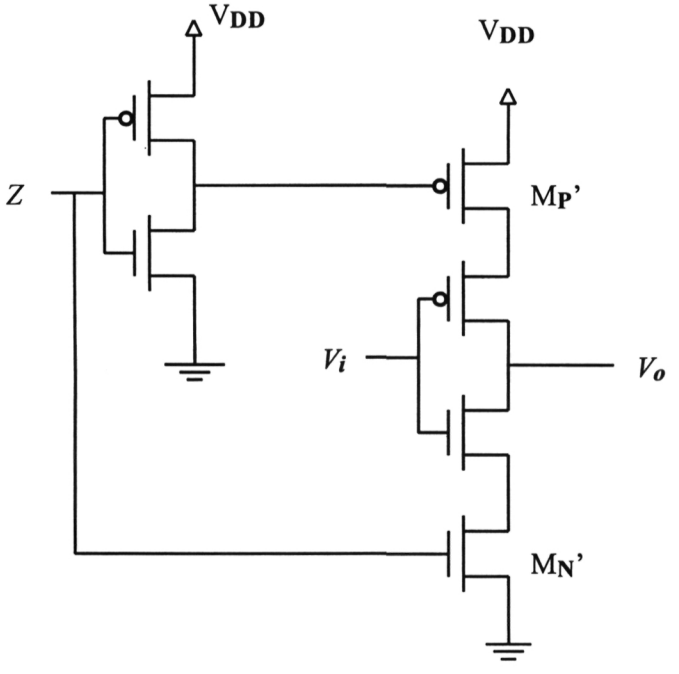


Figura 6.28

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

b) $Z = V_{DD}$; $V_i = V_{DD}$.

c) $Z = 0$; $V_i = V_{DD}$.

Este caso es interesante, ya que la salida V_o no está conectada ni a V_{DD} ni a tierra, sino que está desconectada de todos los elementos de la puerta, lo que significa que la tensión a la que se encuentra **no depende de la propia puerta**, sino que la impone el circuito al que se conecte dicha salida. Este estado en el que la salida del circuito se "desconecta" de él se denomina estado de **alta impedancia**

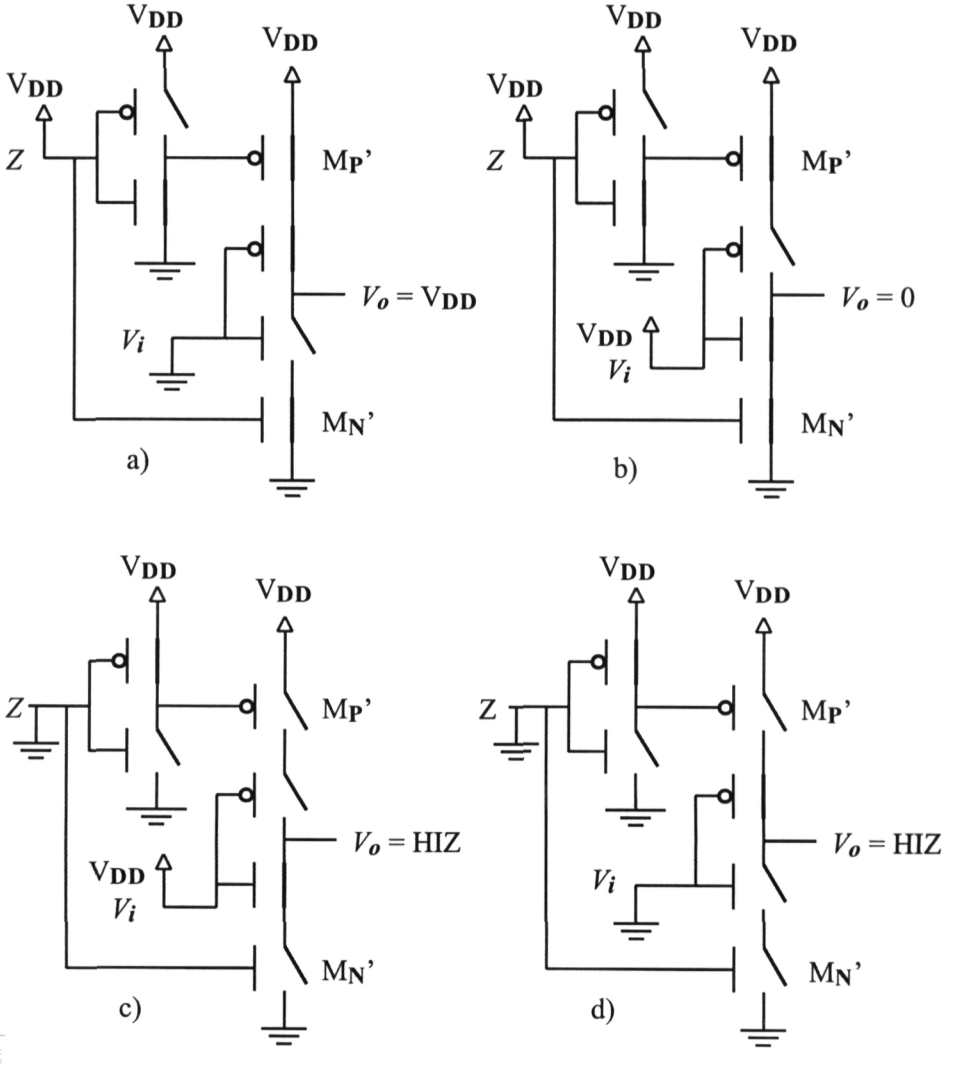


Figura 6.29

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

(HIZ) diciéndose que la puerta es "triestado". Este tipo de puertas son esenciales en la realización de arquitecturas de bus compartido.

Z	V_i	V_O
0	0	HIZ
0	1	HIZ
1	0	1
1	1	0

d) $Z = 0$; $V_i = 0$.

En este caso ocurre lo mismo que en el anterior, la salida está en estado de alta impedancia. La tabla de verdad del circuito es la que se muestra al margen. Cuando Z = '1', el circuito realiza la inversión de V_i ($V_o = \overline{V_i}$) y cuando Z = '0', la salida permanece en estado de alta impedancia, por lo que la puerta es un INVERSOR TRIESTADO, con entrada V_i, salida V_o y entrada de control Z.

6.7.4. Ejercicios de síntesis de una función lógica estándar NMOS o CMOS.

La síntesis es más compleja que el análisis, ya que una misma función puede ser realizada con circuitos diferentes con distinto número de transistores y de niveles de computación. Teniendo en cuenta que las puertas estándar obtienen siempre una salida negada, conviene aplicar las leyes de De Morgan hasta encontrar una estructura con un número de transistores mínimo.

6.7.4.a. *Realizar con la familia CMOS las siguientes funciones:*

a) $A\,C + \overline{B}$

b) $(A + B)\,(A + C)$

En general, lo primero que hay que hacer es obtener las versiones simplificadas en suma de productos y producto de sumas de las funciones propuestas. Una vez hecho esto es conveniente aplicar las leyes de De Morgan para obtener una expresión que minimice tanto el número de transistores como el número de niveles de computación

a) La expresión dada es la mínima en suma de productos. Su versión en producto de sumas es: $(\overline{B} + C)\,(\overline{B} + A)$, que es más compleja que la dada, por lo que se descarta para la realización. No obstante, el circuito no puede realizarse dierectamente en un único nivel de computación, ya que la función no es igual a la negación de un conjunto de variables no negadas relacionadas por operaciones AND u OR. Por tanto, para realizar la función tal como se presenta son necesarios 10 transistores en tres niveles de computación, tal como se muestra en la Figura 6.30.

Esta realización puede mejorarse si se modifica la expresión de la función aplicando las leyes de De Morgan:

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$$A\,C + \overline{B} = \overline{\overline{A\,C}\,B}$$

El circuito que realiza esta nueva versión de la función consta de 8 transistores dispuestos en dos niveles de computación, como se ve en la Figura 6.31.

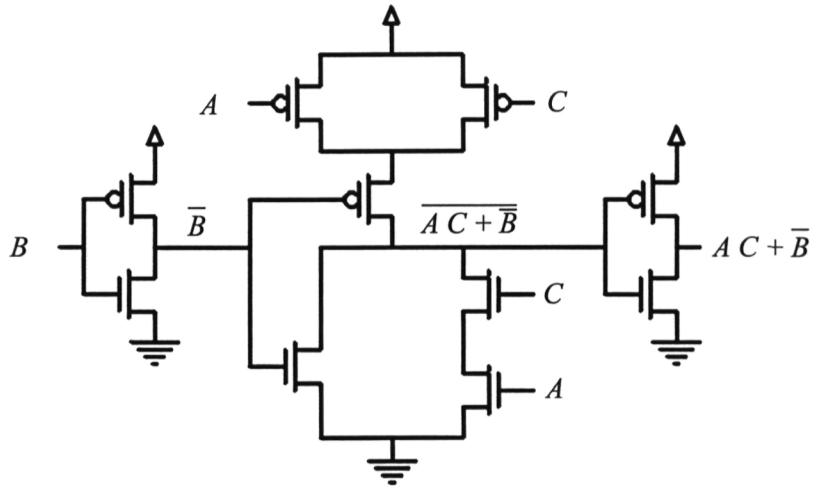


Figura 6.30

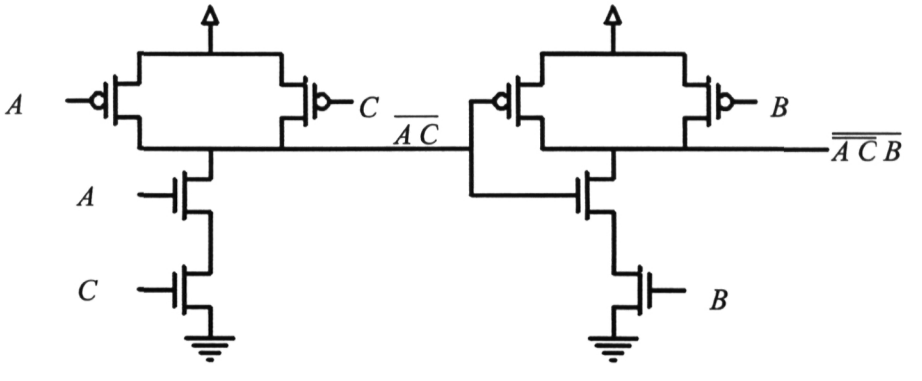


Figura 6.31

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

b) En este caso, hay que obtener la versión simplificada en suma de productos, que nuevamente es más reducida:

$$(A+B)(A+C)=A+BC$$

Puesto que ninguna variable aparece negada, lo óptimo en este caso es obtener la función negada mediante una única puerta y negar la salida de esta. Con esto se obtiene un circuito con 8 transistores y dos niveles.

La realización en CMOS es mostrada en la Figura 6.32 y en NMOS en la Figura 6.33.

Esta última realización tiene menos transistores que la CMOS, ya que sólo se necesita un transistor de carga. Esto hace que, en general, la familia NMOS tiene mayor capacidad de integración mientras que la CMOS presenta un consumo inferior.

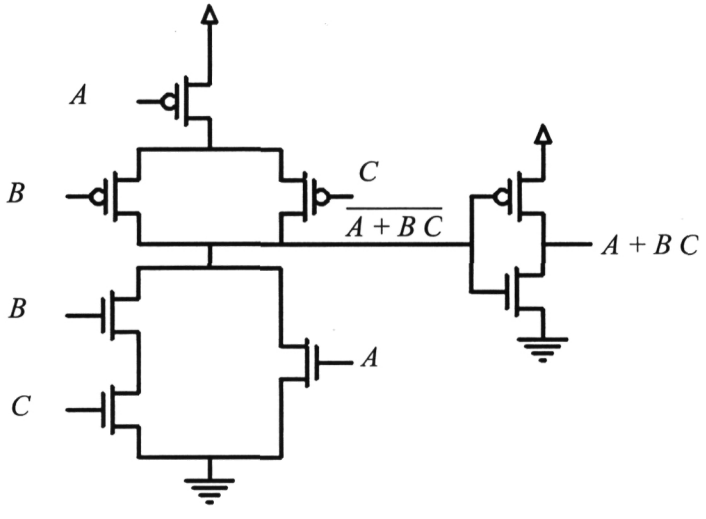


Figura 6.32

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

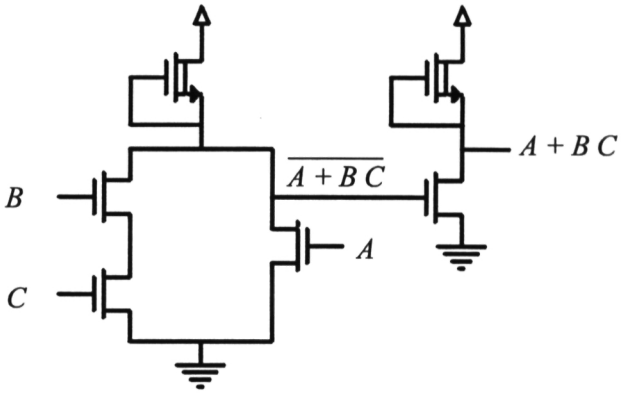


Figura 6.33

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

7.- Memorias de estado sólido.

OBJETIVOS:

- Obtener una amplia visión de los diferentes tipos de memoria utilizados en los Sistemas Digitales.
- Conocer la estructura y el funcionamiento de los tipos de memoria de estado sólido más importantes.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

7.1. INTRODUCCIÓN

Una memoria realizada con materiales semiconductores está formada por un conjunto de elementos o celdillas, implementadas con transistores bipolares o MOSFET, capaces de mantener indefinidamente un estado lógico. Estas celdillas están organizadas de forma que puede accederse a cualquiera de ellas mediante un código o secuencia de entrada para conocer su estado (proceso de lectura) o para modificarlo (proceso de escritura).

Existen diferentes tipos de memorias en el mercado, que pueden clasificarse de acuerdo con los siguientes criterios:

a) Con respecto a la posibilidad de **actualizar la información:**

- Memorias **ROM o de sólo lectura**. El Sistema en el que se disponen sólo puede leer el estado de cada celdilla, no puede modificarlo.
- Memorias **RAM o de lectura-escritura**. El Sistema puede acceder a la memoria para consultar su estado o para modificarlo.

b) Con respecto a la **permanencia de la información:**

- Memorias **No Volátiles**. El contenido de la memoria permanece indefinidamente, de forma que si se desconecta la alimentación del Sistema y posteriormente vuelve a conectarse, la información vuelve a estar accesible.
- Memorias **Volátiles**. El contenido de la memoria se pierde si se desconecta la alimentación. Dentro de las volátiles se pueden establecer dos grupos, las **estáticas**, que sólo necesitan de una fuente de alimentación continua para mantener su estado y las **dinámicas**, que, además de dicha fuente, necesitan una señal periódica o de refresco para mantener la información.

c) Con respecto a la forma de **acceso**:

- Memorias **Secuenciales**. Para acceder a una celdilla hay que acceder primeramente a todas las que se encuentran por "delante" de ella.
- Memorias de **acceso aleatorio**. Puede accederse directamente a cualquier celdilla.

7.2. MEMORIAS ROM

En las memorias ROM o de sólo lectura, la información es codificada durante el proceso de fabricación, por lo que está contenida en la propia estructura del

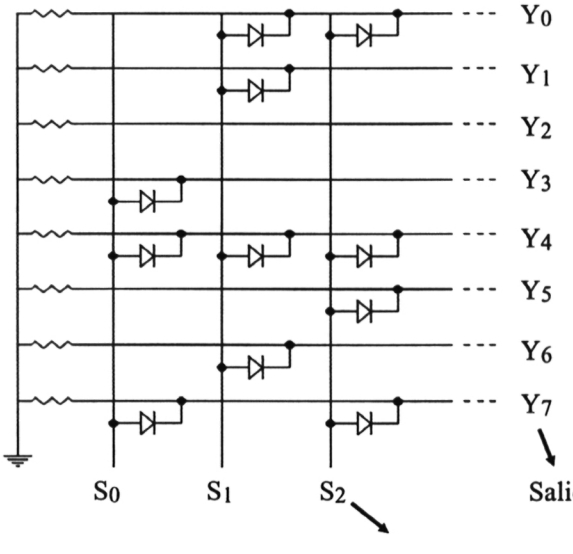
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

chip y son, por tanto, no volátiles. Normalmente, todas las ROM son de acceso aleatorio.

Las memorias ROM son, esencialmente, CODIFICADORES. Poseen una serie de líneas de selección, de las cuales todas están a un mismo valor lógico menos una, que está en el estado contrario y que es la línea activada. El estado de las líneas de salida dependerá de la línea de direcciones que esté activada.

La ROM más simple se realiza con diodos. La información se codifica mediante la presencia o ausencia de un diodo entre las líneas de selección y de salida, es decir, una célula de memoria está constituida por un diodo o por un circuito abierto. Una línea de selección está activa cuando está a la tensión de alimentación. De esta forma, las líneas de salida que estén conectadas mediante un diodo a la línea de selección activada estarán a 1 lógico y las que no lo estén estarán a 0 lógico. A este circuito se le denomina MATRIZ de la ROM.

El número de celdas de memoria es igual al número de líneas de selección por el número de bits de salida. Para que el número de patillas de la memoria no sea muy elevado, se incluye dentro del mismo chip un decodificador binario, cuyas salidas son las líneas de selección de la matriz. De esta forma, si el decodificador



S_0	S_1	S_2	Y_i (HEX)
1	0	0	98
0	1	0	53
0	0	1	B1
.	.	.	.
.	.	.	.

Figura 7.1 Matriz ROM con diodos

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

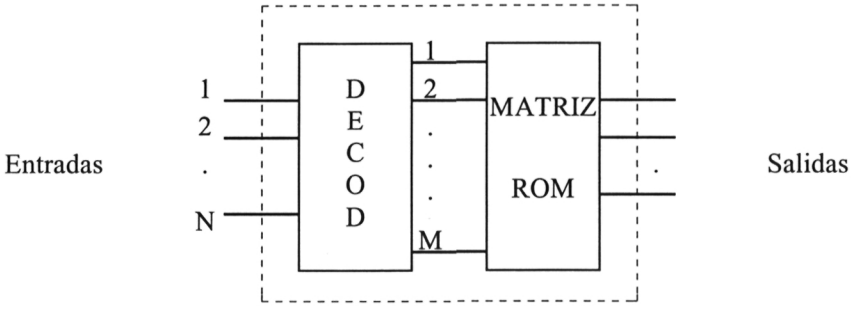


Figura 7.2 Estructura de una ROM

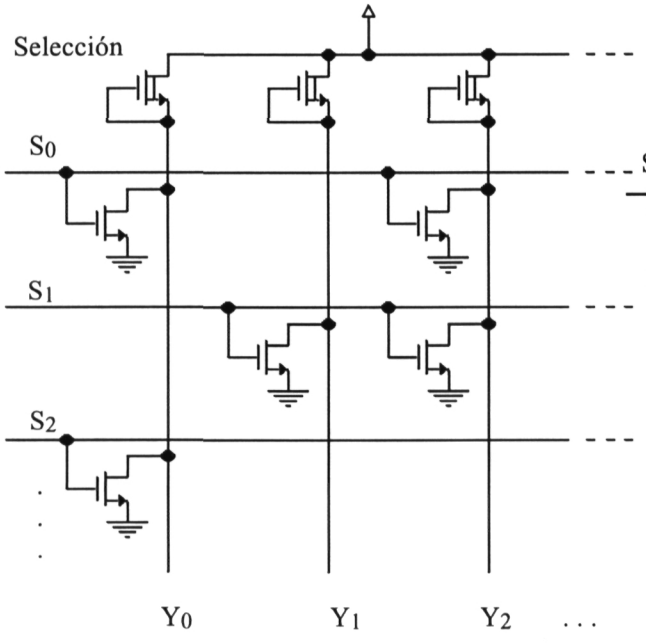
tiene N entradas, el número de celdillas de la ROM (M) será igual al número de líneas de selección y vendrá dado por: $M = 2^N$.

La matriz de diodos tiene el inconveniente de que las entradas de selección tienen que suministrar la intensidad que precisa para su funcionamiento, mientras que lo óptimo es que sea la fuente de alimentación la que suministrase esa intensidad. Esto puede conseguirse sustituyendo los diodos por transistores. La forma más simple de hacer esto es utilizando la estructura típica de las puertas NMOS.

Pueden utilizarse como base para realizar la memoria puertas NOR NMOS, tantas como líneas de salida se desee tener, siendo las entradas a las puertas las líneas de selección. Este circuito se denomina como MATRIZ NOR NMOS. En esta matriz, las líneas de selección se activan a '1'. De esta forma, cuando alguna entrada de selección se pone a '1', las salidas en cuya conexión con esa entrada hay un transistor se ponen a '0' y las que no tienen transistor permanecen a '1'.

Otra posibilidad para realizar una matriz NMOS es utilizar como base la puerta NAND NMOS. En este caso, la estructura es similar a la anterior, es decir, hay tantas puertas como líneas de salida y las líneas de selección se conectan a las entradas de las puertas, sólo que en este caso las puertas son NAND. Debido a esto, las líneas de selección son ahora activas a '0'. Cuando una entrada de selección se activa a '0', la fila de transistores de las diferentes puertas que están conectados a ella se cortan, obteniéndose un '1' en las líneas de salida de dichas puertas. El resto de las puertas que no tengan transistores conectados a dicha línea permanecen con su salida a '0', ya que el resto de las líneas de selección están a '1'.

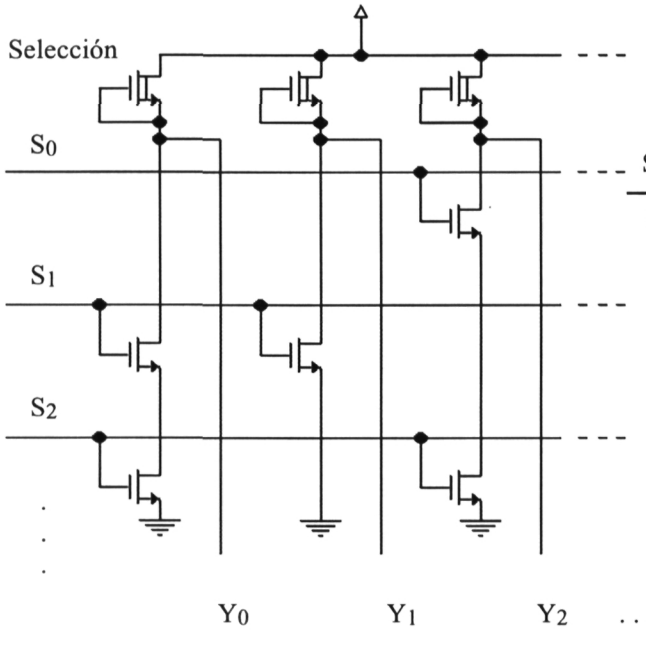
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



S0	S1	S2 . .	Y0	Y1	Y2
1	0	0	0	1	0
0	1	0	1	0	0
0	0	1	0	1	1
.	.	.	.	.	.
.	.	.	.	.	.

(Donde hay transistor, la salida es '0')

Figura 7.3 Matriz NOR NMOS



S0	S1	S2 . .	Y0	Y1	Y2
0	1	1	0	0	1
1	0	1	1	1	0
1	1	0	1	0	1
.	.	.	.	.	.
.	.	.	.	.	.

(Donde hay transistor, la salida es '1')

Figura 7.4 Matriz NAND NMOS

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

El tiempo de acceso de una memoria se define como el intervalo transcurrido desde que se aplican las señales a las líneas de selección hasta que se obtienen los datos en la salida. En este aspecto, la matriz NOR NMOS es superior a la NAND NMOS, es decir, su tiempo de acceso es menor.

7.2.1. Decodificadores para ROM

Además de la matriz, el otro componente importante de la memoria ROM es el decodificador. Este circuito es distinto según sea el tipo de matriz, ya que en unos casos la líneas de selección se activan a '1' y en otros a '0'. En las siguientes figuras se representan dos decodificadores de 2 a 4 para matrices NOR NMOS y NAND NMOS. Las entradas son A_0 y A_1 y las salidas, es decir las líneas de selección de la matriz, S_0, S_1, S_2 y S_3.

7.2.2. Otros tipos de ROM

Existen dos variantes fundamentales de la ROM:

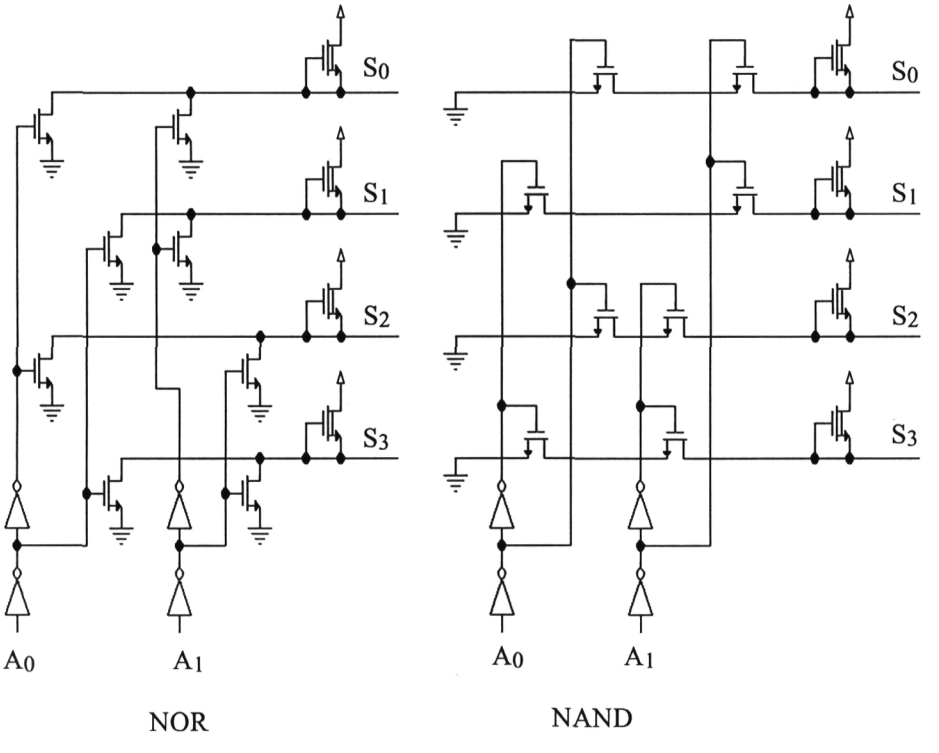


Figura 7.5 Decodificadores NOR y NAND para ROM

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

- La PROM o ROM programable, que se fabrica sin que contenga información, siendo el usuario el que se la introduce y, una vez hecho esto, esa información permanece ya invariable.

- La EPROM o ROM reprogramable, que es análoga a la PROM con la diferencia de que el usuario puede reprogramarla un número determinado de veces.

Todos estos tipos de ROM son de sólo lectura, es decir, el Sistema Informático en el que se disponen no puede modificar la información que almacenan.

Las memorias EPROM se construyen con la misma estructura de las ROM NMOS con matriz NOR, con la diferencia que se incluyen transistores en todos los nudos. Estos transistores son de un tipo especial conocido como bipuerta, cuya estructura física se muestra en la figura. Su característica fundamental es la existencia de una lámina conductora dispuesta entre la puerta y el canal denominada "puerta flotante", porque no tiene ninguna conexión con el exterior. El efecto de esta puerta es que la tensión umbral del transistor es aproximadamente el doble que la tensión umbral de un MOSFET de acumulación normal.

El funcionamiento de este transistor está basado en la capacidad de almacenar cargas en dicha puerta flotante. El proceso es el siguiente:

Aplicando tensiones V_{GS} y V_{DS} mayores que la V_{DD}, circulará una intensidad elevada por el canal del transistor. Habida cuenta de que el grosor del óxido entre el canal y la puerta 1 es muy pequeño y debido a la gran aceleración que adquieren los electrones en el canal y a la elevada tensión aplicada a la puerta 2,

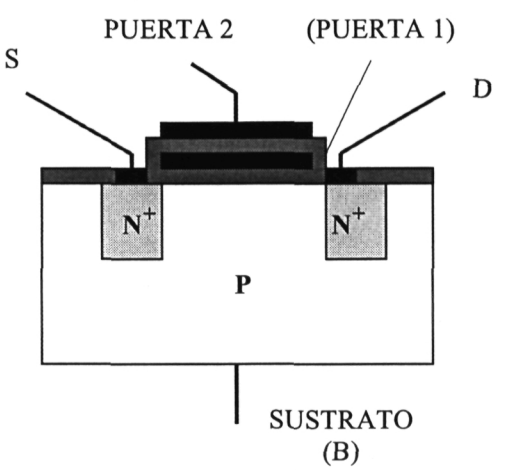


Figura 7.6 MOSFET de puerta flotante

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

algunos de ellos consiguen "saltarse" el óxido y alojarse en la puerta 1. Cuando termina este proceso, los electrones quedan atrapados en la puerta 1, ya que está aislada, creando una diferencia de tensión con el sustrato de aproximadamente -5 V. Puesto que la tensión normal de funcionamiento de la puerta 2 del transistor es de 5 V, tendremos que la tensión V_{GS} valdrá 5 - 5 = 0 V, que es menor que la tensión umbral del dispositivo, lo que significa que este transistor estará siempre en corte, es decir, es como si se hubiese anulado.

Esto quiere decir que la programación de la EPROM consiste en realizar el proceso anterior con los transistores que deseen anularse, dejando los restantes con su puerta flotante descargada, es decir, activos.

Debido a la elevada resistencia del SiO_2, la carga puede permanecer en la puerta flotante durante varios años, por lo que puede considerarse la EPROM como una memoria no volátil. No obstante, este compuesto tiene la característica de que se hace conductor al ser irradiado con luz ultravioleta, y este fenómeno es lo que se utiliza para reprogramar la memoria. Todas las EPROM tienen una ventana mediante la cual la luz puede acceder al chip. Sometiendo a éste a una radiación ultravioleta, el SiO_2 se hace conductor y las puertas flotantes se descargan, quedando todos los transistores nuevamente activados y la EPROM preparada para volver a ser programada.

Un tipo especial de memorias reprogramables son las EEPROM o memorias eléctricamente reprogramables. Su característica principal es que los electrones se alojan en la puerta flotante por un mecanismo de conducción denominado efecto túnel Fowler-Nordheim. Este mecanismo es reversible, de forma que aplicando una tensión inversa a la empleada para la programación pueden eliminarse las cargas de las puertas flotantes, con lo que no es necesario la irradiación con luz ultravioleta para realizar el borrado de la memoria.

7.3. MEMORIAS RAM.

Las memorias RAM se caracterizan porque el Sistema en el que se incluyen puede leer o almacenar información en sus células. Son, como las ROM, memorias de acceso aleatorio (eso es lo que significa RAM en inglés), aunque su estructura de direccionamiento difiere de éstas, ya que las células son accedidas mediante dos líneas de selección, una de fila y otra de columna, lo que significa que son necesarios dos decodificadores para implementar el circuito de selección. Además de esto, las RAM poseen un circuito de lectura-escritura (R/W) que determina cuándo

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

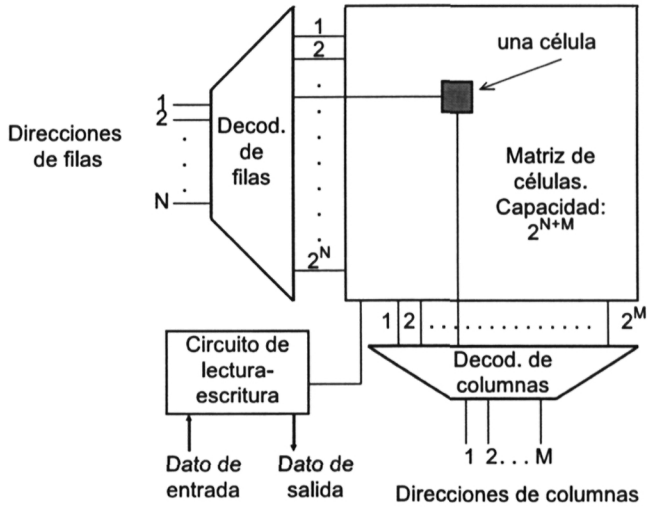


Figura 7.8 Estructura básica de una memoria RAM

un dato debe ser leído o almacenado. La estructura básica de una RAM es la mostrada en la figura adjunta.

Las RAM son memorias volátiles, ya que la información se almacena en el estado de un circuito activo (realizado con transistores), que lógicamente se pierde cuando la alimentación se interrumpe. La diferencia con la ROM es clara, ya que en ésta, la información se codificaba con la existencia o ausencia de un transistor en la célula de memoria, mientras que en la RAM, todas las células son

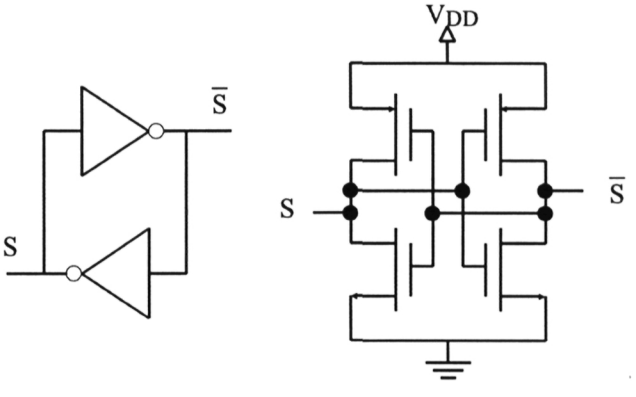


Figura 7.7 Biestable CMOS

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

idénticas y lo que distingue un estado de otro es el estado de los transistores de la célula.

Hoy día se comercializan RAM no volátiles, que consisten en que, en el mismo encapsulado del chip, se dispone una batería que mantiene la alimentación de la RAM cuando la alimentación general está interrumpida.

La célula de memoria RAM puede ser de dos tipos diferentes. Uno de ellos está basado en el concepto de **biestable**, circuito electrónico que posee únicamente dos estados estables. El estado en que esté el biestable puede ser modificado por el circuito de escritura y puede ser consultado por el de lectura y permanece siempre que su alimentación no esté interrumpida. A la RAM cuya célula está basada en este circuito se denomina **RAM ESTATICA**.

Otro tipo de RAM es la que tiene una célula basada en el estado de carga o descarga de un condensador, que normalmente está formado por las zonas de puerta y sustrato de un transistor MOSFET. Si el condensador está cargado, la célula almacenará un valor lógico y si está descargado almacenará el opuesto. Esta célula tiene la ventaja de su menor tamaño y, por tanto, su mayor capacidad de integra-

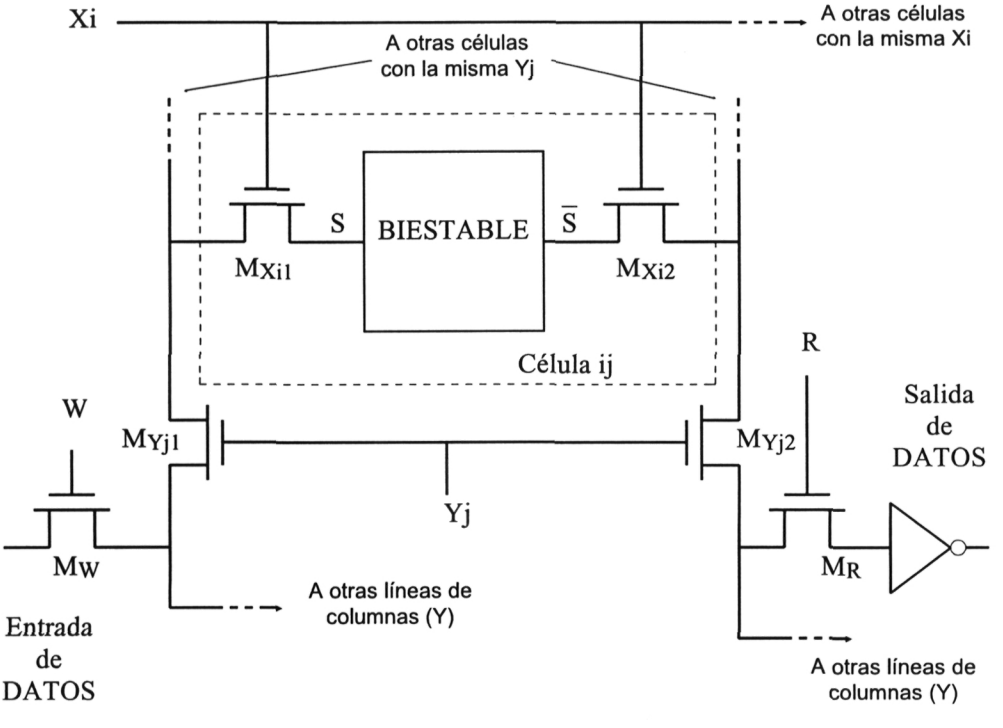


Figura 7.9 Estructura de una RAM estática

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

ción y el inconveniente que la carga en el condensador no permanece estable, sino que se va perdiendo con el paso del tiempo (normalmente unos pocos milisegundos, ya que se trata de una capacidad muy pequeña), por lo que es preciso restablecerla cada cierto intervalo de tiempo. A este proceso se denomina **refresco** de la memoria, y a este tipo de memoria **RAM DINÁMICA.**

7.3.1. Memoria RAM estática.

La célula de memoria RAM estática NMOS está formada por dos inversores con realimentación positiva, cuyo esquema lógico y circuito se muestran en la figura. Este circuito tiene la característica de que si en alguna de sus salidas S o $\overline{S}$ se impone un valor de tensión correspondiente a '0' o '1', este valor permanecerá constante hasta que vuelva a modificarse o se interrumpa la alimentación V_{DD}.

En la página siguiente se muestra un esquema de la disposición de un biestable como célula básica de una RAM estática. La línea Xi corresponde a una fila y la Yj a una columna. Los transistores de habilitación son todos de canal N y no tienen especificado el terminal de fuente porque la corriente puede fluir a través de ellos en los dos sentidos, es decir, en un caso un terminal se comportará como fuente y el otro como drenador y en el caso en que la intensidad fluya en sentido contrario será a la inversa.

Las líneas de lectura y escritura son R y W respectivamente. Ambas son activas a '1' por lo que nunca se da el estado R = '1' y W = '1'. Normalmente se verifica que W = $\overline{R}$. La salida está invertida porque está tomada de la línea $\overline{S}$ del biestable.

Los estados que pueden distinguirse son:

a) No selección: Xi = '0' o Yj = '0'

En este caso estarán en corte los transistores M_{Xi} o M_{Yj}, por lo que la célula permanecerá desconectada de los transistores de lectura y escritura M_R y M_W.

b) Seleccionada para leer: Xi = '1' ; Yj = '1' ;
R = '1' ; W = '0'

En este caso, al estar activadas Xi e Yj, los transistores M_{Xi} y M_{Yj} están en conducción, conectando a la célula ij con los transistores de lectura y escritura. El terminal de lectura está conectado directamente a la salida de la célula, puesto que el transistor M_R está activo, por lo que en la línea de salida se obtiene el estado del biestable.

c) Seleccionada para escribir: Xi = '1' ; Yj = '1' ;
R = '0' ; W = '1'

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

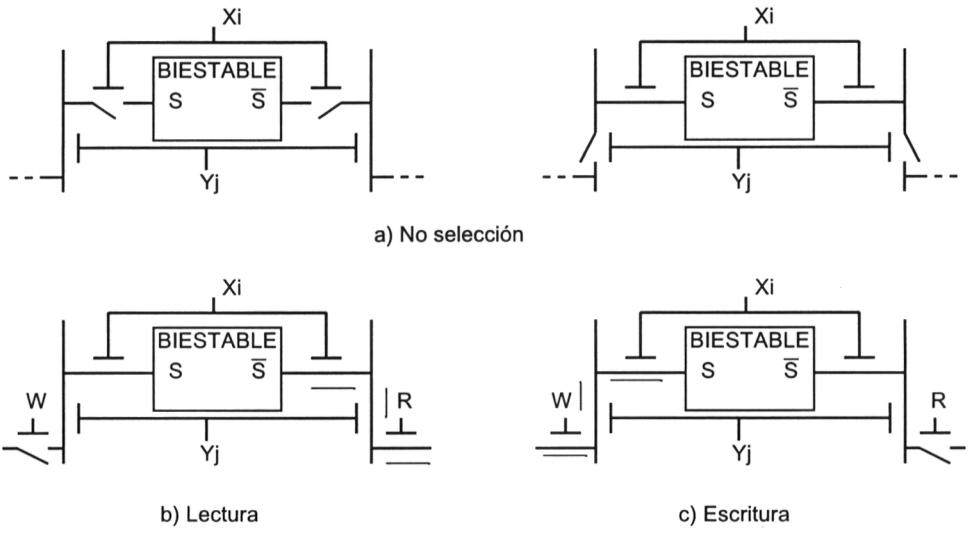


Figura 7.11 Estados de la RAM estática

La célula está nuevamente seleccionada, pero en este caso es su terminal S el que está conectado directamente al terminal de escritura. Esto quiere decir que este terminal evolucionará hasta el estado que se imponga en la entrada, que, de esta forma, quedará almacenado en el biestable.

7.3.2. Memoria RAM dinámica

La RAM dinámica tiene una estructura de célula mucho más simple, compuesta únicamente por un transistor y un pequeño condensador. La célula puede estar en dos estados, condensador cargado y condensador descargado, así pues, el estado de carga o descarga del condensador determina el valor del bit de memoria, que es '1' si está cargado y '0' si está descargado. El transistor se utiliza como circuito de control de su carga y descarga. Esta célula presenta dos inconvenientes frente a la estática:

- La carga almacenada es muy pequeña, debido a las reducidas dimensiones del condensador, por lo que tarda relativamente poco tiempo en desaparecer debido a las fu-

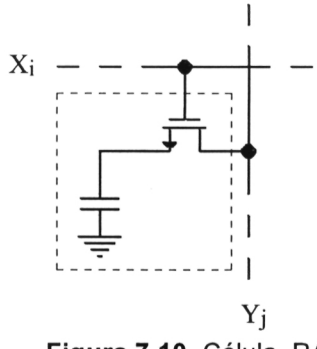


Figura 7.10 Célula RAM dinámica

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

gas de intensidad en el transistor de carga (la intensidad en un transistor en corte no es absolutamente nula, siempre existen pequeñas intensidades de "fuga" del orden de nanoamperios, que son suficientes para descargar dicha carga en poco tiempo). Esto tiene como consecuencia que periódicamente tengan que ser recargadas las capacidades que estén en estado de carga. Lógicamente, las que estén en estado de no carga no son recargadas. A esta operación se denomina "refresco de la memoria".

- Para detectar el estado de la célula son necesarios circuitos analógicos muy precisos denominados amplificadores sensores. Normalmente se coloca uno de estos en cada línea de columnas.

A pesar de estos inconvenientes, la gran ventaja de las memorias dinámicas es el reducido tamaño de su célula, mucho menor que el tamaño de la célula estática, por lo que las memorias RAM de gran capacidad son dinámicas.

La estructura general de una RAM dinámica tiene como particularidad que cada línea Y_j está conectada a un amplificador sensor y a una capacidad parásita C_j. El amplificador sensor tiene dos funciones: detectar si se produce una descarga de la capacidad C_j y fijar la tensión de la línea Y_j a 0 o a V_{DD} según se produzca o no dicha descarga.

El funcionamiento de la memoria se divide en las siguientes operaciones:

a) Operación de lectura.

El proceso que se sigue es el siguiente:

1º.- Todas las líneas X_i se colocan a 0 V, cortando a los transistores de paso de cada celda, y todas las líneas Y_j se colocan a V_{DD}, con lo que los condensadores C_j de cada línea se cargan a dicha tensión.

2º.- Se selecciona la fila X_i donde está la celdilla que se quiere leer poniéndose a V_{DD}, con lo que entran en conducción todos los transistores de paso de dicha fila, quedando conectadas todas las capacidades C_j con las capacidades C_{ij} correspondientes a las celdillas de la fila X_i. En cada casilla pueden ocurrir dos casos:

- Que la capacidad C_{ij} esté descargada, con lo que fluirá intensidad de C_j (que inicialmente está cargado) a C_{ij}. Este paso de corriente es detectado por el amplificador sensor, que lo interpreta como que la célula estaba a '0', fijando a continuación la línea Y_j a 0 V, con lo que las capacidades C_{ij} y C_j se descargan y la celdilla vuelve a su estado inicial.
- Que exista carga en la capacidad C_{ij}, aunque su tensión sea menor que V_{DD} por efecto de las fugas de corriente. En este caso, la intensidad que fluye de C_j a C_{ij} es mucho más pequeña, por lo que el amplificador sensor interpreta

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

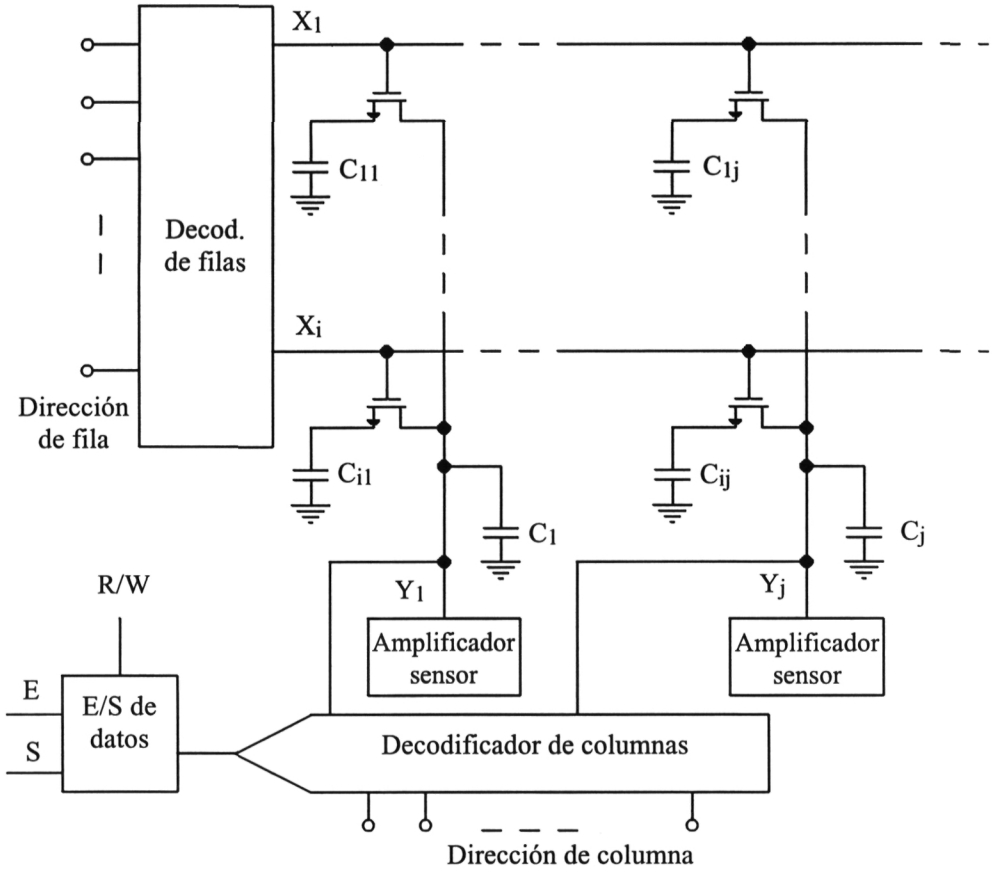


Figura 7.12 Estructura básica de una RAM dinámica

que en la célula había un '1' e inmediatamente después fija la línea Y_j a V_{DD}, cargando totalmente las capacidades C_{ij} y C_j. Con esto se regenera el estado de las celdillas de la línea X_i, cuyas capacidades C_{ij} se habían descargado parcialmente.

3º.- Al final del proceso anterior, todas las líneas Y_j están a '0' o a '1' según fuera el estado de descarga o carga de los condensadores C_{ij}. El paso final consiste en activar el decodificador de columna y hacer pasar a la salida de datos el estado de la columna seleccionada.

Es interesante hacer notar que cada vez que se produce un ciclo de lectura se regenera el estado de todos los condensadores de las celdillas de la fila X_i seleccionada, lo que equivale a un refresco de todas estas celdillas.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

b) Operación de escritura.

Esta operación procede de forma similar a la de lectura excepto en que los datos a escribir ('0' o '1') se ponen en la línea de datos de entrada/salida. El decodificador de dirección de columna conecta entonces esta línea a la columna apropiada. En este caso, dependiendo de cual sea el dato que se desea escribir, '1' o '0', el condensador C_{ij} de la celda elegida se cargará a V_{DD} o se descargará a 0 V respectivamente.

c) Operación de refresco.

El refresco puede hacerse de varias formas. La más inmediata consiste en declarar la memoria no disponible para lectura o escritura durante un intervalo de tiempo. Durante este intervalo, las líneas Xi se van direccionando secuencialmente. En cada una de ellas se sigue un proceso idéntico al de la lectura excepto el paso final, puesto que aquí no es necesario seleccionar ninguna columna, por lo que el decodificador de columna permanece inactivo.

El periodo máximo del ciclo de refresco, es decir, el tiempo máximo que las celdillas pueden almacenar la información de '1' lógico sin que su degradación resulte irreversible, depende del tipo concreto de memoria, siendo normalmente del orden de milisegundos. Por lo general, el intervalo que se requiere para refrescar la totalidad de la memoria suele ser menor del 2 % de dicho periodo, lo que significa que el circuito de memoria puede estar disponible para una operación normal durante más del 98 % del tiempo.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

8.- PROCESOS TECNOLÓGICOS DE FABRICACIÓN DE CIRCUITOS INTEGRADOS

OBJETIVOS

- Conocimiento de las técnicas de fabricación de circuitos integrados más importantes en la actualidad.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

8.1. INTRODUCCIÓN A LOS PROCESOS TECNOLÓGICOS.

La microelectrónica es el conjunto de técnicas y conocimientos científicos que permiten la realización de Circuitos Integrados en un grado de miniaturización máxima. El concepto relativo de miniaturización va asociado al proceso tecnológico de fabricación, siendo hoy día comprable casi con las dimensiones atómicas (décima de micra = 500 átomos de Si en línea).

La historia de la microelectrónica se remonta a la década de los 40. Aparece el transistor bipolar (1947) y a partir de aquí, el desarrollo de los dispositivos semiconductores es realmente espectacular. Los primeros circuitos integrados aparecen en los comienzos de los años 50 y en los 60, Texas Instruments y Fairchild presentan las primeras familias lógicas de circuitos integrados. Los primeros microprocesadores aparecen en los comienzos de los 70 y, a partir de aquí, el crecimiento y variabilidad de las familias se multiplica, incluso dentro de un mismo fabricante.

La siguiente taxonomía permite ver la evolución temporal de las familias tecnológicas, las cuales se corresponden con un aumento de la densidad de integración de los dispositivos electrónicos:

1960-65: SSI (Pequeña escala de integración).

1965-75: MSI (Media escala de integración).

1975-85: LSI (Alta escala de integración).

1985-...:VLSI (Muy alta escala de integración).

En este tema se abordarán los aspectos básicos de la fabricación de circuitos integrados (CIs), estudiando los principales procesos físico-químicos que tienen lugar en las correspondientes tecnologías. Tales procesos son:

1. Crecimiento cristalino y preparación de obleas.
2. Crecimiento epitaxial.
3. Deposición de capas aislantes.
4. Oxidación.
5. Difusión.
6. Implantación iónica.
7. Litografía.
8. Grabado.
9. Metalización.

Al final del capitulo se repasan los procesos de fabricación de los CIs haciendo énfasis en la técnica bipolar, CMOS e integración de elementos pasivos; las

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

técnicas de encapsulado-ensamblado y, por último, las herramientas de diseño asistido CAD (Computer Aided Design) para la simulación de los procesos tecnológicos involucrados en el desarrollo de los CIs.

8.2. CRECIMIENTO CRISTALINO Y PREPARACIÓN DE OBLEAS.

El componente más importante en la industria electrónica es el Silicio (Si), el cual se puede obtener en la naturaleza en forma de sílices (CSi) o silicatos (Micas, cuarzos, etc.). Es el segundo componente constitutivo de la corteza terrestre después del oxígeno. Los dispositivos electrónicos basados en Si constituyen el 95% de todos los componentes semiconductores existentes.

8.2.1. Obtención del Silicio electrónico (EGS: Electronic-Grade Silicon).

El material de partida para la fabricación de obleas es el Si electrónico o EGS. Éste se obtiene tras un proceso físico-químico a partir de una fase de fundición que produce Si policristalino casi puro. Las etapas seguidas son las siguientes:

1ª. Producción de Si metalúrgico de alta pureza: Realizada mediante fundición en un horno de arco de electrodo sumergido que se alimenta de cuarcita (una roca de cuarzo: SiO_2), carbón y madera. Mediante este proceso se obtiene un Si cuya pureza es del orden del 98% del volumen.

2ª. Producción de triclorosilano (SiHCl3): generado a partir del Si metalúrgico pulverizado mecánicamente, tras una reacción química con ácido clorhídrico gaseoso. La eliminación del resto de las impurezas del Si se elimina mediante destilación fraccionada.

3ª. Producción de EGS mediante deposición de vapor en una cámara CVD (Chemical Vapor Deposition, Figura 8.1), en donde se reduce el triclorosilano mediante hidrógeno dentro de la cámara CVD al calentarse una resistencia eléctrica. El Si se deposita en la resistencia. Todo ello se ha de realizar en un ambiente de extrema pu-

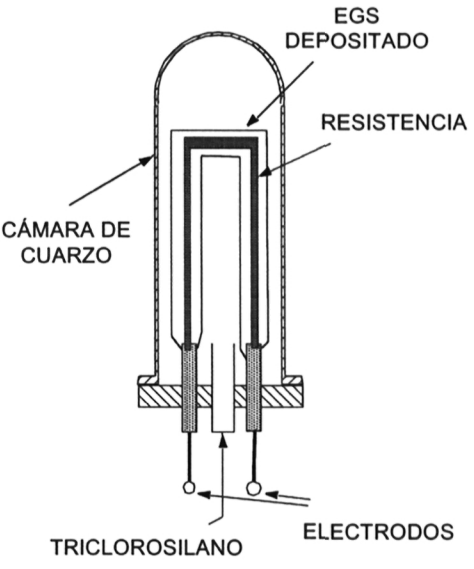


Figura 8.1 Cámara CVD

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

reza y que no reaccione con el triclorosilano, por ello, la cámara está contenida en una envoltura de cuarzo.

8.2.2. Generación del Silicio cristalino: la técnica de crecimiento Czochralski.

El Si posee una estructura cristalina tipo red tetraédrica o diamante, la cual puede verse como dos redes cúbicas intercaladas. La asociación cristalina se conforma mediante enlaces covalentes, pudiéndose dopar con átomos del grupo III y V, que sustituyen a los átomos de Si en la red cristalina. Se recuerda, por ejemplo, que el Fósforo es un sustituto donador (semiconductores tipo N) y el Boro un sustituto aceptor (semiconductores tipo P).

En general, la red cristalina real no es perfecta, ya que adolece de defectos generados por imperfecciones del proceso tecnológico tales como la variación de las condiciones de temperatura y/o presión durante el proceso de generación o la existencia de impurezas no deseadas. Diferentes tipos de defectos son, por ejemplo, la ausencia de átomos en la red, la colocación de la impureza en zona intersticial del cristal y las dislocaciones generadas por la aplicación de fuerzas sobre el cristal o por la acumulación de defectos intersticiales en un punto de la red.

El Si empleado en los CIs es en general muy puro y la red cristalina bastante perfecta, aunque aparecen irremediablemente este tipo de defectos que introducen efectos de segundo orden en el comportamiento electrónico del dispositivo fabricado.

El 90% de los cristales de Si para la industria electrónica se obtienen mediante la técnica de Czochralski (CZ). Este proceso tecnológico permite la obtención del EGS en forma de obleas. La técnica CZ consiste básicamente en la deposición en una interfase a partir de átomos de Si en estado líquido. El sistema CZ esta formado por un horno con un mecanismo rotatorio de extracción del cristal, todo ello en un ambiente neutro (atmósfera de He o Ar) y libre de vibraciones, y con un subsistema de mando que permite el seguimiento y control de los parámetros del proceso tales como la temperatura, el diámetro del cristal, la velocidad de extracción del mismo, la velocidad de rotación, etc. Mediante esta técnica, se pueden obtener un cristal de 10 cm de diámetro y una longitud de 3 m. La Figura 8.2, ilustra de forma escueta la estructura del horno CZ.

El proceso de generación se realiza de la siguiente forma:

1º. A partir de una semilla de Si muy puro y cristalino, se va solidificando el EGS líquido, siguiendo la misma estructura de la semilla, mientras el mecanismo de extracción va girando.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

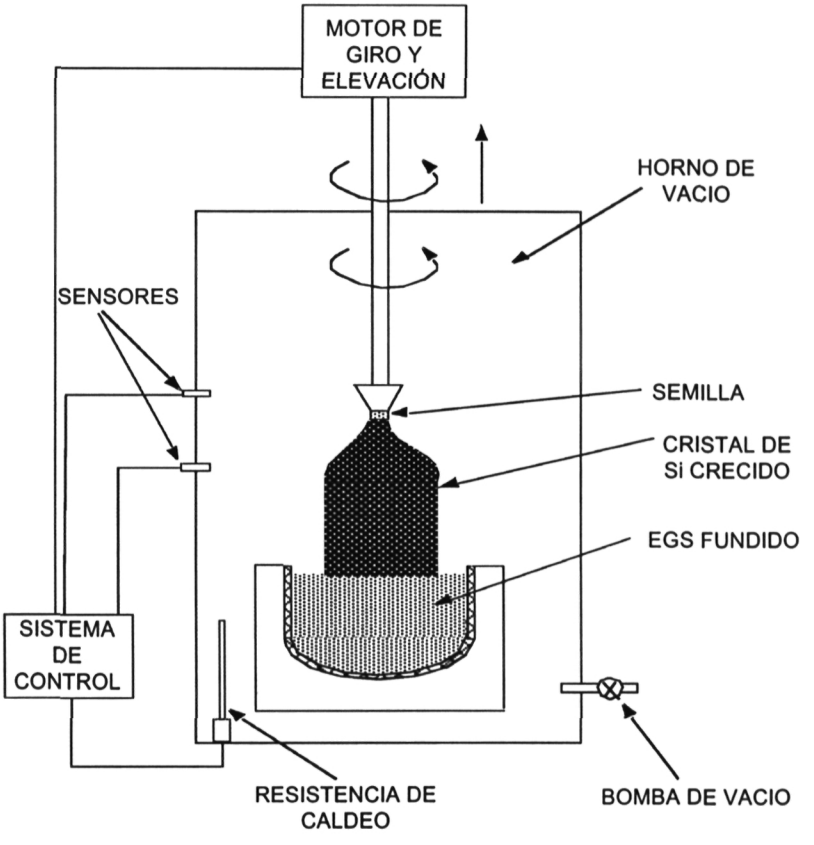


Figura 8.2 Sistema Czochralski

2º. El sistema de control se programa para obtener el grosor deseado del cristal en cierto tiempo predeterminado, para ello, se controla la velocidad de giro y de elevación del mecanismo de extracción, con la semilla en su extremo, sumergida en el Si líquido.

3º. Al final del proceso tenemos una barra cilíndrica con los parámetros deseados de EGS cristalino.

8.2.3. Obtención de obleas.

El proceso de obtención de las obleas (Wafers), a partir del lingote de Si cristalino, consta de una fase mecánica, otra química y el pulimentado final. Las dimensiones y precisión requeridas en este proceso dependerán de las exigencias tecnológicas que requiera la fabricación del dispositivo electrónico.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Durante la fase mecánica, el cilindro de cristal se reduce al diámetro deseado mediante una muela que por fricción elimina el volumen sobrante, Se realizan un par de cortes planos (muescas) para indicar la dirección especifica de la estructura cristalina que servirá para su posicionamiento posterior, y que identifica el tipo de dirección de la red y si es semiconductor N o P. Posteriormente se cortan las obleas con una sierra, con el espesor y curvatura deseados.

En la fase química las obleas se limpian mediante el uso de ácidos (fluorhídrico, nítrico o acético), eliminando cualquier tipo de impureza o residuo sobre su superficie. El resultado es una superficie de tipo especular.

Finalmente las obleas se pulimentan para conseguir una superficie de suavidad extrema, sin pendientes y con un alto grado de planitud. Estos requerimientos son necesarios para poder realizar los procesos de fotolitografía de alta precisión para la integración de CIs VLSI.

8.3. CRECIMIENTO EPITAXIAL.

La palabra epitaxia proviene del griego, como conjunción de las palabras "epi" que significa sobre y "taxis" que significa ordenado. El termino epitaxia se aplica a los procesos utilizados para hacer crecer capas cristalinas sobre sustratos igualmente cristalinos (obleas). En la Figura 8.3 se muestra una estructura típica de cristal crecido epitaxialmene sobre un sustrato de Si, sobre el que, además, se habían difundido previamente impurezas de tipo N^+, quedando esta zona "enterrada" (buried layer).

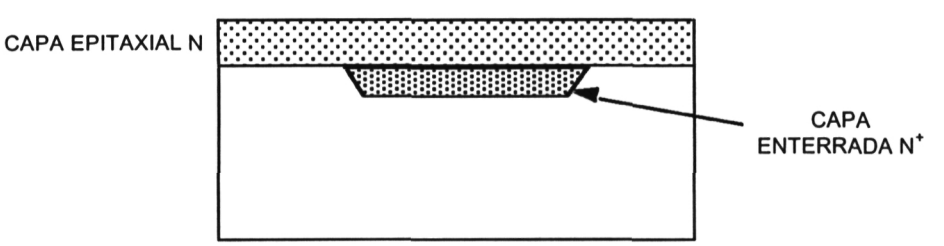


Figura 8.3 Crecimiento epitaxial en un proceso bipolar

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

El proceso epitaxial difiere del proceso CZ en que el cristal se puede hacer crecer por debajo de su punto de fusión. La mayoría de los procesos epitaxiales utilizan técnicas de deposición química en fase de vapor mediante hornos CVD. No obstante esta técnica se complementa mediante otros procesos físicos tales como los de evaporación o epitaxia por haz de electrones (MBE Molecular Beam Epitaxy). Cuando un material cristalino es crecido epitaxialmente sobre un sustrato del mismo material (Si sobre Si, por ejemplo) el proceso se llama homoepitaxia. Si por el contrario la capa a desarrollar y el sustrato son de distinto material, el proceso es denominado heteroepitaxia.

Los procesos de crecimiento de capas epitaxiales se realizan a altas temperaturas en un reactor CVD con el material en su fase de vapor. Durante el crecimiento ocurren diferentes reacciones químicas a medida que los gases fluyen dentro del reactor. Durante el crecimiento se pueden añadir sustancias dopantes de la misma manera que se hace en el crecimiento CZ.

La técnica MBE tiene frente a la CVD como principal ventaja la posibilidad de procesado a relativa baja temperatura lo que minimiza los posibles procesos de difusión no deseados en el cristal, además se pueden controlar de forma muy precisa los niveles de dopado del cristal.

8.4. DEPOSICIÓN DE CAPAS AISLANTES.

La deposición de capas o películas sobre obleas es una de las labores más requeridas en la fabricación de circuitos VLSI. Estas películas proporcionan regiones conductoras dentro del dispositivo, aislamiento eléctrico entre metales, y protecciones frente a procesos intermedios. Las películas deben cumplir requerimientos de espesor uniforme sobre cada dispositivo y su estructura y composición deben ser controlables y reproducibles, además este proceso ha de ser seguro y fácilmente automatizable. Los materiales utilizados para la creación de películas son el Si policristalino (o polisilicio) y el nitruro de silicio, siendo las técnicas CVD a baja presión las más empleadas en este proceso tecnológico.

El Si policristalino se emplea, por ejemplo, como electrodo en la puerta de los dispositivos MOS, como material conductor para metalizaciones, etc. El polisilicio con oxígeno se puede utilizar para pasivar (aislar eléctricamente y/o químicamente) y proteger dispositivos.

El nitruro de silicio (Si_3N_4), se utiliza en la pasivización de dispositivos que han de ser aislados de la difusión del agua y del sodio. También se emplea como máscara para realizar oxidación selectiva del Si.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Por otro lado, los materiales aislantes o dieléctricos se usan como elementos de aislamiento entre capas conductoras, para realizar máscaras en procesos de difusión e implantación iónica y para procesos de protección de ataques de impurezas, mezclas y prevención de rayado.

8.5. OXIDACIÓN.

La oxidación del Si es una operación esencial durante el proceso completo de fabricación de un CI. La producción de CIs de alta calidad requiere no solo comprender los mecanismos básicos de la oxidación, sino también los mecanismos para formar óxido de alta calidad de manera controlada y repetible. Los procesos básicos en los que interviene la oxidación son:

1º. Creación de máscaras para limitar las difusiones y las implantaciones iónicas a las área deseadas.

2º. Pasivización o función de protección y estabilización de la superficie de Si.

3º. Uso como dieléctrico o aislante entre interconexiones de metal o polisilicio del sustrato de Si.

4º. Como dieléctrico desempeña un papel activo básico en la fabricación de transistores MOS, CCD y otras estructuras.

La oxidación se puede realizar mediante varios métodos. El más frecuente es la oxidación térmica de carácter seco, en presencia de oxígeno, o húmedo si en la reacción interviene el agua.

Un modelo aproximado para controlar la oxidación del Si es el propuesto por Deal y Grove el cual afirma que, para hacer crecer una capa de óxido de espesor d en una superficie de Si, se ha de consumir un espesor de Si de $0.44d$ de la superficie original, con lo que el óxido crece hacia arriba $0.56d$ y penetra $0.44d$ hacia abajo.

El modelo de Deal y Grove es válido para temperaturas comprendidas entre 700ºC y 1300ºC, presiones parciales entre 0.2 y 1.0 atmósferas y espesores de óxido entre 300Å y 20000Å. La Figura 8.4 ilustra el proceso de oxidación de la superficie de una oblea.

8.6. DIFUSIÓN.

La difusión y la implantación iónica constituyen las técnicas básicas de impurificación selectiva en los procesos VLSI. La adición de impurezas a un

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

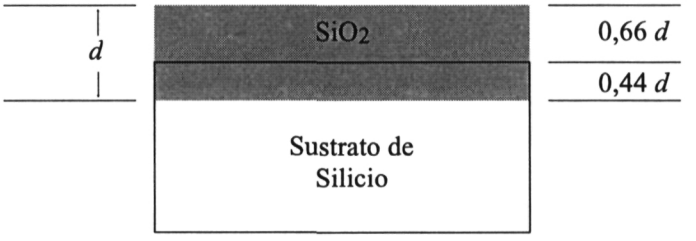


Figura 8.4 Crecimiento del óxido de silicio

semiconductor genera un perfil volumétrico de portadores N (x,y,z) cuyas características eléctricas cambian según el tipo de portador mayoritario, la concentración de portadores y la movilidad.

Las técnicas de difusión se usan para formar las bases, los emisores y las resistencias en tecnología bipolar, y para formar las regiones de fuente, drenador y puerta en tecnologías MOS. Los átomos dopantes se introducen por difusión en el Si atendiendo a tres formas básicas:

1ª. Difusión a partir de una fuente química en forma de vapor a altas temperaturas.

2ª. Difusión a partir de una fuente de óxido dopado.

3ª. difusión y alineamiento a partir de una capa de iones implantados (mecanismo de implantación iónica donde tiene lugar un proceso de difusión).

Las teorías de la difusión han sido desarrolladas desde dos plataformas: la primera partiendo de la teoría de la difusión continua de Fick (ley de Fick), y la segunda partiendo de la teoría atómica, la cual considera las interacciones entre puntos de defecto en la estructura cristalina del Si. La teoría continua describe la difusión a partir de la solución de la ecuación de Fick incluyendo coeficientes adecuados de difusión o difusividad. Dichos coeficientes de difusión pueden determinarse a partir de medidas experimentales. Cuando la concentración de impurezas es baja, la ecuación de Fick proporciona buenos resultados; sin embargo, cuando la concentración de impurezas es alta, los perfiles de difusión de impurezas se desvían de los predichos por esta ley. Es evidente la dependencia del perfil de difusión con la concentración de impurezas. Existen varios modelos de difusión atomísticos basados en las interacciones impureza dopante-defecto de la red para explicar los resultados experimentales de las difusiones dependientes de las concentraciones y otros mecanismos de difusión anómalos.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

8.7. IMPLANTACIÓN IÓNICA.

La implantación iónica es el proceso por el cual los iones de un elemento dopante determinado, son acelerados para bombardear un blanco (la muestra semiconductora) perdiendo su energía en los choques con la red cristalina. Estos iones resultan de este modo "implantados". La energía que alcanzan los iones se encuentra en el rango de los 3KeV a los 500KeV, energía suficiente para implantarlos a profundidades comprendidas entre los 100Å y los 10000Å. El control del flujo de iones permite dosificar de forma regulada y repetitiva la cantidad de iones implantados.

La idea de introducir átomos dopantes en materiales semiconductores por bombardeo con iones parte del año 1954, en el que Shockley patentó la descripción para una "realización de dispositivos semiconductores por bombardeo iónico". Durante la década de 1960 se realizaron las investigaciones más importantes en el cálculo y la medida de los rangos de ionización, de los daños por efecto de la radiación y la canalización iónica en la estructura cristalina. A finales de la década de 1960 se presentaron aplicaciones a dispositivos concretos como la realización de diodos varactores (diodos de capacidad variable), puertas de transistores MOS y realización de emisores en transistores bipolares.

Hoy en día su uso es tan extenso y variado que muchas de las tecnologías de realización de CIs utilizan como único proceso de dopado la implantación iónica. Las razones principales que justifican su uso son:

1ª. La implantación iónica sirve para producir dopados muy reproducibles gracias a la medida de la corriente iónica (y por tanto de la carga acumulada) durante el propio proceso de implantación.

2ª. Los dopados son muy homogéneos (uniformidad mejor del 1%) debido al barrido de la muestra con el haz iónico por procedimientos mecánicos o electrónicos.

3ª. Control preciso de la distribución en profundidad de la impureza implantada mediante un potencial de aceleración impuesto, haciendo posible un amplio rango de perfiles de dopado para diferentes aplicaciones.

8.8. LITOGRAFÍA.

En microelectrónica se entiende por litografía al proceso de transferencia de formas geométricas en forma de máscaras sobre la superficie de una oblea de Si.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Estas formas constituirán los elementos de un circuito o dispositivo tales como los electrodos de una puerta, ventanas de contacto, interconexiones metálicas, área del canal, etc. Aunque la mayoría de las técnicas litográficas se han desarrollado en los últimos 40 años, la litografía data del siglo XVIII, durante el cual se describieron técnicas para transferir formas geométricas a láminas de piedra ("lithos").

Una vez se ha completado el diseño de un circuito a nivel de simulación, el primer paso en la fabricación de su CI, es la generación de las formas geométricas que constituyen sus elementos. Un dibujo (artwork) se descompone en niveles asociados a los distintos procesos necesarios para construir los dispositivos y sus conexiones: por ejemplo, los electrodos de puerta en un nivel, las ventanas de contacto en otro, el dopaje del canal en otro, etc. A cada uno de estos niveles se les denomina nivel de máscara. El trazado (layout) del circuito, desarrollado en un computador gráfico interactivo, se transforma en vectores de datos, los cuales actuarán sobre un sistema que los traduce a la forma deseada en la oblea de Si, o más concretamente, a una lámina depositada sobre ella denominada fotomáscara o máscara, la cual está compuesta de un material fotosensible.

El CI se implementa mediante un proceso secuencial de transferencia de cada una de las máscaras, nivel por nivel sobre la superficie de la oblea. Tras cada imagen transferida se sucederán los procesos que correspondan: implantación iónica, oxidación, metalización, etc.

Para cada uno de los niveles dentro del proceso litográfico, se aplica en la superficie de la oblea una película de un polímero fotosensible que ha sido expuesto a la forma geométrica mediante una fotomáscara que ha sido iluminada por una luz ultravioleta o de otro tipo. Después de la exposición, la oblea se revela en una solución que desarrolla las formas transferidas en el material fotosensible. Dependiendo del tipo de polímero utilizado, las áreas expuestas o las no expuestas a la luz se eliminan durante el revelado. Las obleas se sitúan posteriormente en un ambiente tal que se puedan grabar aquellas áreas no protegidas por la fotorresina, que ha tomado la forma geométrica del elemento transferido. El material que compone el polímero, una vez revelado, ha de ser resistente al proceso agresivo de la grabación, por lo que a este tipo de materiales se denominan "Resistentes" (Resist). Si se emplea la luz para transferir las formas geométricas al polímero se le denomina fotorresistente (Photoresist). Los fotorresistentes se pueden fabricar para ser sensibles a la luz ultravioleta, haces de electrones, o haces de iones. El tipo de resistente empleado en técnicas de litografía VLSI depende del tipo de la herramienta de exposición utilizada para exponer la oblea de Si.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

La mayoría de las herramientas de exposición para la fabricación de circuitos VLSI utilizan sistemas ópticos que usan luz ultravioleta. El objetivo de estas herramientas es la exposición de las formas asociadas a los componentes circuitales o áreas cada vez más reducidas para conseguir, de este modo, el aumento de la densidad de componentes. Esto supone aumento de la frecuencia de reloj en CIs digitales, reducción del consumo de potencia, etc.

El proceso típico de transferencia de una forma geométrica se puede resumir de la siguiente manera (ilustrado en la Figura 8.5.a-f):

1º. La oblea es sometida a un proceso de oxidación superficial (espesor entre 1000Å y 10000Å). (Figura 8.5.a)

2º. Seguidamente se cubre de una capa de emulsión fotosensible (resistente) de 1μm, cuyo espesor se uniformiza mediante centrifugado haciendo girar a la oblea. (Figura 8.5.b)

3º. Una vez seco el polímero se expone a la luz ultravioleta a través de una fotomáscara. (Figura 8.5.c)

4º. Tras la exposición se procede al revelado que disuelve la zona no expuesta a los rayos o la contraria, según sea el tipo de emulsión. (Figura 8.5.d)

5º. A continuación la oblea se somete a un ataque químico que graba y elimina el óxido de Si expuesto, dejando intacto el resistente. (Figura 8.5.e)

6º. Finalmente el resistente es eliminado dejando libre el óxido restante que habrá tomado la forma correspondiente al nivel de máscara en curso. (Figura 8.5.f)

El CI se constituye tras repetir este proceso para cada nivel de máscara. A modo de ejemplo, hoy en día, un CI VLSI de alta complejidad puede tener un número superior a 20 niveles de máscara.

8.9. GRABADO.

El proceso litográfico solo se encarga de transferir la forma a un resistente o sustancia que no es permanente, se trata de una réplica de la característica del circuito a la oblea. Para reproducir las propiedades sobre la oblea, la forma litografiada debe ser transferida quitando la porción de oblea que es delimitada por ésta, para poder aplicar el proceso que corresponda (difusión, implantación, etc). El método que se encarga de transferir la forma geométrica eliminando estas porciones se conoce con el nombre de grabado.

Las técnicas que se emplean hoy en día para este proceso se denominan grabado en seco. Estas han desplazado totalmente a aquellas basadas en atacantes químicos líquidos. El grabado en seco es sinónimo de grabado asistido por plasma,

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

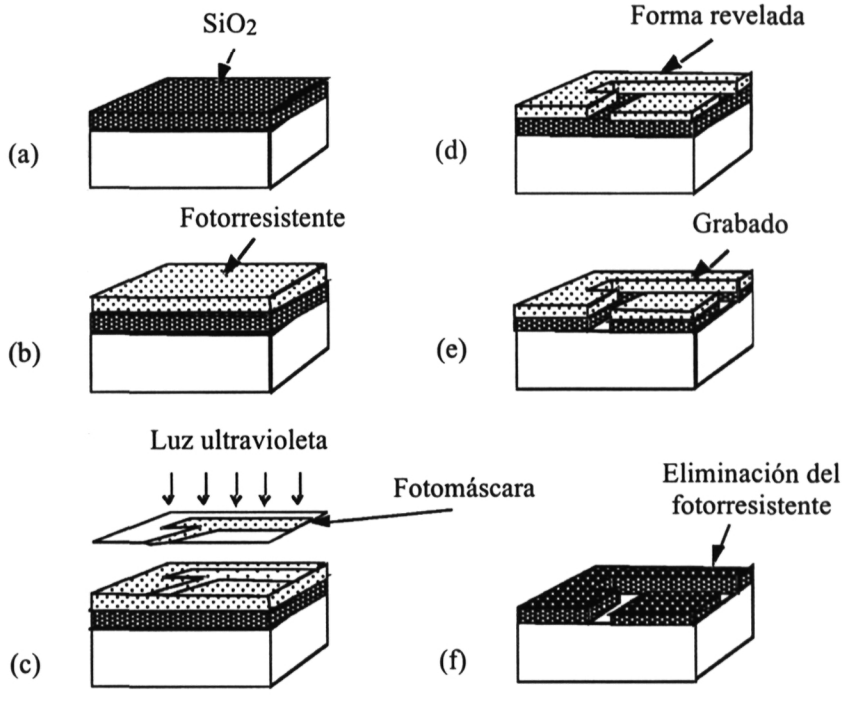


Figura 8.5 Transferencia litográfica

técnica que emplea sustancias atacantes de la oblea en forma de plasma a baja presión.

Transferir una forma significa trasladar su geometría, definida en la máscara, a un sustrato mediante procedimientos físicos o químicos, para producir un relieve superficial de la misma. Para ello pueden utilizarse métodos aditivos o substractivos (mostrados en las Figura 8.6.b y Figura 8.6.a, respectivamente). Se deposita primero la película de interés (óxido, cristal epitaxial dopado, etc), se dibuja litográficamente la forma de la máscara (litografía), se graban las porciones no enmascaradas y se quita el resistente. En el método aditivo, primero se parte del sustrato, después se deposita el resistente con la forma adecuada y a continuación se deposita la película de interés, eliminando finalmente el resistente. En el método substractivo, inicialmente tenemos la oblea con la película ya depositada, a conti-

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

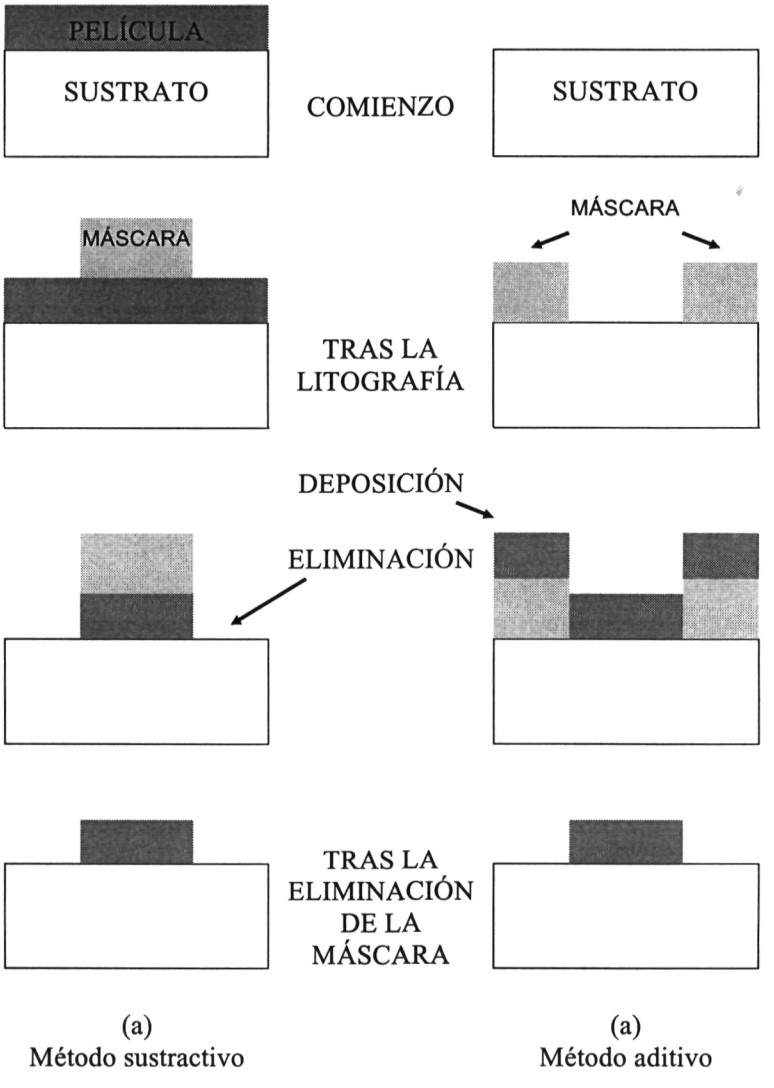


Figura 8.6 Proceso de grabado

nuación se fija el resistente mediante litografía y se eliminan las zonas de la película no cubiertas por el resistente. finalmente se extraen los restos del polímero.

El método substractivo, conocido simplemente como método de grabado, es el que se emplea principalmente en técnicas VLSI. Mediante el método aditivo es posible obtener una gran resolución pero en él no es aplicable el grabado en seco.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

8.10. METALIZACIÓN.

La Metalización es el proceso del establecimiento de conexiones o contactos óhmicos entre los terminales de los dispositivos a interconectar en un CI.

Un ejemplo sencillo lo tenemos en el proceso de fabricación de un único transistor MOS. El acceso a los terminales de fuente, drenador y puerta se realiza mediante contactos de metal (generalmente Al). Estos contactos han de tener una resistencia óhmica muy baja para que el comportamiento eléctrico del MOS sea el esperado. Esto implica que el metal deberá adherirse bien al semiconductor, poseer baja electromigración (transporte de material por aplicación de corrientes), baja corrosión y facilidad de reproducción e implantación en la estructura semiconductora. La Figura 8.7 ilustra la metalización realizada sobre un sustrato de Si. En este caso la película de metal es Al.

La mayoría de los CIs realizados en Si (estructuras bipolares y MOS) utilizan actualmente Al o alguna de sus aleaciones para el proceso de Metalización. Este metal satisface los requerimientos de baja resistencia a temperatura ambiente y la de sus aleaciones es aún menor (del orden del 30%). En Europa se emplean aleaciones tales como Al-Si-Cu. El Al y sus aleaciones se adhieren bien al Si y sus óxidos. Las prestaciones del Al en tecnologías VLSI son satisfactorias a pesar de que aparecen problemas de electromigración y corrosión, ya que éstos se pueden solucionar controlando las características de la película depositada y desarrollando técnicas de aislamiento y pasivización, respectivamente.

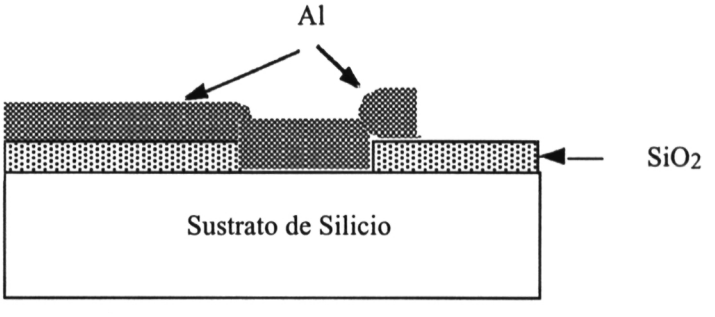


Figura 8.7 Contactos de metal

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Otros tipos de aleaciones empleadas para aplicaciones especiales (alta frecuencia, aplicaciones espaciales y militares, etc), son las compuestas por Ti-Pd-Au o Ti-Pt-Au.

La técnica de Metalización más empleada es la deposición de vapor, en la que la oblea se introduce en una cámara de vacío, y el metal evaporado se deposita en la superficie correspondiente al nivel de máscara que corresponda a la Metalización.

8.11. PROCESOS DE INTEGRACIÓN DE UN CIRCUITO.

Puede considerarse a la 1ª generación de CIs (1960) coma una evolución natural de la tecnología planar en la realización de transistores bipolares discretos a la que se le añadió la posibilidad de realizar sobre el mismo cristal resistencias, condensadores, diodos o transistores de efecto de campo de unión (JFET = Junction Field Effect Transistors) con solo modificar adecuadamente la geometría en la superficie de la oblea y el perfil de impurezas.

Hoy día, los CIs son estructuras complejas con centenares de miles de componentes en un solo chip de Si. En este apartado abordaremos brevemente aquellos procesos donde intervienen la tecnología bipolar, CMOS, NMOS y elementos pasivos.

8.11.1. Procesos básicos en tecnología bipolar.

Se pueden distinguir tres procesos básicos, de los cuales sólo se estudiará el primero: Proceso 3-D o de tres difusiones; proceso SBC (Standard Buried Collector) o proceso estándar de colector enterrado; y proceso LOCOS (LOcal-OxidationS) o de oxidación local.

La Figura 8.8.a-d muestra las fases del proceso 3-D para la elaboración de un transistor bipolar NPN:

1ª. Se parte de un sustrato P sobre el que se crece una capa de óxido de 1μm de espesor, abriéndose por fotograbado la ventana de colector. En esta zona se crea una región N por implantación iónica de fósforo, seguida de un recocido a alta temperatura. (Figura 8.8.a)

2ª. Se hace crecer una nueva capa de óxido pero esta vez de la mitad de espesor. Se abre una nueva ventana por fotograbado y se realiza una difusión P para constituir la base del transistor (Figura 8.8.b). La difusión debe hacerse de manera que se alcance la profundidad deseada en la unión Base-Colector.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

3ª. Se hace un nuevo crecimiento de óxido sobre la apertura de la base y por fotograbado se definen las áreas donde se realizan las difusiones N^+ para el emisor y para el colector. (Figura 8.8.c)

4ª. Finalmente se fotograba el contacto de base y se metalizan los tres terminales: base, emisor y colector. (Figura 8.8.d)

8.11.2. Procesos básicos en tecnología MOS.

El transistor MOSFET es el dispositivo dominante en CIs VLSI. El primer MOSFET aparece en 1960 siendo inicialmente de canal P (MOSp). Desde los años 70 son los MOS de canal N (MOSn) los que predominan por la mayor movilidad de los electrones frente a los huecos.

Dada la importancia de la tecnología CMOS, tomaremos como ejemplo la implementación de la estructura CMOS, formada por dos transistores complementarios cada uno en un pozo: la técnica de pozos gemelos. Cada pozo podría tener miles de transistores de igual tipo. La Figura 8.9 muestra el proceso.

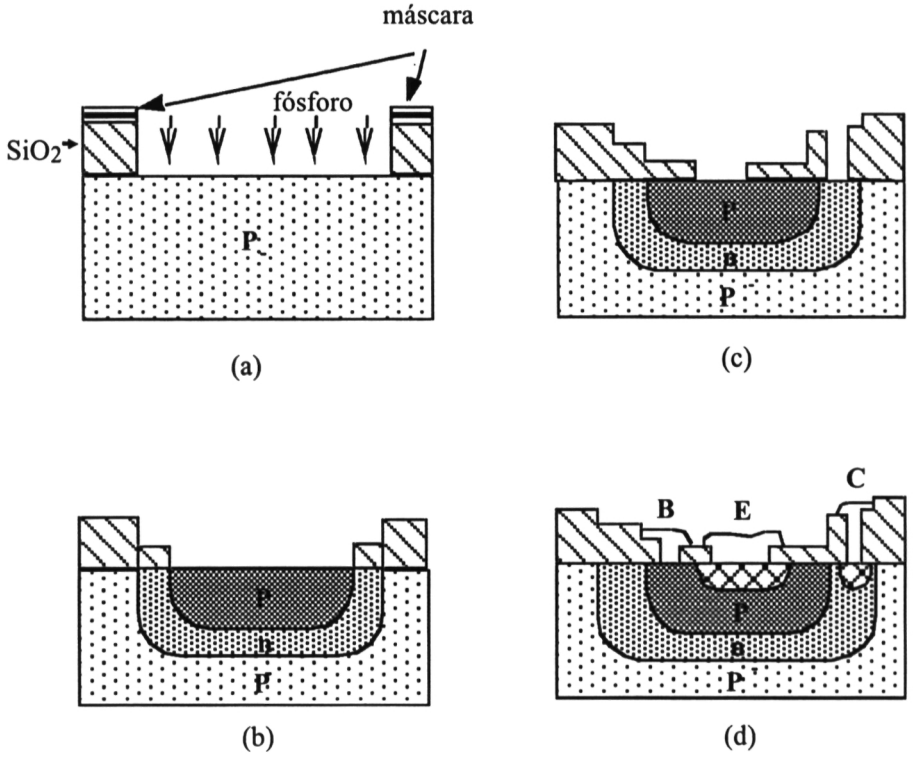


Figura 8.8 Proceso 3-D en tecnología bipolar

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

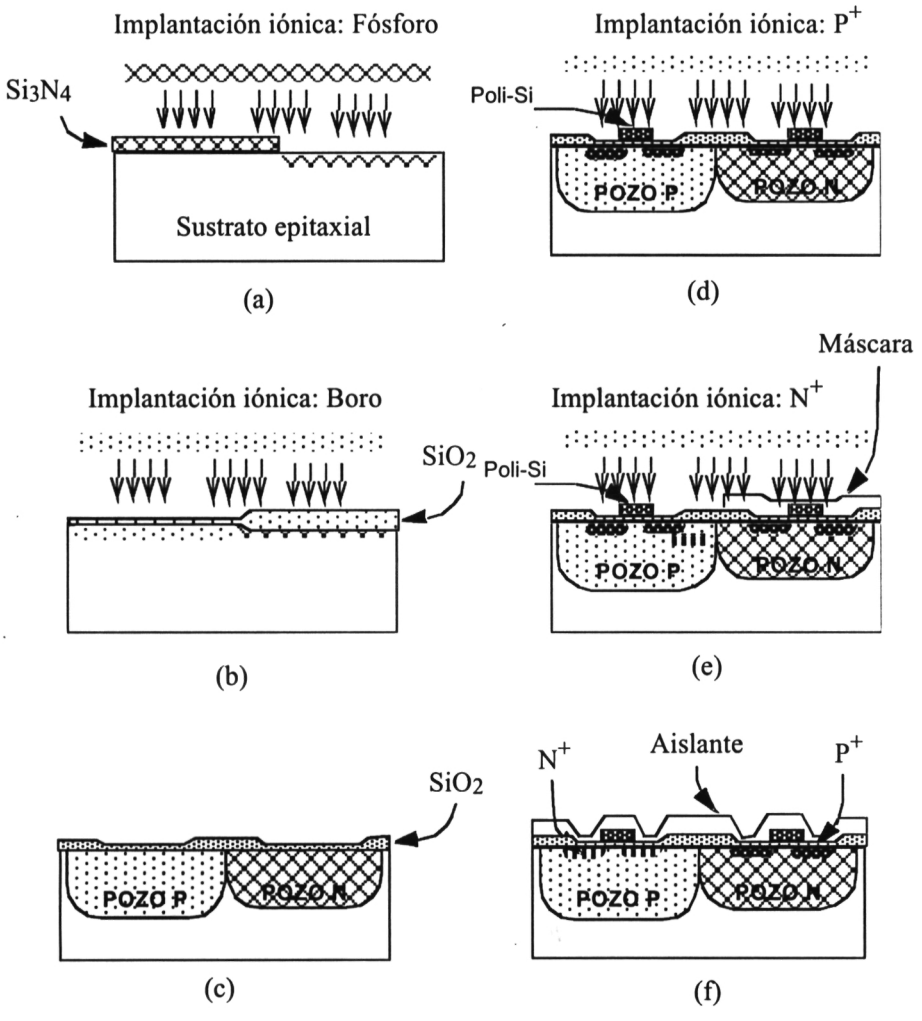


Figura 8.9 Proceso CMOS de doble pozo

1º. El material de partida es un sustrato de tipo N^+ o P^+, sobre el cual se hace crecer epitaxialmente un material de igual tipo pero ligeramente dopado (N^- o P^- respectivamente).

2º. La Figura 8.9.a-c muestra como se aíslan ambos transistores mediante los "pozos" (wells): tras hacer crecer dos capas, una capa de SiO_2 y otra de nitruro de silicio sobre el cristal epitaxial se abre, por litografía, una ventana para el pozo N (n-well).

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

3º. A continuación se realiza un proceso de implantación iónica de baja energía (implantación superficial) con fósforo. El fósforo queda depositado sobre el nitruro y sobre la ventana del pozo N. (Figura 8.9.a)

4º. Seguidamente se elimina el nitruro y se vuelve a hacer crecer una capa de SiO_2 sobre toda la superficie, abriéndose ahora la ventana para el pozo P (p-well). Esta ventana se trata con boro, implantado también con baja energía (Figura 8.9.b). A continuación se elimina todo el SiO_2 de la superficie. Ambos pozos están ya formados (Figura 8.9.c).

5º. Se deposita una capa uniforme de SiO_2 sobre toda la superficie (Figura 8.9.d) y mediante oxidación local (LOCOS) se separan los pozos, se hace crecer una capa de polisilicio N^+ que formará las dos puertas y, mediante implantación iónica, se difunden las regiones de fuente y drenador (en ambos transistores), con boro en el pozo N y con fósforo en el pozo P. El resultado final lo forman regiones de drenador y fuente tipo N^+ en los pozos P y tipo P^+ en los pozos N. (Figura 8.9.d-e)

6º. Finalmente se cubren ambos dispositivos con un aislante de cristal y se abren por métodos litográficos las ventanas que serán metalizadas, para extraer los terminales de ambos transistores. (Figura 8.9.f)

8.11.3. Integración de componentes pasivos: resistencias y condensadores.

La elección y variedad de componentes pasivos en tecnología integrada es muy restringida. Las inductancias no son compatibles con la miniaturización y los valores y tolerancias de las resistencias y condensadores están limitados. Aquí se presentan las estrategias básicas para el diseño de resistencias y condensadores.

8.11.3.a. *Condensadores integrados*

La limitación fundamental en la integración de condensadores es su tamaño. La expresión general de la capacidad de un condensador de placas planas paralelas es proporcional al área de las placas, por tanto existirá un tamaño máximo integrable, y por tanto una capacidad máxima a implementar. Existen dos tipos básicos de condensadores en un CI que tratan de reproducir al condensador plano:

1º. Condensadores de unión PN:

Son diodos que se polarizan en inversa. De este modo la zona de carga espacial del diodo se comporta como el dieléctrico entre las placas. Variando la tensión de polarización inversa puede modificarse su longitud, obteniéndose un condensador variable controlado por tensión: el varactor o Varicap. El inconveniente principal de este dispositivo es que la relación Capacidad-Voltaje no es lineal.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2º. Condensadores de película delgada:

Estos condensadores pretenden mantener la estructura clásica del condensador plano de placas paralelas usando dos superficies metálicas depositadas por metalización (Figura 8.10.b) o una capa semiconductora de alta conductividad y otra metálica (estructura MIS = Metal Insulator Semiconductor, Figura 8.10.a), en ambos casos separadas por un dieléctrico de grosor definido. El dieléctrico suele ser SiO_2 o Si_3N_4.

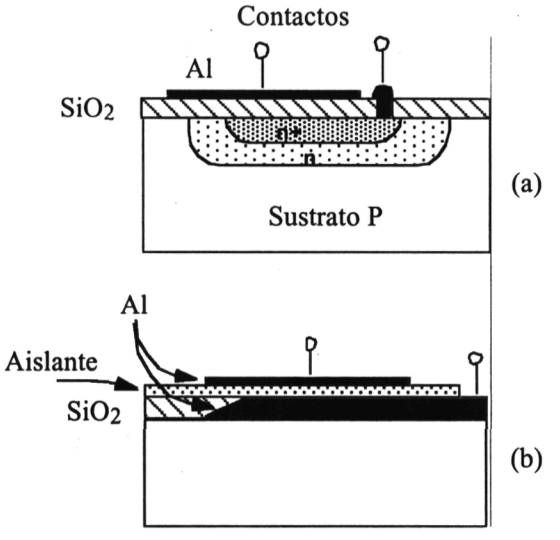


Figura 8.10

8.11.3.b. *Resistencias integradas.*

Podemos distinguir dos tipos de resistencias integradas:

1º. Resistencias de semiconductor, que son las más frecuentes y se pueden construir a la vez que el resto del circuito sin necesidad de ningún proceso adicional. Se realizan mediante difusión, implantación iónica, etc.

2º. Resistencia de película delgada, obtenidas mediante técnicas de deposición sobre la superficie de Si, que poseen las siguientes ventajas sobre las de semiconductor:

- Bajo coeficiente de temperatura (100ppm/ºC).
- Mejor control del valor absoluto (±5%) y del apareamiento (±1%).
- Menores efectos parásitos.
- Rango más elevado de valores.
- Alta tensión de ruptura (200 V).

Los materiales usados para realizar estas resistencias de película son el Ta, aleaciones de Ni-Cr y óxido de zinc.

8.12. TÉCNICAS DE ENCAPSULADO Y ENSAMBLADO DE CIs.

Las técnicas de ensamblado y empaquetado de CIs conforman un gran campo que incluye todas las operaciones necesarias para construir un acceso eléctrico

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

y mecánico al CI. El CI en sí está constituido por un pequeño dado (die o chip) que aparece repetido un número determinado de veces en la oblea de Si original sobre la cual se han realizado todos los procesos de fabricación. En cada dado de la oblea aparece un conjunto de conexiones externas denominado anillo de conectores, "ringpads" o "bondpads", donde se sitúan las conexiones o puertos con los elementos de entrada y salida, además de la alimentación del chip. El anillo es el conjunto de contactos metálicos desde los que se accede eléctricamente a la funcionalidad del CI.

Las técnicas de encapsulado y ensamblado comprenden las siguientes operaciones:

1ª. Extracción de los dados de la oblea mediante operaciones de marcado (delimitación mecánica del área de cada CI), y cortado.

2ª. Identificación de los chips defectuosos y separación de los mismos.

3ª. Pegado del dado en un soporte adecuado, en general un soporte cerámico metalizado sobre el cual se suelda el dado.

4ª. Cableado del anillo de conectores (Wire Bond).

5ª. Encapsulado para su protección y manipulación durante el uso del CI. La cápsula suele ser cerámica o plástica, normalmente refractaria.

El incremento de la funcionalidad de los CIs junto con la capacidad de integración hace que el número de conexiones con el exterior sea cada vez mayor, lo que también supone un incremento en la potencia consumida. Es necesario desarrollar grandes cápsulas con una gran cantidad de "patillas" o "pines" que sean capaces de albergar el dado y disipar su potencia.

8.13. HERRAMIENTAS DE DISEÑO ASISTIDO POR COMPUTADOR (CAD).

Los sistemas expertos para la simulación numérica de procesos son un conjunto de herramientas que surgen para el estudio, interacción y optimización de los mismos como fase previa a la implementación física. Se trata de una herramienta de apoyo que pretende simular los principios físico-químicos que definen los diferentes procesos, a saber: Epitaxia, Implantación iónica, Difusión, metalización, etc. De esta forma, el diseñador puede planificar la implementación de un dispositivo determinado, con claros ahorros de tiempo y coste. Por ejemplo, si se supone que se quiere desarrollar un nuevo proceso CMOS en 0'05µm, desde el punto de vista de simulación, se han de resolver los problemas que envuelven el secuenciamiento

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

de los diferentes niveles de máscaras con los procesos asociados a cada uno: pasos de oxidación, deposición química, litografías, difusiones, etc.

La simulación no sólo implica una reproducción de las condiciones de un proceso determinado, sino también la interacción entre los sucesivos procesos. Esto permite al diseñador llegar a establecer los parámetros concretos del dispositivo final. La simulación de procesos debe de conducir de forma natural a la simulación del comportamiento eléctrico del dispositivo. Los principales procesos que deben simularse son el crecimiento epitaxial, la implantación iónica, la difusión, la oxidación, la definición de formas geométricas mediante litografía, la transferencia de dichas formas mediante grabado y, finalmente, la deposición de capas. El objetivo último del diseño asistido por computador es, partiendo de la simulación de estos procesos y su interacción, deducir un modelo de simulación eléctrico del dispositivo creado; es decir, establecer los parámetros eléctricos intrínsecos del modelo del circuito, los parámetros de sus componentes parásitos y sus características macroscópicas Tensión-Corriente.

Hoy en día existen una serie de entornos de simulación, que nos permiten aproximarnos de una manera realista al campo de la simulación de procesos. Planteadas las ecuaciones fundamentales que rigen el funcionamiento del proceso, el objetivo es determinar el perfil de la concentración de impurezas. Algunos programas trabajan de modo monodimensional y otros en tres dimensiones. A partir de aquí se analiza la distribución de portadores, el campo y potencial eléctricos en las tres dimensiones espaciales de acuerdo con una geometría determinada, llegándose finalmente a determinar el comportamiento eléctrico del dispositivo final.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

Apéndice A. Cuestionarios de Trabajo

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

A.1. ANÁLISIS DE CIRCUITOS.

1º.- En los circuitos de la Figura A.1, realiza un diagrama de conexionado del medidor de tensión (voltímetro) V y del medidor de intensidad (amperímetro) A para obtener las medidas de tensión en E6 e intensidad en E3.

2º.- En los circuitos anteriores, identificar todas las conexiones, nudos, ramas y mallas.

3º.- Asocia una variable de intensidad a cada rama y una de tensión a cada elemento y aplica las leyes de Kirchoff a todos los nudos y las mallas de los circuitos anteriores.

4º.- Aplicando la Ley de Ohm, explica razonadamente cuáles son las propiedades de un cortocircuito (resistencia de valor 0) y de un circuito abierto (resistencia de valor infinitamente alto). Como aplicación de esto, indica razonadamente el valor de la tensión entre los puntos A y B en los circuitos de la Figura A.3(a) y (b) y el de la intensidad a través de R_2 en el circuito (c).

5º.- En los circuitos de la Figura A.2, calcula la potencia en cada uno de los elementos.

¿ Qué elementos generan energía eléctrica ?. ¿ Por qué ?.

¿ Qué elementos disipan energía eléctrica ?. ¿ Por qué ?. ¿ En qué tipo de energía puede transformarse esta potencia consumida ?. Pon algunos ejemplos reales.

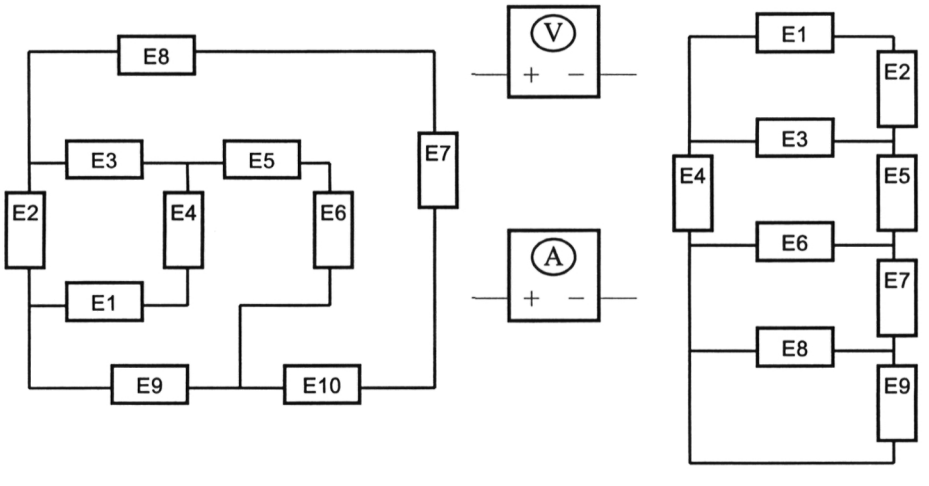


Figura A.1

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

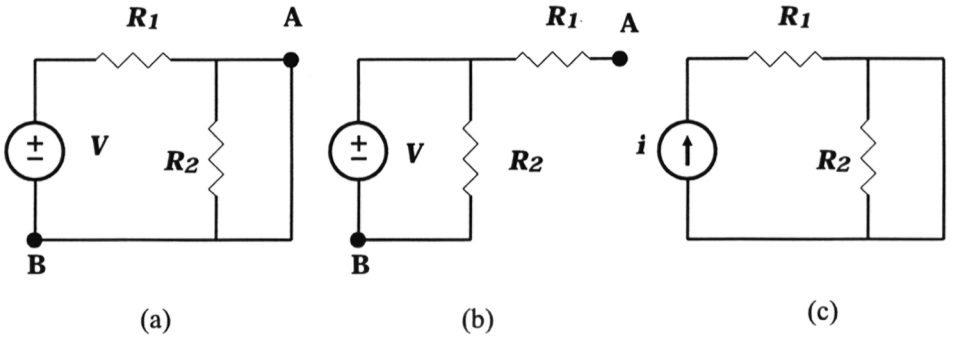


Figura A.3

¿ Cuanto vale la suma total de la potencia generada o disipada en todos los elementos de cada circuito ?. Interpreta este resultado.

6º.- Encuentra la expresión general del condensador e inductancia equivalentes a la asociación de n elementos en serie y en paralelo.

(Solución: Condensadores en paralelo: $C_{eq} = \sum C_i$. Condensadores en serie: $\frac{1}{C_{eq}} = \sum \frac{1}{C_i}$. Inductancias en paralelo: $\frac{1}{L_{eq}} = \sum \frac{1}{L_i}$. Inductancias en serie : $L_{eq} = \sum L_i$)

7º.- Explica en qué consiste el modelado de elementos reales con elementos ideales y qué utilidad tiene en el análisis de circuitos, lineales y no lineales.

8º.- a) Utilizando el método general de análisis, resuelve los circuitos de la Figura A.4. Calcula la tensión en los puntos A, B y C de cada circuito. (Recuerda que para obtener la tensión en un punto se toma la tierra como referencia).

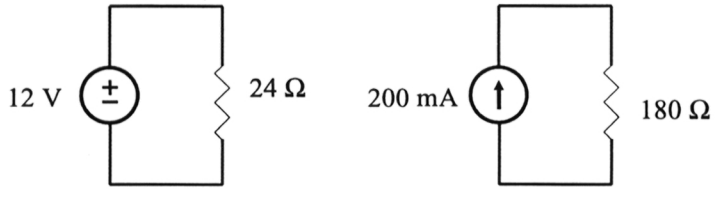


Figura A.2

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

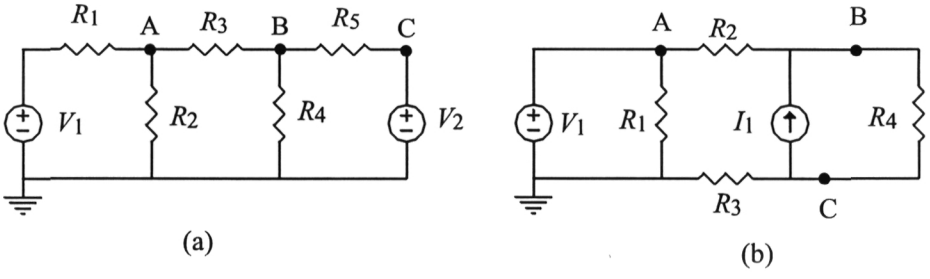


Figura A.4

Datos: $V_1 = 7$ V; $V_2 = 6$ V; $I_1 = 5$ mA; $R_1 = 1$ KΩ; $R_2 = 2$ KΩ; $R_3 = 3$ KΩ; $R_4 = 2$ KΩ; $R_5 = 1$ KΩ.

(*Soluciones* (en valor absoluto): **(a)** $I(V_1) = 2{,}44$ mA; $I(V_2) = 1{,}9$ mA; $I(R_2) = 2{,}28$ mA; $I(R_3) = 0{,}15$ mA; $I(R_4) = 2{,}05$ mA. **(b)** $I(V_1) = 6{,}57$ mA; $I(R_1) = 7$ mA; $I(R_2) = 0{,}43$ mA; $I(R_3) = 0{,}43$ mA; $I(R_4) = 4{,}57$ mA; $V(I_1) = 9{,}14$ V.)

b) Para aplicar el principio de superposición es necesario anular fuentes de tensión o de intensidad. Explica razonadamente en qué consiste el hecho de anular cada tipo de fuente.

c) Mediante el método de superposición y utilizando la simplificación por el cálculo del equivalente en Thèvenin, calcula la intensidad que circula por la resistencia R_5 en el circuito (a) y la tensión entre los terminales de R_4 en circuito (b).

c) Calcula la potencia en la resistencias R_2 y R_3 y en las fuentes V_1, V_2 e I_1 de los circuitos (a) y (b). ¿ Qué elementos consumen energía eléctrica y cuáles la generan ?.

9º.- Calcula el valor de R_X en el circuito de la Figura A.5 sabiendo que $I = 0{,}65$ mA. (Los datos son los mismos del ejercicio 8). (*Solución:* $R_X = 2{,}5$ KΩ)

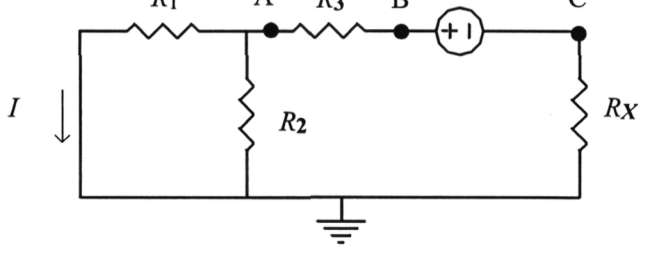


Figura A.5

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

10º.- Aplicando las expresiones del divisor de tensión e intensidad dadas en los ejercicios resueltos, y los equivalentes de resistencias en serie y paralelo, calcula directamente (sin plantear las ecuaciones del análisis de circuitos) la tensión entre los puntos A y B en el circuito de la Figura A.6 (a) y la intensidad a través de R_2 en la (b).

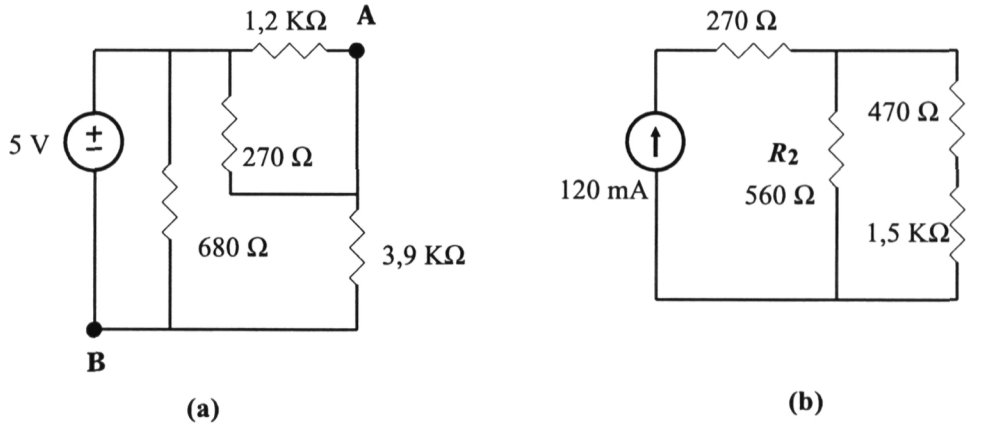


Figura A.6

11º.- Basándote en el modelo de fuentes reales, explica por qué los 4 circuitos imposibles expuestos en los ejercicios resueltos no pueden darse en la realidad.

a) Considera tres fuentes reales de tensión, todas con la misma V = 5 V y diferentes resistencias internas: R_{i1} = 1 Ω ; R_{i2} = 500 Ω; R_{i3} = 100 KΩ. Calcula la tensión en los extremos de la fuente cuando se conecta una resistencia R_L de 500 Ω. Analiza los resultados y explica qué valores de R_i son los que más se aproximan al comportamiento ideal.

b) El mismo ejercicio anterior pero considerando ahora una fuente real de intensidad de 5 mA, los mismos valores de resistencia interna y se trata de calcular la intensidad que aporta la fuente a la resistencia R_L de 500 Ω.

(*Soluciones:* a) V_1 = 4,99 V ; V_2 = 2,5 V ; V_3 = 0,0249 V ; I_1 = 0,00998 mA ; I_2 = 2,5 mA ; I_3 = 4,975 mA)

¿ A qué valor debe tender la resistencia interna de una fuente de tensión real para que se aproxime a una fuente ideal ?. ¿ Y para una fuente de intensidad real ?. Una batería de automóvil cargada tiene una resistencia interna menor que 1 Ω.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

¿ Qué tipo de fuente real es más apropiado para modelarla, la de tensión o la de intensidad ?.

12º.- Los voltímetros y los amperímetros pueden ser modelados utilizando simplemente una resistencia. ¿ Qué valores de resistencia deben tener un voltímetro y un amperímetro ideales ?. Razona tu respuesta.

13º.- Calcula la V_I del circuito de la Figura A.7 y la I_V del de la Figura A.8. (Sugerencia: El ejercicio (b) se simplifica si se realiza el equivalente en Thèvenin o Norton en algunas partes del circuito, siempre que no se eliminen las variables de control de las fuentes).

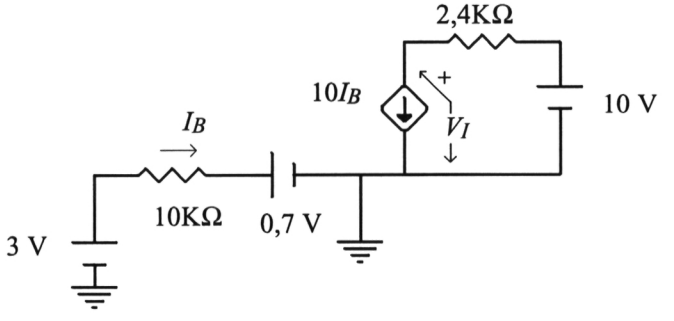


Figura A.7

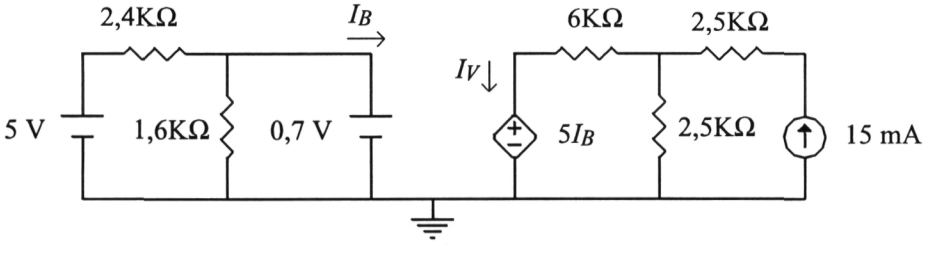


Figura A.8

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

(*Solución:* $V_I = 4{,}48$ V; $I_V = 3{,}61$ mA)

14º.- a) Calcula el equivalente en Thèvenin y en Norton del circuito a la izquierda del interruptor S1 en el circuito de la Figura A.9.

b) Si en en $t = 0$ se cierra el interruptor S_1 y comienza la carga del condensador ($V_c\ (t = 0) = 0$ V) y en $t = 4$ ms. se vuelve a abrir S_1 calcula el valor de $V_c\ (t)$.

(*Solución:* Para $0 \leq t \leq 4$ ms. $V_c\ (t) = 3\ (\ 1 - e^{-t/12}\ )$. Para $t \geq 4$ ms. $V_c\ (t) = 0{,}85\ e^{-(t-4)/30}$.($t$ expresado en ms.))

c) ¿ Cómo varían lo equivalentes que has calculado si se modifica el valor del condensador de 10 μF a 100 μF ?.

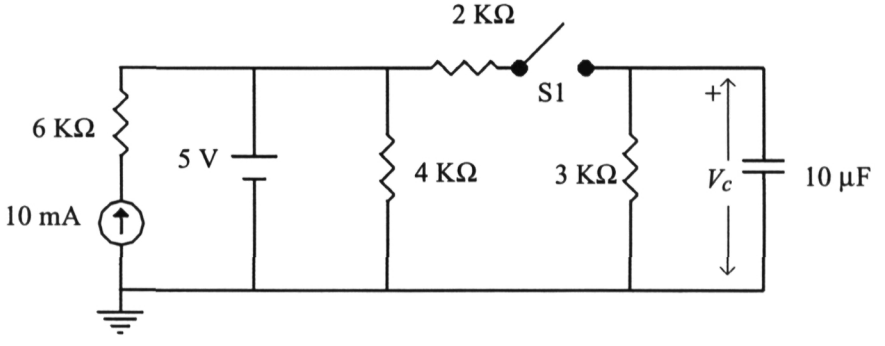


Figura A.9

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

A.2. CIRCUITOS DIGITALES

1.- ¿ La diferencia entre señales analógicas y digitales está en la naturaleza de las mismas o en la interpretación que se hace de la información que portan ?. Razónalo.

2.- Explica razonadamente por qué una señal digital presenta mayor inmunidad al ruido que un señal analógica.

3.- ¿ Por qué un CD de audio digital debe girar a mayor velocidad que un disco analógico de vinilo (LP) para oir el mismo pasaje musical ?. ¿ Qué debería modificarse en el CD para que funcionase girando a la misma velocidad que el LP ?

4.- ¿ Por qué toda familia lógica debe incluir al menos una puerta NAND o una puerta NOR ?

5.- ¿ Qué error puede ocurrir en una familia lógica cuyo $V_{IH} > V_{OH}$?

6.- Se desea implementar la siguiente función booleana:

$f(a,b,c,d) = \bar{a}\, b\, c + a\, \bar{b}\, \bar{c} + a\, \bar{d} + c\, d$ (+ indica función OR)

Se dispone de una familia lógica con FAN-IN = 2 y de otra con FAN-IN = 4. Diseña el circuito óptimo para ambas familias e indica las principales diferencias entre ambos diseños.

7.- Se desea implemetar las siguientes funciones lógicas:

$f_1(a,b,c) = a\, b + \bar{a}\, c$; $f_2(a,b,c,d) = a\, b + c\, d$; $f_3(a,b,d) = a\, b + b\, \bar{d}$

Se dispone de una familia lógica con FAN-OUT = 1 y de otra con FAN-OUT = 5. Diseña el circuito óptimo para ambas familias e indica las principales diferencias entre ambos diseños.

8.- Las características de 2 familias lógicas son:

a) **FA** : $V_{OH} = 4{,}7$ V ; $V_{OL} = 0{,}4$ V ; $V_{IH} = 1{,}7$ V ; $V_{IL} = 0{,}9$ V

Consumo medio de Potencia = 2 mW ; $t_{PD} = 8$ ns.

a) **FB** : $V_{OH} = 4{,}2$ V ; $V_{OL} = 0{,}3$ V ; $V_{IH} = 2{,}7$ V ; $V_{IL} = 1{,}8$ V

Consumo medio de Potencia = 9 mW ; $t_{PD} = 1$ ns.

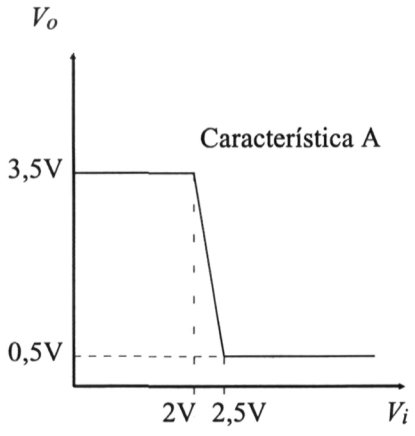
¿ Cuál es más apropiada para un sistema digital de control de procesos industriales ?

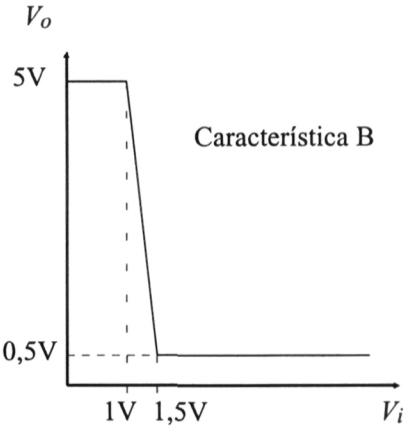
¿ Y para un sistema digital de adquisición de datos portátil ?

¿ Y para un sistema de procesamiento paralelo de muy alta potencia de cálculo ?

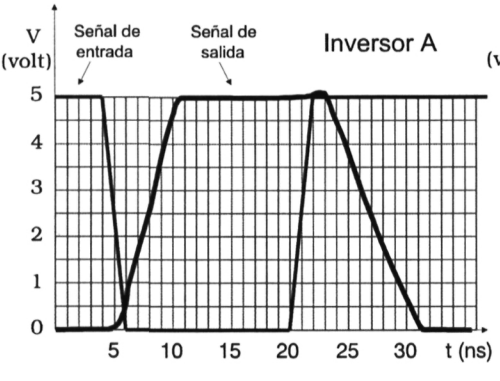
9.- De las dos características de transferencia que se muestran en la figura, indica cuál presenta mayor inmunidad al ruido y por qué.

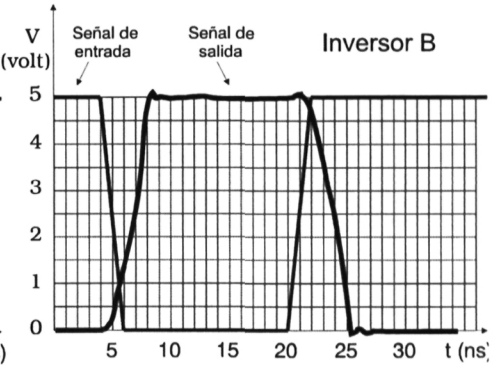
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA





10.- Las dos gráficas adjuntas representan las señales de entrada y salida de inversores de 2 familias lógicas diferentes. Calcula gráficamente los tiempos de subida, bajada y propagación de cada uno de los inversores. Si el consumo total del inversor A es de 3 mW y el del inversor B 12 mW, indica qué familia será óptima en cuanto al producto *consumo* * t_{PD}





Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

A.3. SEMICONDUCTORES Y DIODO

1.- ¿ En qué banda de energía se encuentra el nivel energético de un electrón no ligado a ningún átomo del cristal ?. ¿ Y el de un electrón ligado a un átomo ?.

2.- Explica cómo varía la conductividad con respecto a la temperatura en un aislante, en un conductor y en un semiconductor.

3.- ¿ Pueden existir cristales en los que un electrón que ocupe un nivel de la banda de conducción tenga menos energía que otro que ocupe un nivel en la banda de valencia ?. En caso afirmativo, ¿ de qué tipo tiene que ser ese cristal ?. ¿ En qué tipo de cristales nunca puede darse este caso ?. ¿ Por qué ?

4.- Un cristal con portadores de carga libres presenta una resistencia al paso de la corriente eléctrica que es originada por la vibración de los átomos que forman la red. Esta vibración aumenta con la temperatura a la que se encuentra el cristal, de forma que en las proximidades del cero absoluto de temperatura (-273° C) la vibración es nula. ¿ Qué resistencia debe tener un metal a esa temperatura ?. ¿ Y un aislante ?. ¿ Y un semiconductor ?. Razona las respuestas.

5.- ¿ Cuál es la mayor diferencia en cuanto a la naturaleza de la corriente eléctrica a través de un metal y a través de un semiconductor intrínseco ?

6.- ¿ Qué relación hay entre la concentración de electrones y huecos en un semiconductor intrínseco ?. ¿ Y en uno tipo P ?. ¿ Y en uno tipo N ?.

7.- La relación entre las concentraciones de electrones (n) y huecos (p) en un semiconductor es:

$$n \bullet p = n_i^2$$

donde el valor de n_i depende del tipo de semiconductor y de la temperatura. Para el silicio a temperatura ambiente (25° C), $n_i = 10^{10}$ cm^{-3}. ¿ Cuanto valen las concentraciones de electrones y de huecos en el silicio intrínseco a dicha temperatura ?. ¿ Y en silicio dopado con 10^{15} átomos de fósforo por cm^3 ?. ¿ Y en silicio dopado con 10^{16} átomos de Galio por cm^3 ?.

8.- La conductividad de un material es proporcional a la concentración de portadores de carga libres que tiene. ¿ Qué tipo de semiconductores tienen mayor conductividad, los intrínsecos o los extrínsecos ?. Razona la respuesta en base a los resultados del ejercicio anterior.

9.- Cuál es el hecho fundamental que explica la gran diferencia en el valor de la intensidad que circula por un diodo de unión P-N en polarización directa y en polarización inversa ?.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

10.- Dibuja el circuito equivalente, utilizando elementos ideales, de cada uno de los 2 tramos rectilíneos en que se dividen los modelos idealizado, con tensión umbral y linealizado general del diodo.

11.- De los 3 modelos linealizados del diodo, ¿ cuál se aproxima más a su curva característica ?. ¿ Cuál es la mayor diferencia entre estas dos representaciones ?.

12.- ¿ Cuál es la principal diferencia entre el modelo de un diodo "normal" y el modelo de un diodo Zener ?.

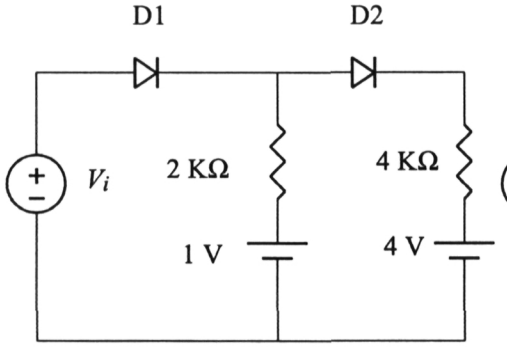
13.- Dibuja el circuito linealizado equivalente de las 3 zonas de operación de un diodo Zener con: $V_{Don} = 0{,}7$ V; $V_Z = -5{,}1$ V ; $R_D = 0$; $R_Z = 30\ \Omega$.

14.- Calcula las tensiones e intensidades de los diodos en los siguientes circuitos, considerando el modelo con tensión umbral $V_{Don} = 0{,}7$ V para:

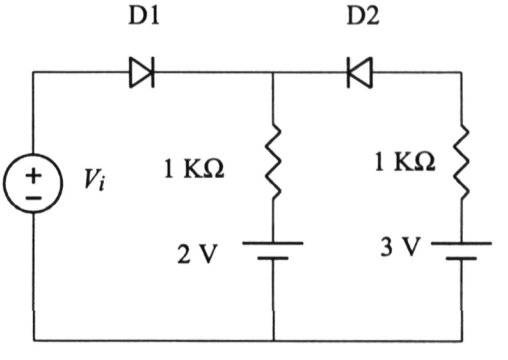
a) $V_i = -2$ V

b) $V_i = 3$ V

Soluciones: **(1)** a) V(D1) = -3 V, I(D1) = 0, V(D2) = -3 V, I(D2) = 0; b) V(D1) = 0,7 V, I(D1) = 0,65 mA, V(D2) = -1,7 V, I(D2) = 0. **(2)** a) V(D1) = -4,15 V, I(D1) = 0, V(D2) = 0,7 V, I(D2) = 0,15 mA; b) V(D1) = 0,7 V, I(D1) = 0,3 mA, V(D2) = 0,7 V, I(D2) = 0.



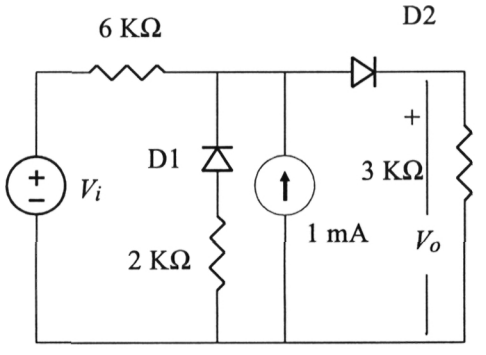
(1)



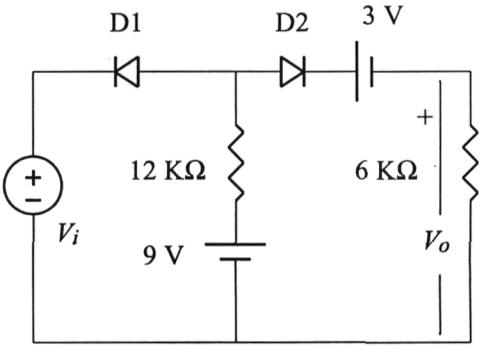
(2)

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

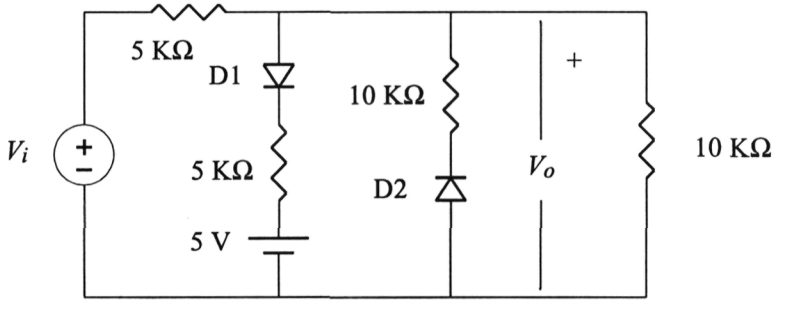
15.- Calcula la característica de transferencia en los siguientes circuitos, considerando el modelo idealizado para cada diodo.



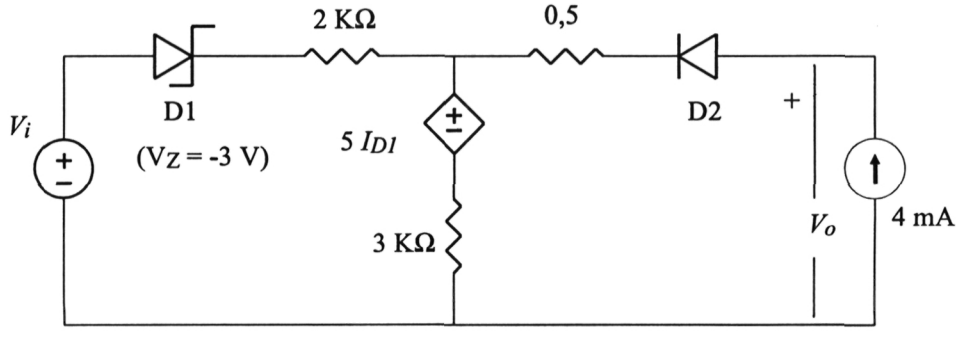
(1)



(2)



(3)

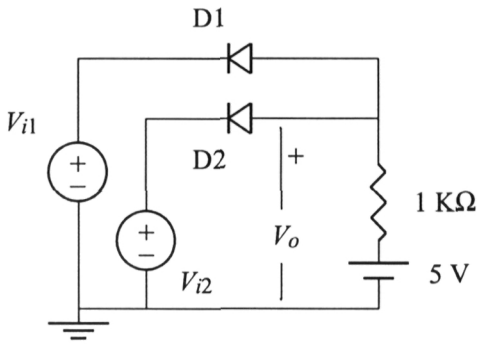


(4)

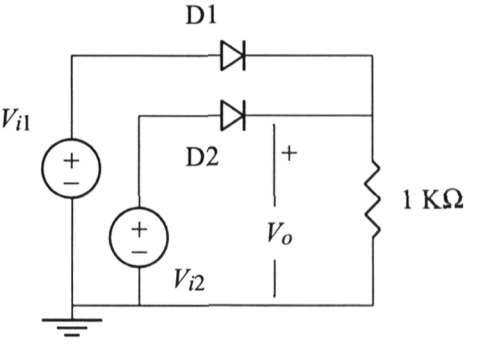
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

(*Soluciones:* **(1)** $\forall\ V_i \leq -6 \Rightarrow V_o = 0$, $V_i \geq -6 \Rightarrow V_o = 2 + V_i/3$; **(2)** $\forall\ V_i \leq 3 \Rightarrow V_o = 0$, $\forall\ 3 \leq V_i \leq 5 \Rightarrow V_o = V_i - 3$, $\forall\ V_i \geq 5 \Rightarrow V_o = 2$; **(3)** $\forall\ V_i \leq 0 \Rightarrow V_o = V_i/2$, $\forall\ 0 \leq V_i \leq 7{,}5 \Rightarrow V_o = 2\ V_i/3$, $\forall\ V_i \geq 7{,}5 \Rightarrow V_o = 2 + 2\ V_i/5$. **(4)** $\forall\ V_i \leq 9 \Rightarrow V_o = 0{,}8\ V_i + 6{,}8$; $\forall\ 9 \leq V_i \leq 12 \Rightarrow V_o = 14$; $\forall\ VV_i \geq 12 \Rightarrow V_o = 0{,}8\ V_i + 4{,}4$. (Todas las tensiones en voltios)).

16.- Calcula la tensión V_o en los circuitos de la figura, considerando el modelo con tensión umbral $V_{Don} = 0{,}7$ V, cuando las tensiones V_{i1} y V_{i2} toman todas las posibles combinaciones de valores 0 V y 5 V. ¿ Qué función lógica realizan los circuitos ?



(1)

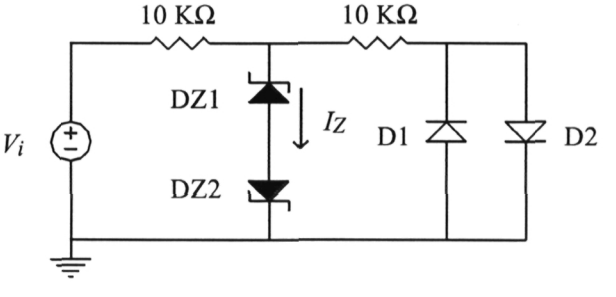


(2)

17.- Para el circuito de la figura, considerando el modelo con $V_{Don} = 0{,}7$ V para todos los diodos y $V_Z = -3$ V y $R_Z = 0$ para el Zener, contesta a las cuestiones a) y b) sin realizar ningún cálculo analítico.

a) Indica si puede darse o no cada una de las siguientes situaciones:

1.- D1 y D2 conducen simultáneamente.



Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2.- Existen valores de V_i para los que ni D1 ni D2 conducen.

3.- Para cualquier valor de V_i sólo puede conducir uno de los diodos, D1 o D2.

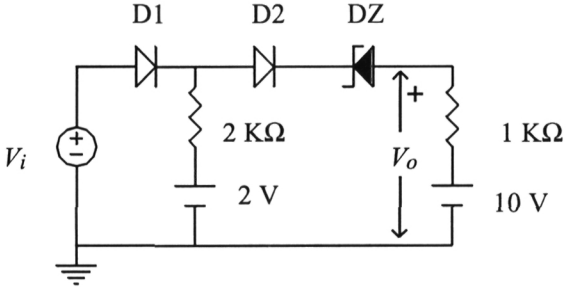
b)Indica si es verdadera o falsa cada una de las siguientes afirmaciones:

1.- I_Z es distinta de cero en todo momento.

2.- I_Z es nula en todo momento, ya que DZ1 y DZ2 están en oposición.

c) Calcula analíticamente el valor de I_Z en función de V_i.

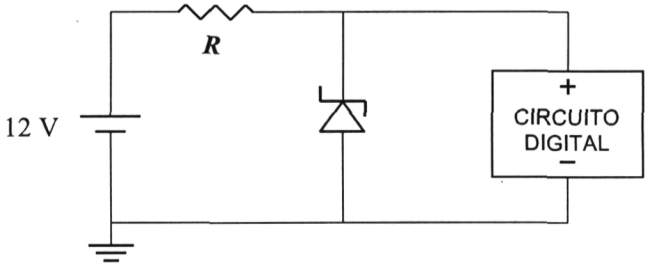
18.- Calcula la función de transferencia ($V_o = f(V_i)$) del circuito de la figura considerando el modelo idealizado de los diodos y que la tensión de ruptura del Zener es de V_Z = -6 V.



CASOS PRÁCTICOS.

1.- CIRCUITO ESTABILIZADOR DE TENSIÓN.

Consideramos un circuito digital cuya alimentación es de 5 voltios y cuyo consumo está comprendido entre un mínimo de 300 mW y un máximo de 500 mW. Se quiere hacer funcionar en un automóvil cuya batería da una tensión de 12 voltios, para lo que se dispone de un diodo Zener con V_Z = -5 V e $|i_{Dmax}|$ = 500 mA. Si el circuito utilizado para la alimentación es el siguiente, ¿ qué valores de R serán válidos para realizar correctamente esta aplicación ?.



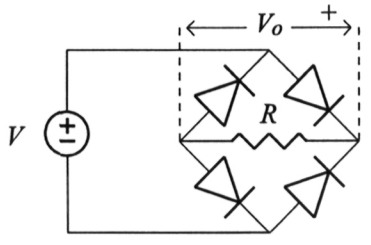
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

2.- RECTIFICADOR DE ONDA COMPLETA.

El circuito de la figura forma parte de un sistema para obtener una tensión continua a partir de una tensión alterna (sinusoidal) como la que provee la red eléctrica. Si todos los diodos tienen V_{Don} = 0,7 V y R_D = 0 y la tensión V tiene el siguiente valor:

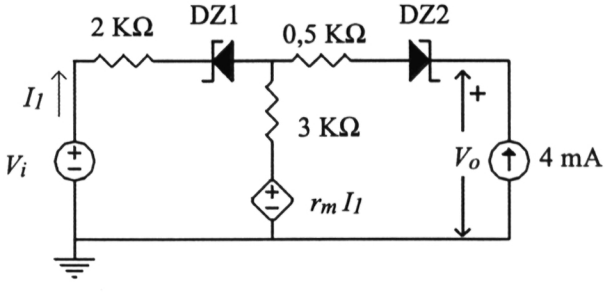
$V = 12\ sen\ (\omega t)$ ($\omega = 314$ rad/s) (t indica el tiempo en segundos)

Calcula el valor de la tensión V_o y representa gráficamente las señales eléctricas V y V_o.



EJERCICIOS AVANZADOS.

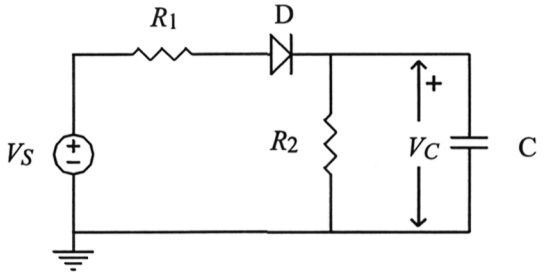
1.- Calcula la función de transferencia ($V_o = f(V_i)$) del circuito de la figura considerando el modelo idealizado de los diodos. (r_m = 5 KΩ ; V_Z = -3 V)



2.- En el circuito de la figura se considera que el diodo tiene una V_{Don} = 0,7 V y que en el instante t = 0, la fuente de tensión V_S tiene un valor de **V** voltios y el condensador está descargado.

a) Indica la expresión analítica de la tensión del condensador en función del tiempo.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



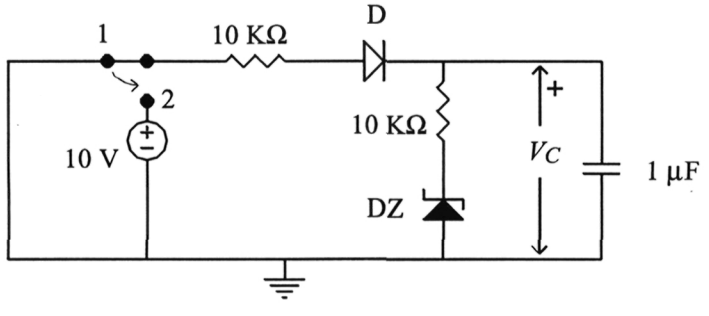
b) Calcula el tiempo necesario para que el condensador alcance la tensión V_C = **V**/2. ¿ Qué condición debe cumplir **V** para que la tensión V_C pueda alcanzar ese valor ?.

c) En el instante de tiempo anterior, la fuente de tensión cambia a -**V** voltios. Determina la expresión analítica de la tensión del condensador a partir de ese instante.

3.- En el circuito de la figura, inicialmente el condensador está descargado ($V_C = 0$) y el interruptor se encuentra en la posición 1. En el instante $t = 0$ el interruptor se coloca en la posición 2 y se mantiene ahí hasta que transcurren 8 mseg., momento en que se vuelve a colocar en 1, donde permanece ya por tiempo indefinido. Los datos de los diodos son:

V_{Don} (D, DZ) = 0,7 V ; V_Z = -3 V

Calcula la expresión analítica de la tensión V_C en función del tiempo y realiza la representación gráfica de la evolución en el tiempo de dicha tensión. ¿ Cuál será el valor final de la tensión V_C ?

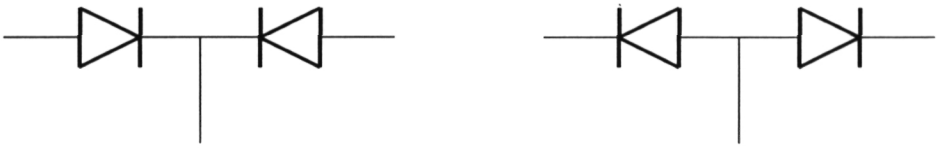


Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

A.4. TRANSISTOR BIPOLAR

1.- ¿ Es simétrica la estructura física de un BJT ?, es decir, ¿ son equivalentes los terminales de colector y emisor ?. ¿ Por qué ?.

2.- Un transistor BJT está formado por dos uniones P-N. ¿ Puede realizarse un BJT conectando dos diodos de alguna de las dos formas mostradas en la figura ?. ¿ Por qué ?.



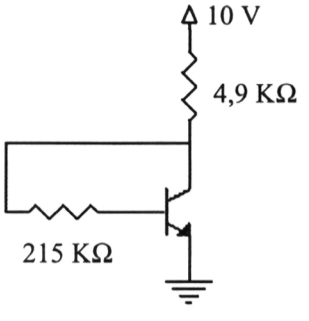
(a) **(b)**

3.- ¿ Qué variables son necesarias para determinar el estado de un diodo, una resistencia o una fuente de tensión ?. Desde el punto de vista de considerar al transistor como un elemento de circuito, ¿ cuál es la diferencia más evidente entre él y el resto de los elementos estudiados (diodos, resistencias, condensador, fuentes, etc.. ?. ¿ Cómo influye esto en el número de variables necesarias para determinar el estado de un transistor y cuáles son estas variables ?

4.- Dibuja y describe el modelo linealizado del BJT NPN en zona activa inversa.

5.- En la evolución tecnológica de las familias bipolares, explica razonadamente cuáles fueron las mejoras introducidas por la DTL sobre la RTL y por la TTL sobre la DTL.

6.- Calcula el punto de trabajo y la potencia consumida por el siguiente circuito.

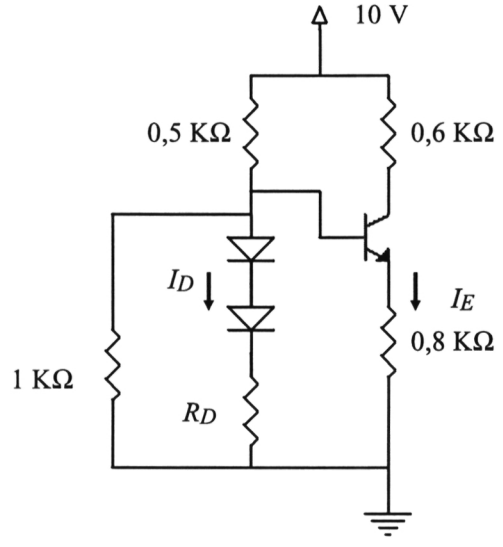


$\beta = 75$
$V_{ON} = 0{,}7$ V
$V_{SAT} = 0{,}2$ V

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

(*Solución:* I_B = 0,016 mA; I_C = 1,187 mA; V_{BE} = 0,7 V; V_{CE} = 4,10 V; P = 12,03 mW)

7.- En el circuito de la figura, calcula el valor de la resistencia R_D para que se verifique que $I_D = I_E$. Calcula el punto de trabajo del transistor y la potencia consumida por el circuito de la figura.



V_{ON} = 0,7 V

V_{SAT} = 0,2 V

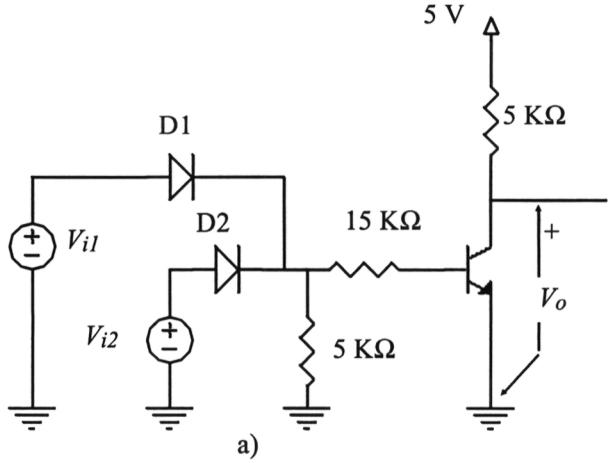
β = 200

V_{Don} = 0,7 V

(*Solución:* R_D = 0,67 KΩ, I_B = 0,026 mA, I_C = 5,26 mA, V_{BE} = 0,7 V, V_{CE} = 2,63 V, P = 154 mW)

8.- En los siguiente circuitos, calcula V_o para las distintas combinaciones de V_{i1} y V_{i2}, que pueden valer 0 V y 5 V. ¿ Qué función lógica realizan ?.

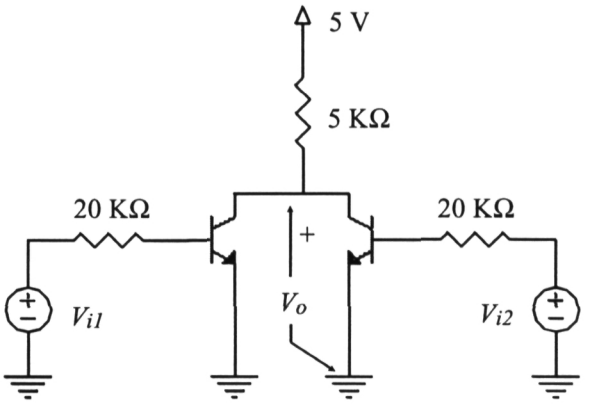
β = 100
V_{ON} = 0,7 V
V_{SAT} = 0,2 V



a)

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

$\beta = 100$
$V_{ON} = 0{,}7$ V
$V_{SAT} = 0{,}2$ V

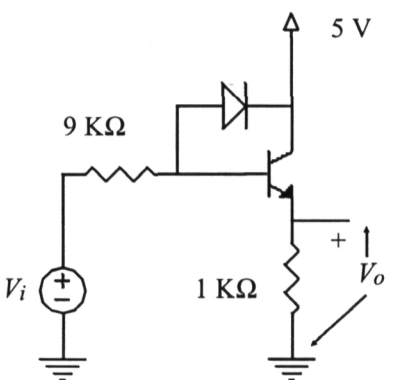


b)

(*Solución:* a) y b) NOR).

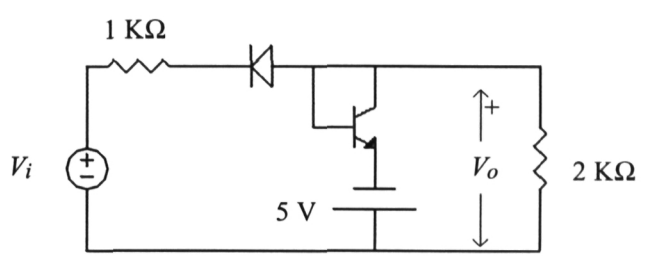
9.- Obtén la característica de transferencia de los siguientes circuitos.

$V_{ON} = 0{,}7$ V
$V_{SAT} = 0{,}2$ V
$\beta = 100$
$V_{Don} = 0{,}4$ V



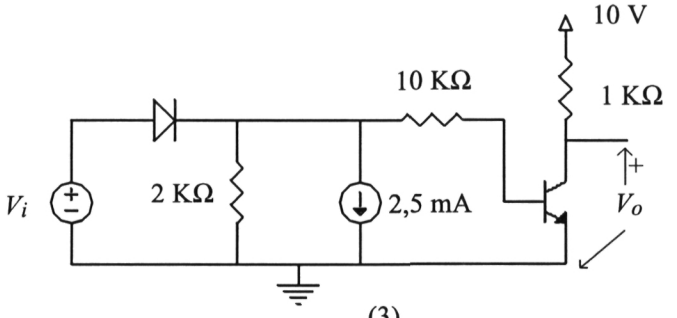
(1)

$V_{ON} = 0{,}7$ V
$V_{SAT} = 0{,}2$ V
$\beta = 100$
$V_{Don} = 0$ V



(2)

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



(3)

$V_{ON} = 0{,}7$ V

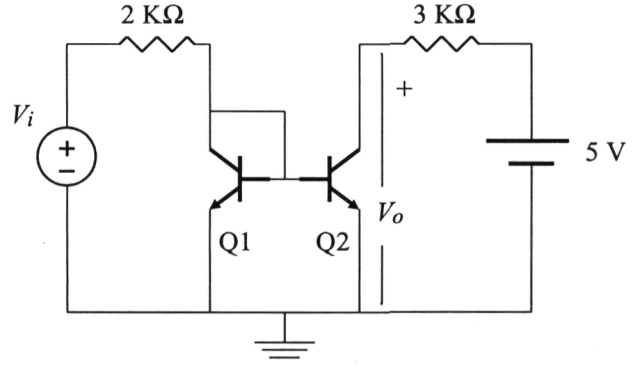
$V_{SAT} = 0{,}2$ V

$\beta = 50$

$V_{Don} = 0{,}7$ V

(*Soluciones:* **(1)** $\forall\ V_i \leq 0{,}7$ V $\Rightarrow V_o = 0$ V; $\forall\ 0{,}7$ V $\leq V_i \leq 5{,}81$ V $\Rightarrow V_o = 0{,}92\ V_i - 0{,}64$; $\forall\ V_i \geq 5{,}81$ V $\Rightarrow V_o = 4{,}7$ V ; **(2)** $\forall\ V_i \leq -6{,}45$ V $\Rightarrow V_o = 0{,}67\ V_i$; $\forall\ -6{,}45$ V $\leq V_i \leq -4{,}3$ V $\Rightarrow V_o = -4{,}3$ V ; $\forall\ V_i \geq -4{,}3$ V $\Rightarrow V_o = -4{,}3$ V ; **(3)** $\forall\ V_i \leq -4{,}3$ V $\Rightarrow V_o = 10$ V ; $\forall\ -4{,}3$ V $\leq V_i \leq 1{,}4$ V $\Rightarrow V_o = 10$ V ; $\forall\ 1{,}4$ V $\leq V_i \leq 3{,}36$ V $\Rightarrow V_o = 17 - 5\ V_i$; $\forall\ V_i \geq 3{,}36$ V $\Rightarrow V_o = 0{,}2$ V

10.- Teniendo en cuenta que los transistores Q1 y Q2 son **idénticos** (Si están en zona activa y $V_{BE1} = V_{BE2}$ entonces $I_{B1} = I_{B2}$), obtén la característica de transferencia del circuito de la figura y dibuja su representación gráfica.



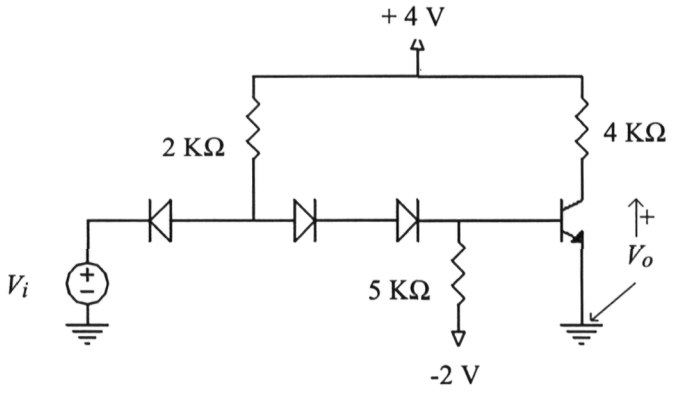
$\beta = 100$

$V_{ON} = 0{,}7$ V

$V_{SAT} = 0{,}2$ V

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

11.- Calcula el consumo para entrada alta (4 V) y baja (0,1 V) y el FAN-OUT de la puerta de la figura.



$V_{ON} = 0{,}7$ V

$V_{SAT} = 0{,}1$ V

$\beta = 30$

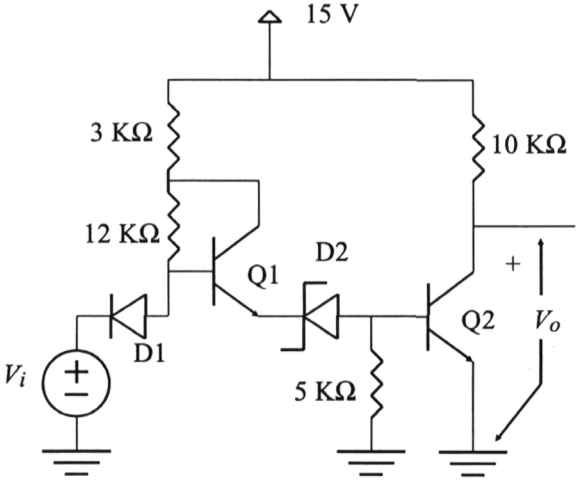
$V_{Don} = 0{,}7$ V

(*Solución:* P (4) = 8,78 mW ; P (0,1) = 6,96 mW ; FAN-OUT = 6) .

12.- a) Obtén la característica de transferencia de la puerta de la figura (familia HTL) y los márgenes de ruido.

b) Calcula la potencia consumida por el circuito para V_i = 0,2 V y para V_i = 15 V

c) Calcula el FAN-OUT de la puerta.



$V_{ON} = 0{,}7$ V

$V_{SAT} = 0{,}2$ V

$\beta = 50$

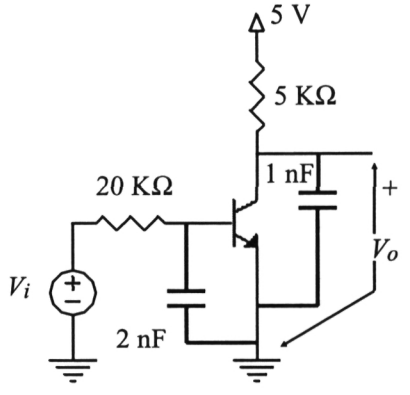
V_{Don} (D1,D2) = 0,7 V

V_Z(D2) = - 7 V

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

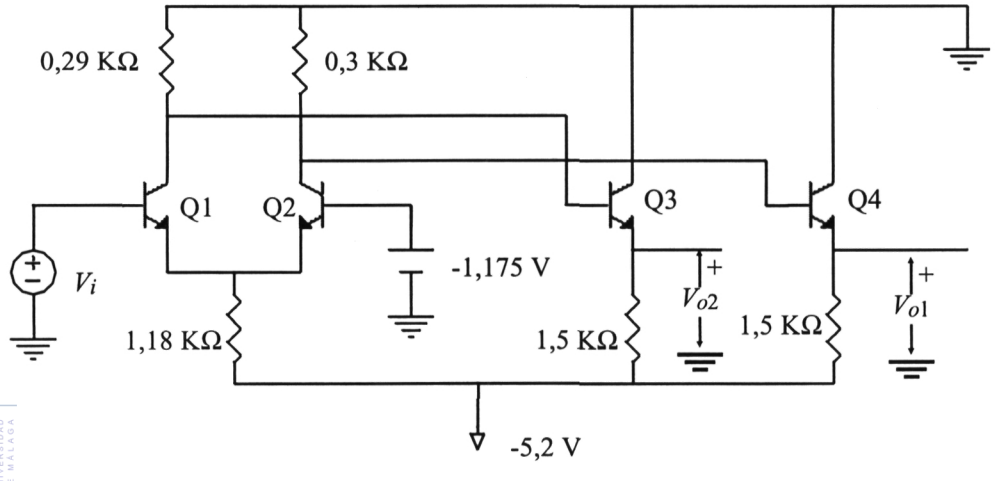
EJERCICIOS AVANZADOS.

1.- El circuito de la figura es un modelo dinámico del inversor RTL, donde la capacidad parásita de salida del transistor está modelada por el condensador de 1 nF y la capacidad de entrada por el condensador de 2 nF. Calcula los tiempos de subida, bajada y propagación de dicha puerta, suponiendo que los tiempos de subida y bajada de las señal de entrada V_i son nulos.



$\beta = 100$
$V_{ON} = 0{,}7$ V
$V_{SAT} = 0{,}2$ V

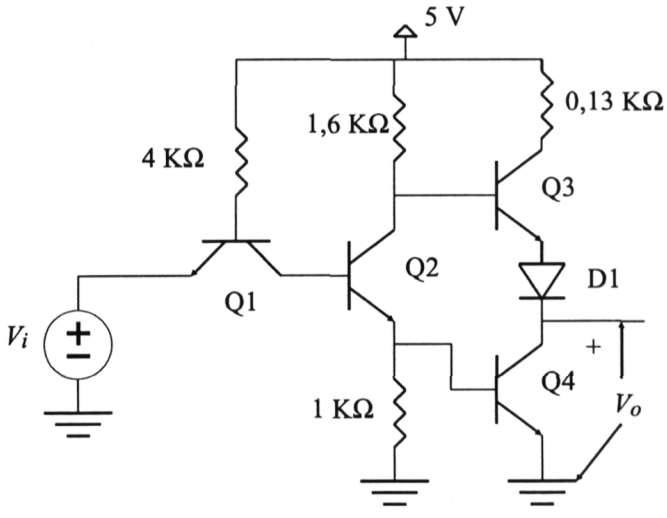
2.- Analiza el funcionamiento de la puerta perteneciente a la familia ECL (Emmiter Coupled Logic) de la figura, calculando la característica de transferencia de las salidas V_{o1} y V_{o2}. ¿ Cuáles son los valores de tensión asociados al '0' y '1' lógicos ?. ¿ Qué funciones lógicas se obtienen en dichas salidas ?. ¿ Qué modificación introducirías en la puerta para obtener las funciones OR y NOR de dos entradas ?. ($\beta = 100$; $V_{ON} = 0{,}75$ V; $V_{SAT} = 0{,}2$ V)



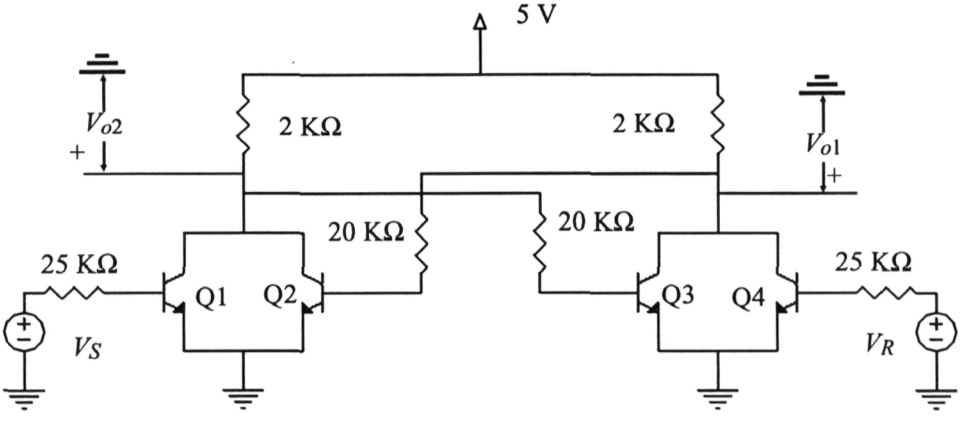
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

3.- Obtén la característica de transferencia del inversor TTL mostrado en la figura teniendo en cuenta que el transistor Q1 puede operar en zona activa inversa.

$\beta = 100$; $\beta_R = 0{,}5$
$V_{ON} = 0{,}7$ V
$V_{SAT} = 0{,}2$ V
$V_{Don} = 0{,}7$ V



4.- Obtén la tabla de verdad de las salidas V_{o1} y V_{o2} del circuito de la figura. ¿ De qué tipo de circuito digital se trata ?.



$\beta = 100$
$V_{ON} = 0{,}75$ V
$V_{SAT} = 0{,}2$ V

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

CASO PRÁCTICO.

Se pretende realizar un transmisor de datos digitales mediante radiación infrarroja. Para ello se dispone de un diodo LED infrarrojo que debe operar en unas condiciones de intensidad mínima de 100 mA, con una tensión umbral de 1,7 V. La salida del circuito digital que genera las señales que hay que transmitir sólo proporciona una intensidad máxima de salida de 5 mA a una tensión de 5 V. La tensión de alimentación disponible es de 5 V.

Diseña un circuito con un transistor bipolar, con V_{ON} = 0,7 V y V_{SAT} = 0,2 V, que permita realizar la transmisión, calculando el valor mínimo de β y los valores extremos de las resistencias necesarias.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

A.5. TRANSISTOR MOSFET

1.- Explica el proceso de formación de un canal inducido en una estructura MOS. ¿ Por qué no debe estar fuertemente dopada la zona del semiconductor ?

2.- ¿ Cómo debe conectarse el sustrato de un MOSFET de canal N (MOSn) ? ¿ Y el de uno de canal P (MOSp) ? Razona ambas respuestas.

3.- ¿ Cuál es la condición necesaria para que pueda conducir un MOSFET de acumulación ?

4.- ¿ Cuando se produce y en qué consiste el fenómeno del estrangulamiento del canal en un MOSFET ? ¿ Qué consecuencias tiene este fenómeno en la intensidad que circula por el canal ?

5.- Indica las magnitudes que son necesarias para caracterizar el estado de un MOSFET. ¿ Qué diferencia existe en este aspecto entre el MOSFET y el BJT y en qué está basada esta diferencia ?

6.- Si el MOSFET es un dispositivo totalmente simétrico respecto de sus terminales de fuente y drenador, ¿ cómo se distingue en un circuito el terminal que funciona como fuente y el que funciona como drenador ?

7.- Describe y dibuja el modelo de un MOSp de acumulación en cada una de sus zonas de funcionamiento.

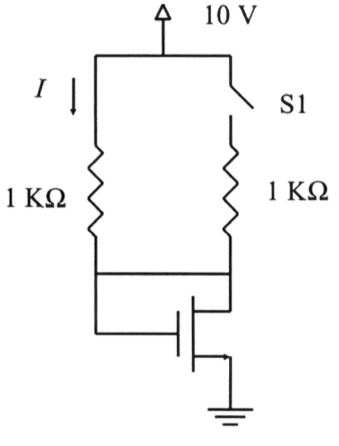
8.- ¿ Cuál es la principal diferencia en el funcionamiento de un MOSFET de acumulación y uno de deplexión ?

9.- De las propiedades del inversor CMOS, ¿ cuál destacarías especialmente ?. Razona la respuesta.

10.- En vista de cómo se construyen las funciones lógicas con las familias NMOS y CMOS, indica razonadamente cuál de ellas deberá tener mayor capacidad de integración.

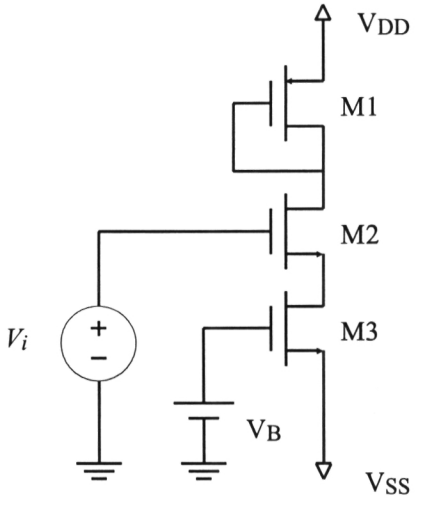
11.- En el circuito de la figura, el valor de la intensidad I es de 4 mA cuando el interruptor S1 está abierto y de 3 mA cuando está cerrado. Calcula V_T y K_N.

(*Solución:* $V_T = 1{,}55$ V ; $K_N = 0{,}404$ mA / V^2)



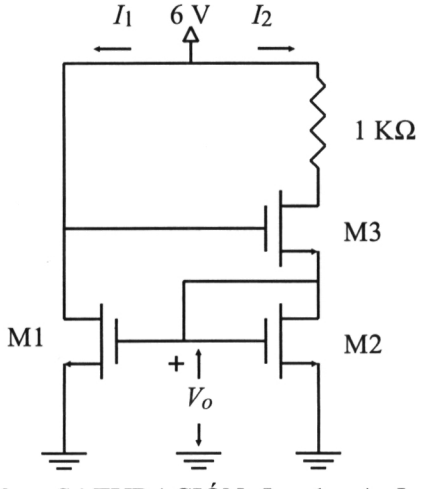
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

12.- Indica para qué rango de valores de V_i estarán todos los transistores en saturación.
Datos: K (M1) = K (M2) = K (M3) = K_o ; V_T (M1) = V_T (M2) = V_T (M3) = V_T ; $V_B - V_{SS} > V_T$.



(*Solución:* $V_i \leq V_{DD} + V_{SS} + V_T - V_B$; $V_i \geq 2\ V_B - V_{SS} - V_T$)

13.- En el circuito de la figura, indica la zona de trabajo de los transistores y los valores de I_1, I_2 y V_o.
Datos: K (M1, M2, M3) = 2 mA / V^2; V_T (M1, M2, M3) = 2 V.



(*Solución:* M1, M2 y M3 en SATURACIÓN, I_1 = 1 mA, I_2 = 1 mA, V_o = 3 V)

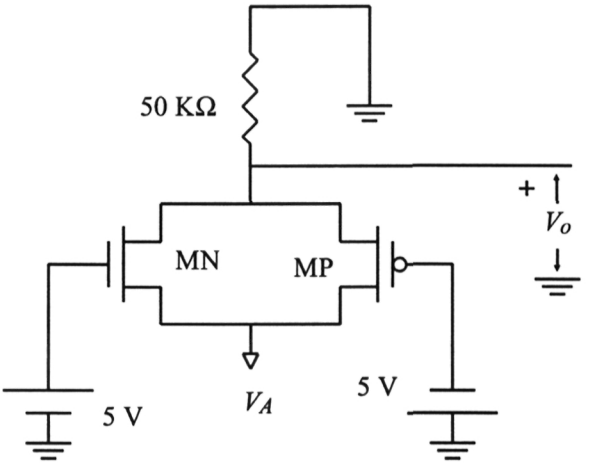
Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

14.- En el circuito de la figura, calcula el valor de la tensión V_o y el estado de los transistores en los siguientes casos:

a) $V_A = -5$ V

b) $V_A = +5$ V

Datos: $V_{TN} = V_{TP} = 2$ V ; $K_N = K_P = 0{,}1$ mA/V^2

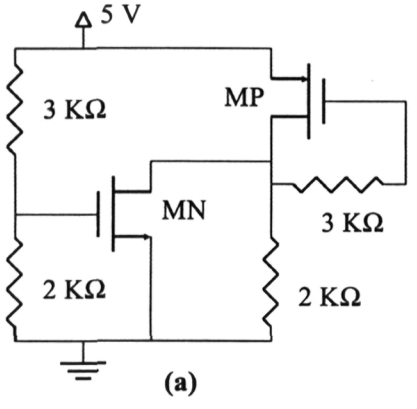


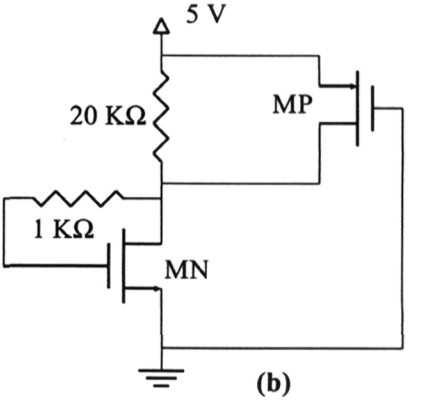
(*Solución:* a) $V_o = -4{,}877$ V ; MN en ohmica, MP en corte ; b) $V_o = 4{,}877$ V ; MN en corte, MP en ohmica)

15.- Calcula el punto de trabajo de los transistores MN y MP en los circuitos (a) y (b).

(a) $K_N = 0{,}4$ mA/V^2 ; $V_{TN} = 1$ V ; $K_P = 0{,}4$ mA/V^2 ; $V_{TP} = 2$ V

(b) $K_N = 0{,}7$ mA/V^2 ; $V_{TN} = 1$ V ; $K_P = 0{,}1$ mA/V^2 ; $V_{TP} = 3$ V



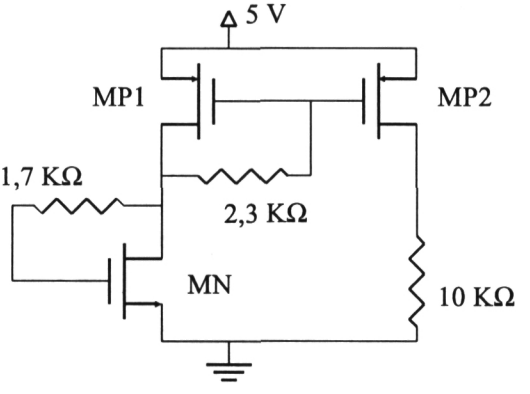


Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

(*Solución:* **(a)**.- MN: V_{GS} = 2 V, V_{DS} = 1,08 V, I_D = 0,2 mA; MP: V_{SG} = 3,92 V, V_{SD} = 3,92 V, I_S = 0,74 mA. **(b)**.- MN: V_{GS} = 2 V, V_{DS} = 2 V, I_D = 0,35 mA; MP: V_{SG} = 5 V, V_{SD} = 3 V, I_S = 0,2 mA.)

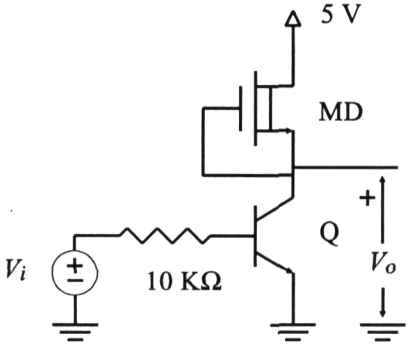
16.- Calcula el punto de trabajo de los transistores MN, MP1 y MP2 en el circuito de la figura.

$K_N = 0{,}9$ mA/V^2 ; $V_{TN} = 1$ V ; $K_P = 0{,}4$ mA/V^2 ; $V_{TP} = 2$ V

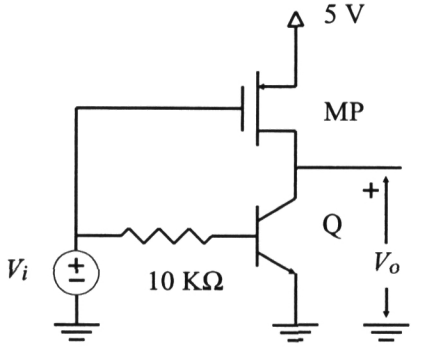


(*Solución:* MN: V_{GS} = 1,8 V, V_{DS} = 1,8 V, I_D = 0,288 mA ; MP1: V_{SG1} = 3,2 V, V_{SD1} = 3,2 V, I_{S1} = 0,288 mA ; MP2: V_{SG2} = 3,2 V, V_{SD1} = 2,12 V, I_{S2} = 0,288 mA)

17.- En los circuitos (a) y (b), obtén la función lógica que realizan, la característica de transferencia y la potencia consumida para las entradas: a) V_i = 0 V ; b) V_i = 5 V. Datos: $K_N = 0{,}5$ mA/V^2 , V_P = -2 V ; $K_P = 0{,}5$ mA/V^2 , V_T = 1 V; $\beta = 50$, $V_{ON} = 0{,}7$ V $V_{SAT} = 0{,}2$ V



(a)

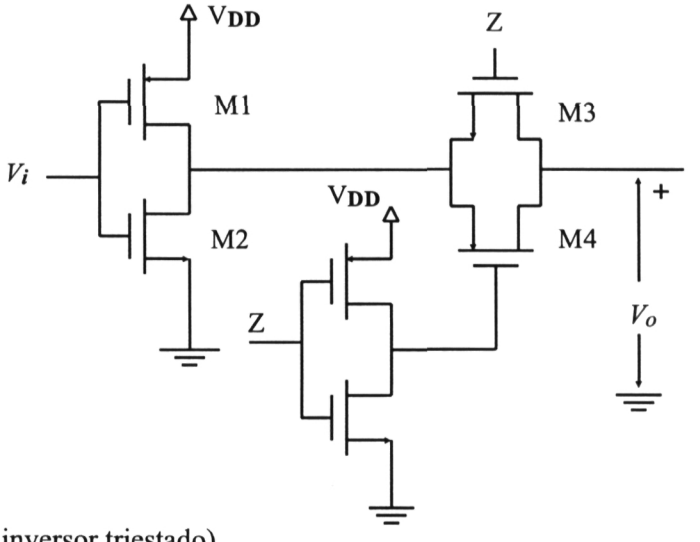


(b)

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

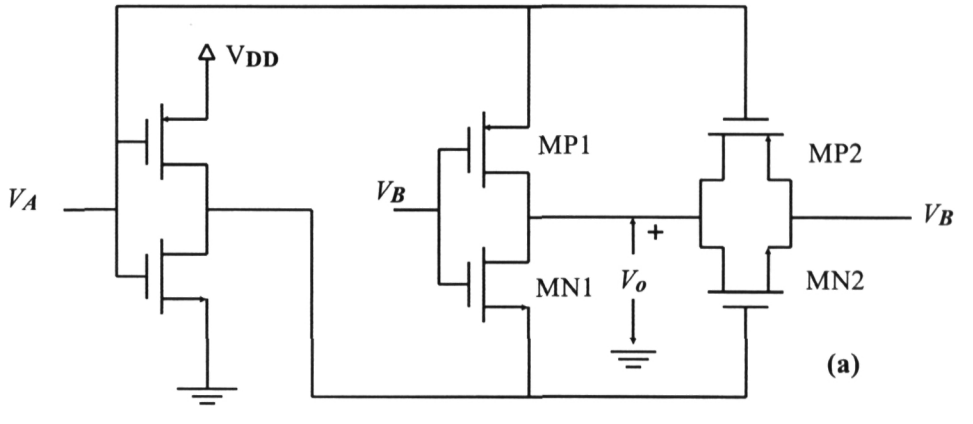
(*Solución:* **(a)** $\forall\ V_i \leq 0{,}7$ V $\Rightarrow V_o = 5$V; $\forall\ 0{,}7$V $\leq V_i \leq 0{,}9$ V $\Rightarrow V_o = 3 + \sqrt{18 - 20V_i}$; $V_i = 0{,}9$ V $\forall\ 0{,}2$ V $\leq V_o \leq 3$ V ; $\forall\ V_i \geq 0{,}9$ V $\Rightarrow V_o = 0{,}2$ V; a) $P = 0$ mW; b) $P = 7{,}15$ mW. **(b)** $\forall\ V_i \leq 0{,}7$ V $\Rightarrow V_o = 5$ V; $\forall\ 0{,}7$ V $\leq V_i \leq 1{,}12$ V $\Rightarrow V_o = 1 + V_i + \sqrt{V_i^2 - 28V_i + 30}$; $V_i = 1{,}12$ V $\forall\ 0{,}2$ V $\leq V_o \leq 2{,}12$ V ; $\forall\ V_i \geq 1{,}12$ V $\Rightarrow V_o = 0{,}2$ V; a) $P = 0$ mW; b) $P = 2{,}15$ mW.

18.- Realiza una tabla con los estados de los transistores M1, M2, M3 y M4 y el valor de V_o para todas las combinaciones de las entradas V_i y Z. ¿ Qué función lógica realiza el circuito ?.

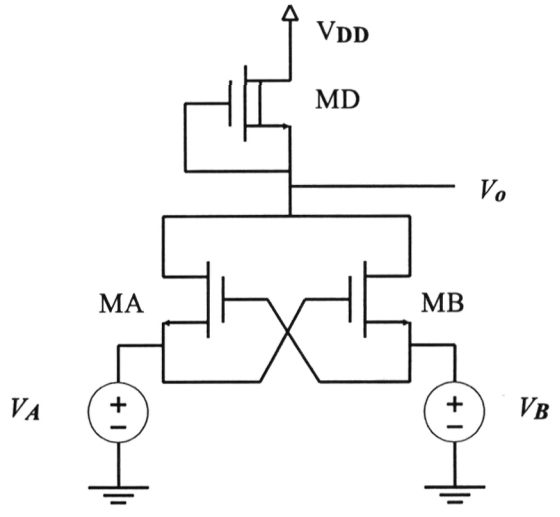


(*Solución:* inversor triestado)

19.- Analiza y obtén razonadamente la función lógica que realizan los circuitos (a) y (b) de la figura, indicando para cada combinación de entrada el estado de los transistores MP1, MN1, MP2 y MN2.



Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA



(b)

(*Solución:* **(a)** función EXOR; **(b)** función EXNOR).

20.- Implementa con la familia CMOS las siguientes funciones buscando la optimización tanto del número de transistores como de niveles de computación. (Variables de entrada: *A, B, C* y *D*).

a) $A\,B\,C\,D\,\overline{E}$

b) $(A\,B+C\,D)\,\overline{E}$

c) $A+\overline{B\,C}+D$

d) $A\,B+\overline{C\,D}\,E$

e) $A\,B\,C+\overline{A}\,C$

f) $\overline{A}\,B+A\,\overline{C}\,\overline{D}$

g) $\overline{A}\,\overline{B}+A\,C+\overline{A}\,B\,\overline{D}$

h) $A\,\overline{C}+A\,\overline{B}\,C$

i) $\overline{C}\,D+B\,C\,D+A\,\overline{B}\,D$

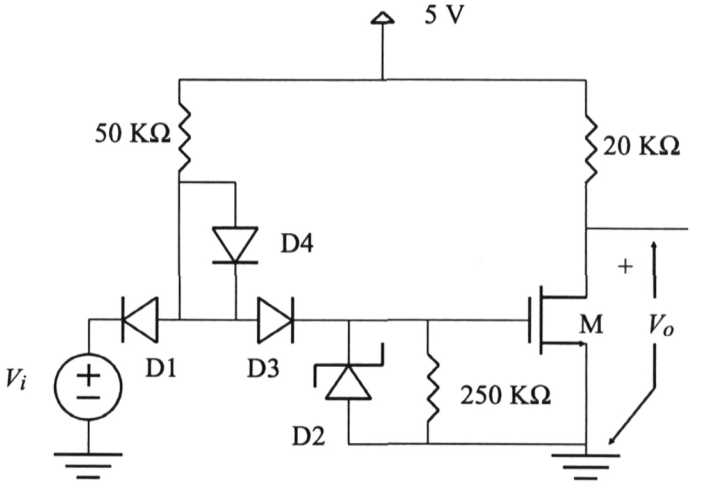
21.- Resuelve el circuito de la figura indicando el estado de todos los dispositivos, el valor de la tensión Vo y la potencia consumida para los dos casos siguientes.

a) $V_i = 0$ V

b) $V_i = 5$ V

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

c)Calcula el FAN-OUT de la puerta.
$K_N = 0{,}5$ mA/V^2 ; $V_T = 1$ V; $V_{Don} = 0{,}7$ V ; V_Z(D2) = - 2,5 V



(*Solución:* a) D1 ON, D2 OFF, D3 OFF, D4 OFF, M CORTE, $V_o = 5$ V, P = 0,43 mW; b) D1 OFF, D2 INV, D3 ON, D4 ON, M OHMICA, $V_o = 0{,}35$ V, P = 1,272 mW ;
c) FAN-OUT = 7)

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

A.6. MEMORIAS

1.-Realiza una clasificación de las memorias integradas.

2.- Indica las características fundamentales de una memoria ROM y realiza un diagrama de bloques de su estructura.

3.- Dibuja un decodificador de matriz ROM NOR NMOS de 8 líneas de selección.

4.- Construye una matriz de memoria ROM NOR NMOS de 4 líneas de direcciones y 4 líneas de salida que contenga la siguiente información.

Direcciones				Salidas			
S0	*S1*	*S2*	*S3*	*Y0*	*Y1*	*Y2*	*Y3*
1	0	0	0	1	0	0	1
0	1	0	0	0	0	1	0
0	0	1	0	1	1	0	0
0	0	0	1	1	0	1	0

5.- Construye una matriz de memoria ROM NMOS tipo NAND de 4 líneas de direcciones y 4 líneas de salida que contenga la siguiente información.

Direcciones				Salidas			
S0	*S1*	*S2*	*S3*	*Y0*	*Y1*	*Y2*	*Y3*
0	1	1	1	1	0	0	1
1	0	1	1	0	0	1	0
1	1	0	1	1	1	0	0
1	1	1	0	1	0	1	0

6.- Indica la estructura física de un transistor con puerta flotante y explica el proceso de programación y borrado de una memoria EPROM.

7.- Construye una matriz de memoria EPROM de 4 líneas de direcciones y 4 líneas de salida que contenga la información que se muestra en la tabla adjunta. Para ello, encierra en un círculo los transistores cuya puerta flotante deba contener cargas negativas.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

Direcciones				Salidas			
S0	*S1*	*S2*	*S3*	*Y0*	*Y1*	*Y2*	*Y3*
1	0	0	0	0	0	0	1
0	1	0	0	0	1	0	0
0	0	1	0	1	1	0	1
0	0	0	1	1	0	1	0

8.- Indica las características fundamentales de una memoria RAM y realiza un diagrama de bloques de su estructura.

9.- Dibuja una célula básica de una memoria RAM estática y otra de una RAM dinámica y explica las diferencias funcionales fundamentales.

10.- Describe los procesos de lectura y escritura en una RAM estática.

11.- Describe los procesos de lectura, escritura y refresco en una RAM dinámica.

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

BIBLIOGRAFÍA RECOMENDADA

- Malik; *Circuitos Electrónicos: Análisis, simulación y diseño*. Ed. Prentice Hall
- Sedra, Smith; *Circuitos Electrónicos y amplificación de señales*. Ed Interamericana.
- Boylestad; *Electrónica: Teoría de circuitos*. Ed. Prentice Hall
- Malvino; *Principios de Electrónica*. Ed. McGraw Hill
- Millman; *Microelectrónica*. Ed. Hispano Europea
- Savant, Roden; *Diseño Electrónico*. Ed. Addison Wesley

Nota: Las posibles erratas que sean detectadas en este manual se expondrán corregidas en la página de internet: http://www.el.uma.es/FeErratas/erratas.pdf

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

UNIVERSIDAD DE MÁLAGA
Publicaciones y Divulgación Científica

El presente manual está orientado a proporcionar a los alumnos de los primeros cursos de las Escuelas de Ingeniería Informática unos conocimientos sobre los Dispositivos Electrónicos adaptados, tanto en contenidos como en profundidad, a las necesidades de su especialidad.

En esta línea, se han incluido únicamente los contenidos teóricos que consideramos imprescindibles, centrados en una descripción mínima de la estructura física y del funcionamiento a nivel microscópico de los dispositivos de estado sólido, junto con los modelos que permiten analizar el comportamiento de estos dispositivos cuando forman parte de un circuito electrónico.

Se le ha dado especial importancia a la descripción de los métodos de análisis de circuitos electrónicos, fundamentalmente el análisis del punto de operación y de la característica de transferencia estática, junto con una introducción al análisis transitorio. En todo momento se ha tratado de sistematizar al máximo todo el proceso de análisis de circuitos, para evitar en lo posible que la solución de un problema o la comprensión del funcionamiento de un determinado circuito dependan de la aparición de una "idea feliz", hecho que no suele ser muy frecuente en el alumno inexperto.

Como pieza clave para la comprensión de estos métodos de análisis, el grueso de la mayoría de los capítulos está formado por una gran cantidad de **Ejercicios Resueltos**, en los que se muestra paso a paso el desarrollo de dichos métodos en la solución de los problemas. El complemento final a los contenidos del manual lo forman los **Cuestionarios de Trabajo**, que más que una lista de ejercicios propuestos tratan de ser una guía que oriente el estudio del alumno, proponiéndole cuestiones y problemas de complejidad creciente que sirvan para que él mismo calibre el grado de comprensión que va adquiriendo en cada capítulo.

A modo de resumen, podemos concretar que el objetivo principal de este manual es proporcionar al alumno unas herramientas que le permitan analizar y comprender el funcionamiento básico de los dispositivos que componen la práctica totalidad de los Sistemas Digitales en la actualidad.

ISBN 84-7496-853-4
9 788474 968538

Publicaciones y Divulgación Científica
UNIVERSIDAD DE MÁLAGA

UNIVERSITAS MALACITANA

Servicio de Publicaciones
Universidad de Málaga