

Universidad de Málaga
Escuela Técnica Superior de Ingeniería de Telecomunicación



TESIS DOCTORAL

Circuitos de Radiofrecuencia de Banda Ultra-Ancha
en Tecnología Planar Integrada: Aplicación a
Receptores de Seis Puertos

Autor:

ÁLVARO MOSCOSO MÁRTIR

Directores:

ÍÑIGO MOLINA FERNÁNDEZ
ALEJANDRO ORTEGA MOÑUX



SPICUM
servicio de publicaciones

AUTOR: Álvaro Moscoso Mártir

EDITA: Servicio de Publicaciones de la Universidad de Málaga



Esta obra está sujeta a una licencia Creative Commons:
Reconocimiento - No comercial - SinObraDerivada (cc-by-nc-nd):

[Http://creativecommons.org/licenses/by-nc-nd/3.0/es](http://creativecommons.org/licenses/by-nc-nd/3.0/es)

Cualquier parte de esta obra se puede reproducir sin autorización pero con el reconocimiento y atribución de los autores.

No se puede hacer uso comercial de la obra y no se puede alterar, transformar o hacer obras derivadas.

Esta Tesis Doctoral está depositada en el Repositorio Institucional de la Universidad de Málaga (RIUMA): riuma.uma.es



Dr. D. Íñigo Molina Fernández y **Dr. D. Alejandro Ortega Moñux**, profesores doctores del Departamento de Ingeniería de Comunicaciones de la Universidad de Málaga

CERTIFICAN:

Que D. Álvaro Moscoso Mártir, Ingeniero de Telecomunicación, ha realizado en el Departamento de Ingeniería de Comunicaciones de la Universidad de Málaga bajo su dirección, el trabajo de investigación correspondiente a su TESIS DOCTORAL titulada:

Circuitos de Radiofrecuencia de Banda Ultra-Ancha en Tecnología Planar Integrada: Aplicación a Receptores de Seis Puertos

En dicho trabajo se han expuesto diversas aportaciones originales como la realización de un minucioso estudio teórico del demodulador I/Q de seis puertos que ha permitido comprender cómo le afectan las imperfecciones de sus elementos y establecer una serie de figuras de mérito que faciliten el proceso de diseño. Además, se han expuesto diversas técnicas que permiten el diseño tanto de acopladores direccionales como de desfasadores de altas prestaciones, cuyos resultados suponen un paso adelante en el diseño de estos circuitos. Estos circuitos han sido usados en esta Tesis para diseñar diferentes arquitecturas de seis puertos capaces de cubrir la banda UWB (3.1 a 10.6 GHz) y cuyas prestaciones en cuanto al desbalanceo en módulo y fase son estado de la técnica. Finalmente, se ha implementado y evaluado un demodulador I/Q de seis puertos analógico de altas prestaciones capaz de operar en la banda de 3.1 a 10.6 GHz sin necesidad de técnicas de calibración. Los resultados expuestos han dado lugar a publicaciones en revistas y aportaciones en congresos internacionales.

Por todo ello, consideran que esta Tesis es apta para su presentación al tribunal que ha de juzgarla. Y para que conste a efectos de lo establecido en el Real Decreto 1393/2007, regulador de los Estudios de Tercer Ciclo-Doctorado, AUTORIZAN la presentación de esta Tesis en la Universidad de Málaga.

Málaga, a _____ de _____ de 2013

Fdo.: Dr. Íñigo Molina Fernández

Fdo.: Dr. Alejandro Ortega Moñux

E.T.S.I.Telecomunicación, Campus de Teatinos, 29071-MÁLAGA, Tlf.: 952131440, Fax: 952132927



SPICUM
servicio de publicaciones

UNIVERSIDAD DE MÁLAGA
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA DE TELECOMUNICACIÓN

Reunido el tribunal examinador en el día de la fecha, constituido por:

Presidente: Dr. D. _____

Secretario: Dr. D. _____

Vocales: Dr. D. _____

Dr. D. _____

Dr. D. _____

para juzgar la Tesis Doctoral titulada **Circuitos de Radiofrecuencia de Banda Ultra-Ancha en Tecnología Planar Integrada: Aplicación a Receptores de Seis Puertos** realizada por D. Alvaro Moscoso Mártir y dirigida por el Dr. D. Íñigo Molina Fernández y el Dr. D. Alejandro Ortega Moñux, acordó por

_____ otorgar la calificación de

_____ y para que conste, se extiende firmada por los componentes del tribunal la presente diligencia.

Málaga, a _____ de _____ de _____

El Presidente:

El Secretario:

Fdo.: _____

Fdo.: _____

El Vocal:

El Vocal:

El Vocal:

Fdo.: _____

Fdo.: _____

Fdo.: _____



SPICUM
servicio de publicaciones

**Circuitos de Radiofrecuencia de Banda
Ultra-Ancha en Tecnología Planar
Integrada: Aplicación a Receptores de Seis
Puertos**

Álvaro Moscoso Mártir



SPICUM
servicio de publicaciones

Esta Tesis se la dedico a Cristina
y a mis padres



SPICUM
servicio de publicaciones

Agradecimientos

Durante años he deseado y temido que llegara este momento, la escritura de los agradecimientos de mi Tesis Doctoral. Deseado porque significa que he conseguido mi objetivo tras años de sacrificios, temido porque es relativamente sencillo estar agradecido a todas las personas que te han ayudado, pero es extraordinariamente difícil encontrar las palabras adecuadas para hacerlo.

No puedo hacer otra cosa que comenzar agradeciendo a Íñigo Molina Fernández, codirector de mi Tesis, por todo lo que me ha ayudado y enseñado en estos últimos cinco años. Tu pasión y tu devoción por la investigación, tu perseverancia y el esfuerzo que has dedicado y sigues dedicando para que nuestro grupo de investigación siga adelante en condiciones de contorno a veces no del todo favorables son dignas de elogio y admiración. Va a ser muy complicado encontrar otro jefe que merezca ser llamado Jefe la mitad de lo que lo mereces tú. También quiero agradecer de una forma especial a mi otro codirector, Alejandro Ortega Moñux, el pulmón de nuestro grupo de investigación. Trabajador incansable y mejor persona que siempre está dispuesto a ayudar y a compartir sus conocimientos con aquel que lo necesita. Por otro lado, quiero dedicar unas líneas a Gonzalo Wangüemert Pérez, la persona con la que comencé este camino haciendo mi proyecto fin de carrera. Aunque por las circunstancias no hemos podido seguir trabajando juntos, es de justicia recordar a la persona que me dio la oportunidad de poder conocer el mundo de la investigación.

Me gustaría recordar a Jiasheng Hong y a mis compañeros de laboratorio de Edimburgo por toda la ayuda que me prestaron en los tres meses de estancia que pasé con ellos en Edimburgo.

Por supuesto, no puedo olvidarme de mis compañeros de laboratorio de la Universidad de Málaga, tanto a los que están como a los que ya se fueron, que han sido mi segunda familia todos estos años. Sois todos geniales, pero sería injusto no destacar a Robert Halir y Luis Zavargo, este camino habría sido muy diferente sin vosotros dos.

Aunque supongo que no le gustará esta posición en los agradecimientos, quiero continuar dedicándole unas palabras a Cristina, mi novia, mi pareja, mi vida, mi todo. Después de casi nueve años sigo sin entender cómo puedo ser tan afortunado de tenerte a mi lado. Sin tu apoyo y comprensión no sé si lo habría conseguido.

Quiero dedicar este penúltimo párrafo a mis Padres. No existen palabras en este mundo, o al menos yo no las conozco, que expresen la gratitud y el amor que siento por vosotros. Habéis estado conmigo a cada paso del camino, lo dije en los agradecimientos del proyecto fin de carrera y lo repito de nuevo, es un orgullo ser vuestro hijo, gracias por todo.

Este último párrafo quiero dedicarlo para los agradecimientos institucionales. Así, quiero destacar al Departamento de Ingeniería de Comunicaciones y la Universidad de Málaga, donde he realizado esta Tesis, a la Consejería de Economía, Innovación, Ciencia y Empleo de la Junta de Andalucía, que ha financiado esta Tesis a través de una beca FPDI y del proyecto de excelencia P09-TIC-5268 y a la empresa AT4wireless que también ha financiado en parte esta Tesis.



SPICUM
servicio de publicaciones

Resumen

En esta Tesis se presenta el diseño, implementación y evaluación experimental de un demodulador I/Q de seis puertos analógico de altas prestaciones, capaz de operar en la banda de 3.1 a 10.6 GHz sin necesidad de técnicas de calibración. El objetivo es reducir en la medida de lo posible los requisitos tanto de la etapa de conversión analógico-digital, como de la etapa de post-procesado, lo que redundaría en una reducción sustancial de la complejidad y del coste final de este tipo de demoduladores, pero manteniendo el nivel de prestaciones del demodulador. La consecución de este objetivo ha requerido la realización de múltiples tareas para resolver las incógnitas y los problemas que conlleva la implementación de un demodulador I/Q de seis puertos con semejantes características. Estas son:

- Estudio detallado de la degradación de las prestaciones de un demodulador de seis puertos con generación I/Q analógica debido a las imperfecciones de sus elementos. Dicho estudio permite obtener expresiones compactas que proporcionan un entendimiento más profundo de las causas de la degradación de las prestaciones en este tipo de demoduladores e incluso evaluar de forma numérica dicha degradación para cualquier arquitectura de seis puertos.
- Diseño y evaluación de diferentes arquitecturas de seis puertos con desbalances en módulo y fase reducidos que cubran la banda de 3.1 a 10.6 GHz.
- Desarrollo de técnicas que permiten el diseño y la implementación de acopladores direccionales, desfasadores y divisores de potencia de altas prestaciones y gran ancho de banda para su uso en las arquitecturas de seis puertos.
- Diseño de una etapa de detección que es capaz de cubrir toda la banda de 3.1 a 10.6 GHz con un buen nivel de adaptación a la entrada, un margen dinámico aceptable y una sensibilidad lo más constante posible dentro de la banda de operación.

Abstract

In this Thesis we present the design, realization and evaluation of a high performance analog six-port I/Q demodulator, which operates in the complete UWB band (3.1 to 10.6 GHz) even without calibration. Achieving this goal, the device greatly decreases the specifications of the A/D converters and the post-processing system, thus reducing the complexity and the cost of this demodulator without sacrificing its performance. To achieve this main goal, several objectives have to be attained:

- Detailed study of the performance degradation of analog six-port I/Q demodulators due to hardware imperfections of its elements. This study allows to analytically model the influence of six-port junction hardware impairments on the demodulator performance. New analytical expressions are developed, which give geometrical interpretation of signal constellation distortion due to hardware impairments and allow for the definition of several interesting figures of merit to assess the performance of any six-port architecture.
- Design and evaluation of different six-port architectures with minimum amplitude and phase imbalances operating in the complete UWB band (3.1 to 10.6 GHz).
- Development of new techniques to realize wideband high performance directional couplers, phase shifters and power dividers to be used in the six-port architectures.
- Design of a power detector circuit covering the complete UWB band (3.1 to 10.6 GHz) with a low reflection coefficient at the input port, an acceptable dynamic range without higher order non-linearities and constant sensitivity in its operational bandwidth.



SPICUM
servicio de publicaciones

Índice de figuras

1.1. Diagrama de bloques de la arquitectura de una radio definida por software	2
1.2. Receptor homodino o de conversión directa.	3
1.3. Diagramas de bloque de los demoduladores I/Q de seis puertos. a) Generación I/Q analógica. b) Generación I/Q digital.	6
1.4. Aportaciones realizadas en el ámbito de esta Tesis.	10
2.1. Diagramas de bloques del receptor de seis puertos. a) Generación I/Q analógica. b) Generación I/Q digital.	14
2.2. Transformación entre el plano de los símbolos recibidos (Γ^{RX}) y el plano de los símbolos demodulados (Γ^{DE}) causado por un demodulador I/Q ideal.	16
2.3. Espectro de las señales I/Q.	17
2.4. Distorsión de una constelación 16-QAM producida por un demodulador de seis puertos analógico. a) Símbolos recibidos. b) Distorsión de los símbolos demodulados debido a errores lineales ($\gamma=0$). c) Distorsión de los símbolos demodulados debido a errores no lineales ($\alpha=0$ y $u=-jv$).	20
2.5. Transformación entre los círculos situados en el plano de los símbolos recibidos Γ^{RX} y la rejilla de líneas rectas situadas en el plano de los símbolos demodulados Γ^{DE} debido al término de distorsión de onda rectificada γ	22
2.6. Representación gráfica de la magnitud del vector para un símbolo demodulado "i".	23
2.7. Relación entre los ejes de referencia en la demodulación no ortogonales u, v y el nuevo par de ejes referencia ortogonales u' y v'	24
2.8. Cota superior del EVM de símbolo en función de del cociente entre las potencias de RX y LO y el efecto de las distintas contribuciones de (2.30). a) Incluyendo R_{DC} . b) No incluyendo R_{DC}	26
2.9. Constelación demodulada por un demodulador I/Q de seis puertos para una modulación 16-QAM. a) Demodulador ideal. b) Demodulador con errores en el hardware.	28
2.10. Cota de error del BER de una modulación QPSK en función del SNR para diferentes EVM.	29
2.11. Arquitectura de seis puertos formada por tres híbridos y un divisor de potencia. Los parámetros I_H e I_D definen el desbalanceo entre las salidas de los híbridos y el divisor respectivamente.	30
2.12. EVM de la arquitectura de seis puertos formada por tres híbridos y un divisor de potencia a partir de la ecuación propuesta (2.30) en función del desbalanceo del divisor de potencia (I_D) cuando los híbridos son ideales.	31

Índice de figuras

2.13. EVM de la arquitectura de seis puertos formada por tres híbridos y un divisor de potencia en función del desbalanceo de los híbridos en cuadratura cuando: a) el divisor de potencia presenta un desbalanceo en amplitud y fase de 1 dB y 4 grados y $P_{RX}/P_{OL}=0$ dB. b) El divisor de potencia presenta un desbalanceo en amplitud y fase de 1 dB y 6 grados y $P_{RX}/P_{OL}=0$ dB. c) El divisor de potencia presenta un desbalanceo en amplitud y fase de 1 dB y 6 grados y $P_{RX}/P_{OL}=-30$ dB. 32

2.14. Arquitectura de seis puertos formada por cuatro híbridos y un desfasador. Los parámetros I_H e I_{PS} definen el desbalanceo de los híbridos y los errores del desfasador respectivamente. 33

2.15. EVM de la arquitectura de seis puertos formada por cuatro híbridos en función del desbalanceo de los híbridos (I_H) cuando el desfasador presenta un comportamiento ideal sin pérdidas, calculado a partir de la ecuación (2.30). 34

2.16. EVM de la arquitectura de seis puertos formada por cuatro híbridos y un desfasador, a) en función de las pérdidas y el error de fase del desfasador (I_{PS}) cuando los híbridos presentan un comportamiento ideal (2.30), b) en función del desbalanceo de los híbridos (I_H) cuando el desfasador presenta unas pérdidas de inserción de 1 dB y un error de fase de 5° (2.30). 34

2.17. Arquitectura de seis puertos formada por dos híbridos, dos divisores de potencia y un desfasador. 35

2.18. EVM de la arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfasador, a) en función del desbalanceo de los divisores (I_D) cuando el resto de elementos presentan un comportamiento ideal (2.30), b) en función del desbalanceo de los híbridos (I_H) cuando el resto de elementos presentan un comportamiento ideal (2.30). 36

2.19. EVM de la arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfasador, a) en función de los errores en el desfasador (I_{PS}) cuando el resto de elementos presentan un comportamiento ideal (2.30), b) en función del desbalanceo de los divisores (I_D) cuando el desfasador presenta unas pérdidas de inserción de 0.5 dB y un error de fase de 5° y los híbridos un desbalanceo en amplitud de 0.5 dB y un desbalanceo en fase de 5° (2.30). 37

2.20. EVM simulado y calculado (2.30) en función del cociente de potencias P_{RX}/P_{LO} , incluyendo el cálculo de las diferentes contribuciones (R_{DC}, R_{RW}, I_A) en ausencia de ruido. a) No incluyendo R_{DC} . b) Incluyendo R_{DC} 39

2.21. BER calculado (2.40) y simulado en función del SNR para diferentes cocientes de P_{RX}/P_{LO} . Las líneas coloreadas continuas representan los resultados obtenidos mediante simulación de la recepción de millones de símbolos y las marcas son los resultados calculados con (2.40). a) Cuando el término de DC no es eliminado ($R_{DC} \neq 0$). b) Cuando el término de DC es eliminado ($R_{DC}=0$). 39

3.1. Líneas acopladas típicamente utilizadas para conseguir un alto nivel de acoplamiento dentro de las estructuras enterradas homogéneas. a) Líneas stripline paralelas. b) Líneas stripline paralelas con un pequeño offset lateral. c) Líneas stripline paralelas con una pista flotante en el centro.	46
3.2. a) Modelo 3-D del acoplador direccional acoplado por ranura de una sección. b) Modelo 3-D de la sección transversal del acoplador direccional acoplado por ranura.	49
3.3. Circuitos equivalentes del acoplador direccional acoplador por ranura para los modos par e impar. a) Circuito equivalente para el modo impar. b) Circuito equivalente para el modo par.	50
3.4. Modelo del acoplador utilizado en el análisis cuasi-estático, donde $h_0 = 10 h$	51
3.5. Híbrido de una sección en la banda de 3.1 a 4.85 GHz. a) Modelo 3-D con los codos de interconexión. b) Fotografía del prototipo fabricado.	53
3.6. Prestaciones medidas y simuladas del híbrido en cuadratura de una sección en la banda de 3.1 a 4.85 GHz. a) Acoplamiento. b) Pérdidas de retorno y aislamiento. c) Desfase.	53
3.7. Comportamiento en frecuencia del nivel de acoplamiento del híbrido diseñado para unas tolerancias del $\pm 10\%$ en la altura del sustrato.	54
3.8. Flujograma de diseño del acoplador basado en análisis modal 2-D y descomposición de los modos par e impar.	56
3.9. Esquema del modelo circuital de un acoplador direccional usando descomposición en modos par e impar y despreciando el efecto de las discontinuidades.	57
3.10. Layout del híbrido en cuadratura de tres secciones indicando sus principales dimensiones.	59
3.11. Prestaciones del híbrido en cuadratura de tres secciones obtenidas en simulación.	60
3.12. Fotografía del prototipo del híbrido en cuadratura de tres secciones fabricado.	60
3.13. Prestaciones medidas del prototipo del híbrido en cuadratura de tres secciones fabricado. a) Parámetros S. b) Pérdidas óhmicas.	61
3.14. a) Desbalanceo en amplitud del híbrido en cuadratura de tres secciones. b) Desbalanceo en fase del híbrido en cuadratura de tres secciones.	61
3.15. Discontinuidad del acoplador direccional acoplado por ranura para el modo impar y su circuito equivalente.	63
3.16. Planta de un acoplador de tres secciones simétrico con la transición en la ranura propuesta para compensar el efecto de las discontinuidades en el modo par.	64
3.17. Respuesta de los modos par e impar del acoplador con la frecuencia usando las dimensiones iniciales calculadas. a) Módulo de S_{11_e} y S_{11_o} en decibelios. b) Módulo de S_{21_e} y S_{21_o} en decibelios. c) Fase de S_{11_e} y S_{11_o} en grados. d) Fase de S_{21_e} y S_{21_o} en grados.	66

Índice de figuras

3.18. Diseño final del híbrido de tres secciones en la banda de 5 a 18 GHz. a) Estructura 3-D. b) Pérdidas de retorno y aislamiento del acoplador con y sin taper en la ranura. c) Comportamiento de los puertos directo y acoplado con y sin taper en la ranura.	66
3.19. Prestaciones del acoplador de 10 dB simuladas con el modelo circuital sin discontinuidades. a) Usando la longitud promedio entre las requeridas por ambos modos. b) Usando la longitud requerida por cada modo.	69
3.20. a) Prestaciones del acoplador de 10 dB simuladas con el modelo circuital incluyendo las discontinuidades obtenidas mediante simulación 3-D electromagnética y usando la longitud promedio entre las requeridas por ambos modos. b) Simulación del acoplador de 10 dB con el modelo circuital incluyendo las discontinuidades pero ajustando las dimensiones para mejorar el aislamiento.	70
3.21. Dibujo detallado de una parte del acoplador de 10 dB situada entre dos de las secciones que muestra las pistas superior e inferior del acoplador (morado) y la ranura corrugada propuesta (rosa).	71
3.22. Impedancia de Bloch calculada en la primera sección del acoplador fijando el comienzo de la celda en diferentes puntos de un periodo (d/Λ_1). ($D_1 = 280 \mu m$, $G_1 = 1.72 mm$ y $\eta = 0.5$).	71
3.23. Impedancia de Bloch calculada en la primera sección en función de la profundidad del corrugado D_1 para $\eta = 0.5$, $\Lambda_1 = 240 \mu m$ y manteniendo la anchura equivalente de la ranura (S_{eq1}) invariante a 2 mm (i.e. $G_1 = 2 mm - D_1$).	73
3.24. Permitividad efectiva del modo par en la primera sección del acoplador (ϵ_{eff}^1) para diferentes profundidades de corrugado (D_1), asumiendo que $\eta=0.5$ y $G_1=2mm - D_1$ (3.20). a) $\Lambda_1=240 \mu m$. b) $\Lambda_1=480 \mu m$	73
3.25. Diagrama de flujo de la metodología de diseño propuesta.	76
3.26. Estructura de capas utilizada en el diseño de los acopladores.	77
3.27. Híbrido en cuadratura simétrico de tres secciones en la banda de 4.5 a 16 GHz. a) Imagen 3-D del circuito. b) Fotografía del prototipo fabricado.	78
3.28. Prestaciones medidas y simuladas del prototipo del híbrido en cuadratura en la banda de 4.5 a 16 GHz. a) Puertos directo y acoplado. b) Pérdidas de retorno y aislamiento.	79
3.29. a) Desbalanceo en amplitud medido y simulado del híbrido en cuadratura en la banda de 4.5 a 16 GHz. b) Desfase medido y simulado del híbrido en cuadratura en la banda de 4.5 a 16 GHz.	80
3.30. a) Fotografía del prototipo del acoplador direccional de 10 dB asimétrico. b) Fotografía de la ranura interior corrugada del acoplador fabricado.	81
3.31. Prestaciones medidas y simuladas del acoplador de 10 dB asimétrico en la banda de 1.2 a 12 GHz. a) Puertos directo y acoplado. b) Pérdidas de retorno y aislamiento.	82
3.32. a) Fotografía del prototipo del híbrido en cuadratura en la banda de 3.1 a 10.6 GHz. b) Fotografía de la ranura interior corrugada del prototipo fabricado.	82

3.33. Prestaciones medidas y simuladas del prototipo del híbrido en cuadratura en la banda de 3.1 a 10.6 GHz. a) Puertos directo y acoplado. b) Pérdidas de retorno y aislamiento.	83
3.34. a) Desbalanceo en amplitud medido y simulado del híbrido en cuadratura en la banda de 3.1 a 10.6 GHz . b) Desfase medido y simulado del híbrido en cuadratura en la banda de 3.1 a 10.6 GHz.	84
4.1. Configuración de un desfasador de Schiffman de múltiples secciones. . .	88
4.2. Circuitos equivalente del desfasador propuesto para los modos par e impar. a) Circuito equivalente modo impar. b) Circuito equivalente modo par.	89
4.3. Dibujo detallado de la pista superior (azul) y de la ranura corrugada (morado) con las transiciones lineales en el desfasador de 90°.	91
4.4. Fotografía del prototipo del desfasador fabricado.	91
4.5. Prestaciones del desfasador de 90 grados en la banda de 3.1 a 10.6 GHz. a) Pérdidas de inserción y pérdidas de retorno medidos y simulados. b) Desfase medido y simulado.	92
4.6. Planta del desfasador de 45 grados de dos secciones que opera en la banda de 3.1 a 10.6 GHz.	94
4.7. Prestaciones obtenidas en simulación por el desfasador de 45 grados en la banda de 3.1 a 10.6 GHz. a) Pérdidas de inserción y pérdidas de retorno. b) Desfase.	95
4.8. Diagrama de bloques de una matriz de Butler conectada a un array de cuatro antenas a la salida junto con el diagrama de radiación que proporciona este sistema.	96
4.9. Layout de a matriz de Butler diseñada. El tamaño total del circuito (sin incluir los “thru” de la calibración TRL) es 62mm x 71mm.	97
4.10. Prestaciones en simulación de la matriz de Butler diseñada. a) Pérdidas de retorno y aislamiento. b) Pérdidas de inserción (idealmente serían -6 dB).	98
4.11. Desfases entre los puertos de salida en función del puerto de entrada seleccionado. a) Desfase de 45° (entrada por el puerto 4). b) Desfase de -45° (entrada por el puerto 1). c) Desfase de 135° (entrada por el puerto 2). d) Desfase de -135° (entrada por el puerto 3).	98
4.12. Diagrama de bloques de un FLL. Las flechas en azul indican caminos de señal de RF mientras que las de color verde indican caminos de baja frecuencia.	100
4.13. Diagrama de bloques del FLL diseñado basado en un discriminador de frecuencia de línea de retardo incluyendo las fotos de los circuitos que han sido implementados en el seno de esta Tesis.	101
4.14. Fotografía del prototipo del FLL.	101
4.15. Resultado obtenido en la medida de la reducción del ruido de fase que proporcional el FLL.	102
5.1. Esquema de un divisor Wilkinson de N secciones.	107

Índice de figuras

5.2. a) Modelo 3-D del divisor Wilkinson de cuatro secciones. b) Fotografía del divisor Wilkinson de cuatro secciones.	108
5.3. Prestaciones de divisor de potencia Wilkinson de cuatro secciones en la banda de 3.1 a 10.6 GHz. a) Pérdidas de inserción. b) Pérdidas de retorno y aislamiento.	108
5.4. a) Corte longitudinal del modelo 3-D de la vía de señal a través de un plano de masa . b) Fotografía de la vía de señal a través de un plano de masa.	110
5.5. Prestaciones de la vía de señal a través del plano de masa en la banda de 3.1 a 10.6 GHz. a) Coeficiente de reflexión. b) Desfase.	110
5.6. Arquitectura de seis puertos formada por tres híbridos y un divisor de potencia. a) Esquema circuital. b) Fotografía (tamaño total: 79x42 mm ²).	112
5.7. Arquitectura de seis puertos formada por tres híbridos y un divisor de potencia. a) Centros en representación polar. b) Pérdidas de retorno y aislamiento.	112
5.8. Arquitectura de seis puertos formada por tres híbridos y un divisor de potencia. a) Desbalanceo en amplitud de los centros. b) Desbalanceo en fase de los centros.	113
5.9. EVM simulado y calculado (5.1) de la arquitectura de seis puertos formada por tres híbridos y un divisor de potencia. a) Considerando el término de DC ($R_{DC} \neq 0$). b) Sin considerar el término de DC ($R_{DC}=0$).	113
5.10. Arquitectura de seis puertos formada por cuatro híbridos y un desfaseador de 90°. a) Esquema circuital. b) Fotografía (tamaño total 66x45 mm ²).	114
5.11. Arquitectura de seis puertos formada por cuatro híbridos y un desfaseador de 90°. a) Centros en representación polar. b) Pérdidas de retorno y aislamiento.	114
5.12. Arquitectura de seis puertos formada por cuatro híbridos y un desfaseador de 90°. a) Desbalanceo en amplitud de los centros. b) Desbalanceo en fase de los centros.	115
5.13. EVM simulado y calculado (5.1) de la arquitectura de seis puertos formada por cuatro híbridos y un desfaseador de 90° cuando el AGC es común para los canales I/Q. a) Considerando el término de DC ($R_{DC} \neq 0$). b) Sin considerar el término de DC ($R_{DC}=0$).	115
5.14. EVM simulado y calculado (5.1) de la arquitectura de seis puertos formada por cuatro híbridos y un desfaseador de 90° cuando el AGC es diferente en cada canal. a) Considerando el término de DC ($R_{DC} \neq 0$). b) Sin considerar el término de DC ($R_{DC}=0$).	116
5.15. Arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfaseador de 90°. a) Esquema circuital. b) Fotografía (tamaño total: 110x55 mm ²).	117
5.16. Arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfaseador de 90°. a) Centros en representación polar. b) Pérdidas de retorno y aislamiento.	117
5.17. Arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfaseador de 90°. a) Desbalanceo en amplitud de los centros. b) Desbalanceo en fase de los centros.	118

5.18. EVM simulado y calculado (5.1) de la arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfasador de 90° cuando el AGC es común para los canales I/Q. a) Considerando el término de DC ($R_{DC} \neq 0$). b) Sin considerar el término de DC ($R_{DC}=0$). 118

5.19. EVM simulado y calculado ((5.1) de la arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfasador de 90° cuando el AGC es diferente en cada canal. a) Considerando el término de DC ($R_{DC} \neq 0$). b) Sin considerar el término de DC ($R_{DC}=0$). 119

6.1. Detector simple o “single ended”. a) Esquema circuital. b) Fotografía del prototipo fabricado. 126

6.2. Coeficiente de reflexión medido y simulado del detector simple o “single ended”. 127

6.3. Tensión a la salida en función de la frecuencia para diferentes niveles de la potencia del generador. a) Potencia=-20 dBm. b) Potencia=-15 dBm. c) Potencia=-10 dBm. 127

6.4. Tensión a la salida en función de la potencia del generador para diferentes puntos de frecuencia. a) $f_o=3.1$ GHz. b) $f_o=5$ GHz. c) $f_o=10.6$ GHz. 128

6.5. Tensión a la salida en escala logarítmica en función de la potencia del generador para diferentes puntos de frecuencia. a) $f_o=3.1$ GHz. b) $f_o=5$ GHz. c) $f_o=10.6$ GHz. 128

6.6. Etapa amplificadora. a) Esquema circuital. b) Fotografía del prototipo fabricado. 131

6.7. Simulación y medida de la respuesta en frecuencia de la etapa amplificadora diseñada. 131

6.8. a) Simulación y medida del CMRR de la etapa amplificadora diseñada. b) Medida del comportamiento lineal de la etapa amplificadora diseñada a diferentes frecuencias. 132

6.9. Fotografía del prototipo del demodulador I/Q de seis puertos. 132

6.10. Desfase entre los canales I/Q del prototipo del demodulador I/Q fabricado en la banda de 3.1 a 10.6 GHz. 133

6.11. Estación de medidas utilizada. a) Diagrama de bloques. b) Algunos de los equipos de medida utilizados (alimentación, modulador, y oscilador local). 135

6.12. Tramas de símbolos QPSK demodulados para $f_o=5$ GHz y $P_{LO}=-15$ dBm cuando a) $P_{RX}=-30$ dBm, b) $P_{RX}=-20$ dBm, c) $P_{RX}=0$ dBm. 139

6.13. Tramas de símbolos QPSK demodulados para $f_o=5$ GHz y $P_{LO}=0$ dBm cuando a) $P_{RX}=-30$ dBm, b) $P_{RX}=-20$ dBm, c) $P_{RX}=0$ dBm. 140

6.14. BER para la modulación QPSK para distintas potencias de LO en función de la potencia de RX a la frecuencia de 5 GHz. 140

6.15. Tramas de símbolos 16QAM demoduladas para $f_o=5$ GHz, $P_{LO}=-15$ dBm cuando a) $P_{RX}=-30$ dBm, b) $P_{RX}=-10$ dBm, c) $P_{RX}=0$ dBm. 140

6.16. Tramas de símbolos 16QAM demoduladas para $f_o=5$ GHz, $P_{LO}=0$ dBm cuando a) $P_{RX}=-38$ dBm, b) $P_{RX}=-30$ dBm, c) $P_{RX}=-5$ dBm. 141

Índice de figuras

B.1. Esquema de demodulación de seis puertos basado en una red con tres híbridos y un divisor de potencia.	156
B.2. Esquema de demodulación de seis puertos basado en una red con cuatro híbridos y un desfasador de 90°	158
B.3. Esquema de demodulación de seis puertos basado en una red con dos híbridos, dos divisores de potencia y un desfasador de 90°	159
D.1. Diagrama de bloques del sistema de medida de un dispositivo con un analizador de redes de dos puertos.	163
D.2. Estándares del kit de calibración TRL.	164
E.1. Basic block diagram of a SDR	166
E.2. Six-port I/Q demodulator block diagrams. a) Analog I/Q generation. b) Digital I/Q generation.	168
E.3. Contributions of this Thesis.	170
E.4. Basic block diagram of a general analog six-port I/Q demodulator.	172
E.5. 16-QAM constellation distortion in an analog six-port I/Q demodulator. a) Received symbols (Γ^{RX}). b) Constellation distortion due to linear impairments ($\gamma=0$). c) Constellation distortion due to non-linear impairments ($\alpha=0$ and $u=-jv$).	175
E.6. Relation between the non-orthogonal demodulation axes u, v and the to new orthogonal ones u' and v'	176
E.7. Symbol EVM upper bound as a function of symbol to LO power and the effects of the three different contributions of (E.20). a) Including R_{DC} . b) Removing R_{DC}	178
E.8. Six-port architecture comprised of four hybrids and a 90° phase shifter. I_H and I_{PS} parameters define the quadrature hybrid imbalance and phase shifter impairments, respectively.	179
E.9. Calculated EVM (using (E.20)) of the analyzed six-port architecture. a) EVM as function of the quadrature hybrid imbalance (I_H) when the phase shifter is ideal. b) EVM as function of the phase shifter impairments (I_{PS}) when quadrature hybrids are ideal. c) EVM as function of the quadrature hybrid imbalance (I_H), when the phase shifter has an insertion loss of 1 dB and a phase error of 5°	179
E.10.a) 3D microstrip slot coupling structure. b) Even-mode and odd-mode models.	181
E.11. Diagram of the initial modal analysis (2D) design flow.	182
E.12. Layout of the three-section slot-coupled quadrature hybrid and its main geometrical dimensions.	182
E.13.a) Photograph of the fabricated three-section quadrature hybrid. b) Amplitude and phase imbalance between through and coupled ports.	183
E.14. Detailed plot of a piece of a corrugated coupler between two sections showing the upper and lower tracks (grey) coupled through the corrugated slot (blue).	185

E.15. Even mode effective permittivities of the first section of the asymmetric 10 dB directional coupler ($\epsilon_{eff_e}^1$) for different teeth depths (D_1). a) $\Lambda_1=240 \mu m$. b) $\Lambda_2=480 \mu m$ 185

E.16. a) Photograph of the fabricated five-section asymmetric 10 dB directional coupler. b) Photograph of the inner corrugated slot plane. c) Measured and simulated through and coupled ports. d) Measured and simulated return loss and isolation. 186

E.17. Detailed plot of the upper track (grey) and the corrugated slot (blue) with linear transitions between the central and the outer sections in the three-section quadrature hybrid. 188

E.18. a) Photograph of the three-section quadrature hybrid. b) Photograph of the slot showing the corrugations, used to equalize mode phase velocities, and the linear slot transition, used to compensate discontinuity parasitics. 188

E.19. Measured and simulated performance of the fabricated three-section quadrature hybrid. a) Return loss and isolation. b) Direct and coupled ports. 189

E.20. Multi-section Schiffman phase shifter circuit block diagram. 190

E.21. Circuit models used in the design of the proposed phase shifters. a) Odd mode. b) Even mode. 190

E.22. Detailed plot of the upper track (blue) and the corrugated slot (purple) with linear transitions between the central and the outer sections in the 90° phase shifter. 192

E.23. 90° three-section slot-coupled phase shifter. a) Photograph of the prototype. b) Simulated and measured return loss and insertion loss. c) Simulated and measured phase shift. 193

E.24. 45° phase shifter. a) top view of the 3D model. b) Simulated return loss and insertion loss. c) Simulated phase shift. 194

E.25. Block Diagram of a 4x4 Butler matrix connected to an antenna array and its radiation pattern. 195

E.26. Layout of the designed Butler matrix (62mm x 71mm). 196

E.27. Simulated phase shift between adjacent outputs. a) Input port is port 4. b) Input port is port 1. c) Input port is port 2. d) Input port is port 3. . . . 196

E.28. a) Photograph of the four-section Wilkinson power divider. b) Measured and simulated insertion loss (S_{21}), return loss (S_{11}) and isolation (S_{23}). . . 198

E.29. Six-port architecture comprised of three quadrature hybrids and power divider. a) Block diagram. b) Photograph of the fabricated prototype (79x42 mm²). 199

E.30. Performance of the six-port architecture comprised of three quadrature hybrids and a power divider. a) Six-port centre amplitude imbalance. b) Six-port centre phase imbalance. 199

E.31. Simulated and calculated (E.20) EVM of the six-port architecture comprised of three quadrature hybrids and a power divider. a) Considering the DC signal ($R_{DC} \neq 0$). b) Not considering the DC signal ($R_{DC}=0$). . . . 200

Índice de figuras

E.32.Six-port architecture comprised of four quadrature hybrids and a 90° phase shifter. a) Block diagram. b) Photograph of the fabricated prototype ($66 \times 45 \text{ mm}^2$). 200

E.33.Performance of the six-port architecture comprised of four quadrature hybrids and a 90° phase shifter. a) Six-port centre amplitude imbalance. b) Six-port centre phase imbalance. 201

E.34.Simulated and calculated (E.20) EVM of the six-port architecture comprised of four quadrature hybrids and a 90° phase shifter. a) Considering the DC signal ($R_{DC} \neq 0$). b) Not considering the DC signal ($R_{DC}=0$). 202

E.35.Power detector. a) Circuit model. b) Photograph of the fabricated prototype. 203

E.36.Power detector output voltage in logarithmic scale as a function of the input power at different frequencies. a) $f_o=3.1 \text{ GHz}$. b) $f_o=5 \text{ GHz}$. c) $f_o=10.6 \text{ GHz}$ 203

E.37.Differential amplifier. a) Circuit topology. b) Photograph of the fabricated prototype. c) Gain response. 204

E.38.Prototype of the six-port I/Q demodulator. a) Photograph. b) Phase shift between the I/Q channels. 205

E.39.Measurement system diagram block. 206

E.40.Demodulated QPSK symbols for $f_o= 5 \text{ GHz}$ and $P_{LO}=0 \text{ dBm}$ when a) $P_{RX}=-30 \text{ dBm}$, b) $P_{RX}=-20 \text{ dBm}$ and c) $P_{RX}=0 \text{ dBm}$ 207

E.41.Measured BER in the demodulation of QPSK symbols for different local oscillator power levels (P_{LO}) as a function of the RX power (P_{RX}) at the frequency of 5 GHz 207

Índice de tablas

3.1. Impedancias características par e impar y niveles de acoplamiento de un híbrido en cuadratura de tres secciones con un rizado uniforme de 0.15 dB.	59
3.2. Dimensiones físicas finales del híbrido en cuadratura de tres secciones diseñado.	59
3.3. Comparativa del desbalanceo en amplitud y fase entre las propuestas anteriores y el híbrido diseñado.	62
3.4. Impedancias características par e impar del híbrido en cuadratura simétrico de tres secciones que cubre la banda de 5 a 18 GHz.	65
3.5. Dimensiones físicas iniciales del híbrido en cuadratura de tres secciones que cubre la banda de 5 a 18 GHz.	65
3.6. Dimensiones físicas finales del híbrido en cuadratura de tres secciones que cubre la banda de 5 a 18 GHz.	67
3.7. Impedancias características par e impar (Z_{0e}^i, Z_{0o}^i) y niveles de acoplamiento de las diferentes secciones del acoplador direccional de 10 dB asimétrico de 5 secciones.	68
3.8. Dimensiones transversales (W_i, S_i) y permitividades efectivas de los modos par e impar ($\epsilon_{effe}^i, \epsilon_{effo}^i$) para cada una de las secciones del acoplador a 6.6 GHz (centro de la banda de operación), obtenidas siguiendo a metodología de modelado y análisis de la sección 3.4.	68
3.9. Impedancias características par e impar del híbrido en cuadratura simétrico de tres secciones que cubre la banda de 4.5 a 16 GHz.	78
3.10. Dimensiones físicas finales del híbrido en cuadratura simétrico de tres secciones que cubre la banda de 4.5 a 16 GHz.	78
3.11. Impedancias características par e impar (Z_{0e}^i, Z_{0o}^i) del acoplador direccional de 10 dB asimétrico que opera en la banda de 1.2 a 12 GHz.	80
3.12. Dimensiones físicas finales del acoplador direccional de 10 dB asimétrico que opera en la banda de 1.2 a 12 GHz.	81
3.13. Dimensiones físicas finales del híbrido en cuadratura de tres secciones que cubre la banda de 3.1 a 10.6 GHz.	82
4.1. Impedancias características par e impar (Z_{0e}^i, Z_{0o}^i) del desfasador de 90 grados de tres secciones que opera en la banda de 3.1 a 10.6 GHz.	91
4.2. Dimensiones físicas finales del desfasador de 90 grados de tres secciones que opera en la banda de 3.1 a 10.6 GHz.	91
4.3. Impedancias características par e impar (Z_{0e}^i, Z_{0o}^i) del desfasador de 45 grados de dos secciones que opera en la banda de 3.1 a 10.6 GHz.	93
4.4. Dimensiones físicas finales del desfasador de 45 grados de dos secciones que opera en la banda de 3.1 a 10.6 GHz.	93
4.5. Tabla con los desfases que introduce la matriz de Butler en los puertos de salida del diagrama de bloques de la Fig, 4.8 en función del puerto de entrada seleccionado.	96

Índice de tablas

5.1. Impedancias características (Z_{0i}) y resistencias (R_i) del divisor de potencia Wilkinson de cuatro secciones que cubre la banda de 3.1 a 10.6 GHz	107
5.2. Dimensiones finales y valores de las resistencias utilizadas en el diseño del divisor Wilkinson de cuatro secciones que cubre la banda de 3.1 a 10.6 GHz.	108
D.1. Dimensiones utilizadas en el kit de calibración TRL.	164
E.1. Even-odd mode impedances and coupling levels used in the design of the three-section slot-coupled quadrature hybrid.	183
E.2. Physical dimensions of the three-section quadrature hybrid.	183
E.3. Features of the first section in a five-section asymmetric 10 dB directional coupler in the band from 1.2 to 12 GHz.	184
E.4. Even-odd mode characteristic impedances (Z_{0e}^i, Z_{0o}^i) and coupling level of each section for the five-section asymmetric 10 dB directional coupler.	186
E.5. Physical dimensions of the five-section asymmetric 10 dB directional coupler.	186
E.6. Physical dimensions of the three-section corrugated quadrature hybrid.	188
E.7. Even and odd mode characteristic impedances (Z_{0e}^i, Z_{0o}^i) used in the design of the 90° phase shifter.	191
E.8. Physical dimensions of the 90° phase shifter.	192
E.9. Even and odd mode characteristic impedances (Z_{0e}^i, Z_{0o}^i) used in the design of the 45° phase shifter.	193
E.10. Physical dimensions of the 45° phase shifter.	194
E.11. Phase shifts introduced by the Butler matrix at the output ports depending on the input port.	195
E.12. Characteristic impedances (Z_{0i}) and resistances (R_i) used in the design of the four-section Wilkinson power divider.	197
E.13. Physical dimensions of the four-section Wilkinson power divider.	198

Índice general

Índice de figuras	I
Índice de tablas	XI
1. Introducción	1
1.1. El fenómeno de las comunicaciones inalámbricas	1
1.2. Radio definida por software	2
1.3. Receptor de seis puertos: ventajas e inconvenientes	4
1.4. Receptor de seis puertos en el panorama de las comunicaciones actuales	5
1.5. Principales objetivos de la Tesis	7
1.6. Aportaciones de la Tesis	9
1.7. Organización de la Tesis	11
2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos	13
2.1. Introducción	13
2.2. Teoría del demodulador de seis-puertos con generación I/Q analógica	15
2.2.1. Demodulador I/Q ideal	15
2.2.2. Demodulador I/Q basado en una arquitectura de seis puertos	16
2.2.3. Demodulador I/Q de seis puertos ideal	18
2.3. Distorsión de las constelaciones recibidas debido a errores en la red de seis puertos	19
2.3.1. Distorsión lineal	20
2.3.2. Distorsión no lineal	21
2.4. Magnitud del vector error (EVM) como medida de la degradación de las prestaciones	21
2.4.1. Definición del EVM	22
2.4.2. Evaluación del EVM a partir de los errores del hardware	22
2.5. Probabilidad de error debido a errores en la red de seis puertos	26
2.6. Análisis de arquitecturas de seis puertos específicas	29
2.6.1. Arquitectura formada por tres híbridos y un divisor de potencia	30
2.6.2. Arquitectura formada por cuatro híbridos y un desfasador de 90°	33
2.6.3. Arquitectura formada por dos híbridos, dos divisores de potencia y un desfasador	35
2.7. Validación de las fórmulas propuestas	37
2.7.1. Validación de la fórmula para el cálculo del EVM	38
2.7.2. Validación de la fórmula para el cálculo de la BER	38
2.8. Conclusiones	40
3. Acopladores direccionales en tecnología planar integrada	43
3.1. Introducción	44
3.2. Historia y estado del arte en el diseño de acopladores	44
3.2.1. Acopladores en estructuras enterradas homogéneas	45

Índice general

3.2.2. Acopladores en estructuras compatibles con la tecnología microstrip	47
3.3. Acoplador direccional acoplado por ranura	49
3.3.1. Método cuasi-estático de análisis del acoplador direccional acoplado por ranura	51
3.3.2. Diseño de un híbrido en cuadratura de una sección	52
3.4. Modelado y análisis del acoplador direccional acoplado por ranura de múltiples secciones	55
3.5. Metodología de diseño simplificada de acopladores de múltiples secciones acopladas por ranura	58
3.6. Técnicas de compensación para el acoplador direccional acoplado por ranura de múltiples secciones	62
3.6.1. Técnica de compensación de discontinuidades	63
3.6.2. Técnica de ecualización de los modos par e impar mediante el uso de ranuras corrugadas	67
3.7. Metodología de diseño de acopladores de múltiples secciones acopladas por ranura compensados	74
3.8. Acopladores direccionales acoplados por ranura diseñados	77
3.8.1. Híbrido en cuadratura en la banda de 4.5 a 16 GHz	79
3.8.2. Acoplador asimétrico de 10 dB en la banda de 1.2 a 12 GHz	80
3.8.3. Híbrido en cuadratura en la banda de 3.1 a 10.6 GHz	83
3.9. Conclusiones	84
4. Desfasadores en tecnología planar integrada y aplicaciones de interés	87
4.1. Introducción	87
4.2. Desfasador basado en acoplador direccional acoplado por ranura	89
4.2.1. Desfasador de 90° en la banda de 3.1 a 10.6 GHz	90
4.2.2. Desfasador de 45° en la banda de 3.1 a 10.6 GHz	93
4.3. Aplicación de los acopladores y desfasadores diseñados	94
4.3.1. Matrices de Butler en la banda de 3.1 a 10.6 GHz	95
4.3.2. Bucle de enganche en frecuencia	99
4.4. Conclusiones	103
5. Arquitecturas de seis puertos en tecnología planar integrada	105
5.1. Introducción	105
5.2. Divisor de potencia en tecnología planar integrada	106
5.3. Definición del layout: El problema de la interconexión	109
5.3.1. Vía de señal en la banda de 3.1 a 10.6 GHz	109
5.4. Diseño de las arquitecturas de seis puertos en la banda de 3.1 a 10.6 GHz	111
5.4.1. Arquitectura formada por tres híbridos y un divisor de potencia .	111
5.4.2. Arquitectura formada por cuatro híbridos y un desfasador de 90°	113
5.4.3. Arquitectura formada por dos híbridos, dos divisores de potencia y un desfasador de 90°	116
5.4.4. Comparativa	118
5.5. Conclusiones	120
6. Demodulador I/Q basado en una arquitectura de seis puertos	123

6.1. Introducción	123
6.2. Consideraciones previas y especificaciones de las etapas de detección y amplificación	124
6.3. Diseño etapa de detección	125
6.3.1. Etapa de detección simple	126
6.4. Diseño de la etapa de amplificación y acondicionamiento	129
6.5. Prototipo del demodulador I/Q de seis puertos	133
6.6. Estación de medida automatizada	134
6.6.1. Instrumentación usada en la estación de medidas	134
6.6.2. Software usado para controlar la estación de medida	136
6.6.3. Post-procesado necesario tras la demodulación	137
6.7. Medida y evaluación del demodulador I/Q de seis puertos para diferen- tes constelaciones	138
6.7.1. Recepción de tramas QPSK	139
6.7.2. Recepción de tramas 16-QAM	141
6.8. Conclusiones	141
7. Conclusiones y líneas futuras	143
7.1. Conclusiones	143
7.2. Líneas futuras	145
8. Conclusions and prospects	147
8.1. Conclusions	147
8.2. Prospects	149
A. Aproximación de la probabilidad de error de símbolo para una modulación QPSK	153
B. Deducción formulas EVM arquitecturas de seis puertos	155
B.1. Arquitectura formada por tres híbridos y un divisor de potencia	155
B.2. Arquitectura formada por cuatro híbridos y un desfasador de 90°	157
B.3. Arquitectura formada por dos híbridos, dos divisores de potencia y un desfasador	158
C. Tecnología inicial empleada en la implementación de circuitos multicapa	161
D. Diseño de un kit de calibración TRL	163
E. English summary	165
E.1. Introduction	165
E.2. Six-port receiver: advantages and disadvantages	167
E.3. Six-port receiver in the current wireless communication scenario	168
E.4. Overview of this work	169
E.5. Analysis of analog six-port I/Q demodulators	171
E.5.1. Theory of analog six-port I/Q demodulators	172
E.5.1.1. Ideal six-port demodulator	173
E.5.2. Symbol constellation distortion due to six-port junction impair- ments	174

Índice general

E.5.2.1. Linear constellation distortion	174
E.5.2.2. Non-linear constellation distortion	175
E.5.3. EVM due to junction impairments	175
E.5.4. Analysis of a specific six-port architecture	177
E.6. Directional couplers in planar technology	180
E.6.1. Slot-coupled directional coupler	181
E.6.2. Simplified design technique for multisection slot-coupled quadrature hybrid	182
E.6.3. Corrugated slot-coupled directional coupler design technique	184
E.6.4. Design of a five-section asymmetric 10 dB slot-coupled directional coupler	185
E.6.5. Design of a three-section slot-coupled quadrature hybrid	187
E.7. Phase shifters in planar technology	189
E.7.1. Phase shifter design based on the corrugated slot-coupled directional coupler	190
E.7.2. UWB 90° phase shifter design (3.1-10.6 GHz)	191
E.7.3. UWB 45° phase shifter design (3.1-10.6 GHz)	193
E.8. Butler matrix in planar technology	194
E.9. Six-port architectures in planar technology	197
E.9.1. Power divider design	197
E.9.2. Six-port architecture comprised of three quadrature hybrids and power divider	198
E.9.3. Six-port architecture comprised of four quadrature hybrids and a 90° phase shifter	200
E.10.I/Q demodulator based on a six-port architecture	201
E.10.1. Power detector circuit design	202
E.10.2. Operational amplifier circuit design	203
E.10.3. Prototype of the I/Q demodulator	205
E.10.4. Measurement setup	205
E.10.5. Measurement and evaluation of the prototype	206
E.11. Conclusions and prospects	207
E.11.1. Conclusions	207
E.11.2. Prospects	209
F. List of publications	211
F.1. International publications	211
F.2. International symposiums	211
F.3. National patents	212
F.4. National symposiums	212
Bibliografía	215

1

Introducción

1.1. El fenómeno de las comunicaciones inalámbricas

Las primeras redes inalámbricas se desarrollaron en la era pre-industrial. Estos sistemas permitían transmitir la información haciendo uso de señales de humo, fuego, espejos reflectantes, semáforos, etc. Para conseguirlo utilizaban conjuntos de señales elaborados y se requerían puestos de observación en lugares elevados. Estas primeras redes de Telecomunicación fueron pronto reemplazadas por las redes telegráficas (inventadas por Samuel Morse en 1838) y posteriormente por las redes telefónicas. En 1895, varias décadas después del invento del teléfono, Marconi demostró la primera transmisión radio, naciendo así las comunicaciones inalámbricas [1].

En las últimas décadas, la tecnología ha avanzado rápidamente en el ámbito de las comunicaciones inalámbricas, permitiendo la transmisión de señales a distancias cada vez mayores con mejor calidad, menos potencia y haciendo uso de dispositivos cada vez más pequeños y baratos. Inicialmente, las primeras radios transmitían señales analógicas, pero hoy día la mayoría de los sistemas radio usan señales digitales, cuya información procede directamente del dominio digital (tramas de bits) o de señales analógicas que han sido digitalizadas.

Con mucha diferencia, la aplicación que más éxito ha cosechado en el ámbito de las comunicaciones inalámbricas ha sido el sistema de telefonía móvil. La primera red celular se implementó en Chicago en el 1983 y ya estaba saturada de usuarios en el 1984. El éxito de las comunicaciones móviles tomó a todo el mundo por sorpresa, cada red que era implementada (en diferentes ciudades del mundo) quedaba rápidamente saturada por la alta demanda de usuarios. Así, para solucionar los problemas de saturación de estas redes se desarrolló la tecnología móvil digital o segunda generación, que mejoraba la capacidad y las prestaciones de su antecesora. Esta segunda generación supuso la universalización de las comunicaciones móviles, que se convirtieron en un herramienta esencial de la sociedad. Inicialmente, los terminales móviles sólo se utilizaban para la realización de llamadas de voz y el envío de mensajes cortos, pero pronto se descubrió el potencial de estos dispositivos para su uso en casi cualquier aplicación (emails, conexión a Internet, GPS, etc). Dichas aplicaciones se potenciaron con la llegada de la tercera generación de telefonía móvil y la aparición de los “smartphones”, esto es, teléfonos con la capacidad de cómputo de un orde-

1. Introducción

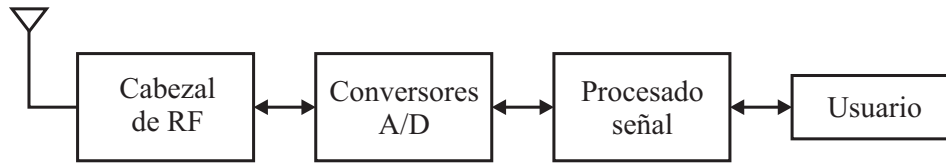


Figura 1.1.: Diagrama de bloques de la arquitectura de una radio definida por software

nador personal, que soportan casi cualquier aplicación y que permiten el acceso a múltiples redes de comunicación inalámbricas (redes móviles, redes Wi-fi, GPS, etc).

1.2. Radio definida por software

En la era de las comunicaciones, los sistemas de comunicación inalámbricos han adquirido una importancia capital. La movilidad y comodidad que proporciona la ausencia de cables, así como el mayor grado de conectividad que ofrece, hacen que estos sistemas sean la opción preferente para la mayoría de los usuarios.

La gran cantidad de servicios y aplicaciones utilizadas en la actualidad, requieren velocidades de transmisión cada vez mayores. Por ello, el objetivo en el diseño de los receptores para comunicaciones inalámbricas es doble. Por un lado, incrementar su ancho de banda, para aumentar la velocidad de transmisión, y por el otro, reducir el tamaño y coste de los mismos, para crear un producto atractivo que satisfaga a los consumidores. Hoy día, los terminales utilizados requieren de múltiples transceptores para poder acceder a las diferentes redes inalámbricas disponibles, lo que incrementa el tamaño, los costes de fabricación y el consumo de potencia de estos dispositivos. Así, una tarea importante para los próximos años es la simplificación de la circuitería de RF de estos terminales para abaratar costes y aumentar su autonomía.

Una solución muy interesante en la que se ha trabajado en la última década para simplificar la circuitería de RF de estos terminales es la arquitectura radio definida por software (Software Defined Radio, SDR) [2]. En este tipo de sistemas, todos los parámetros de operación, como el rango de frecuencias, el tipo de modulación o la potencia utilizada, se pueden controlar por software sin hacer ningún tipo de modificación en el hardware. La principal ventaja de este tipo de sistemas es que permite a los terminales trabajar con múltiples redes inalámbricas, basadas en diferentes estándares y que operan en diferentes bandas de frecuencia, haciendo uso de un único cabezal de RF.

La Fig. 1.1 muestra el diagrama de bloques básico de un SDR. En este sistema las señales que se reciben por la antena son convertidas a banda base por el cabezal de RF y digitalizadas por los conversores analógico-digitales (A/D). Posteriormente, todo el procesado de la señal es llevado a cabo en el dominio digital para recuperar la señal de información en función de la red y del esquema de modulación con el que se esté trabajando en ese momento. Idealmente, el cabezal de RF no es necesario en este tipo de sistemas, siempre que los conversores A/D sean capaces de muestrear a la frecuencia de la portadora de RF. Sin embargo, la realidad es muy distinta. Los receptores de

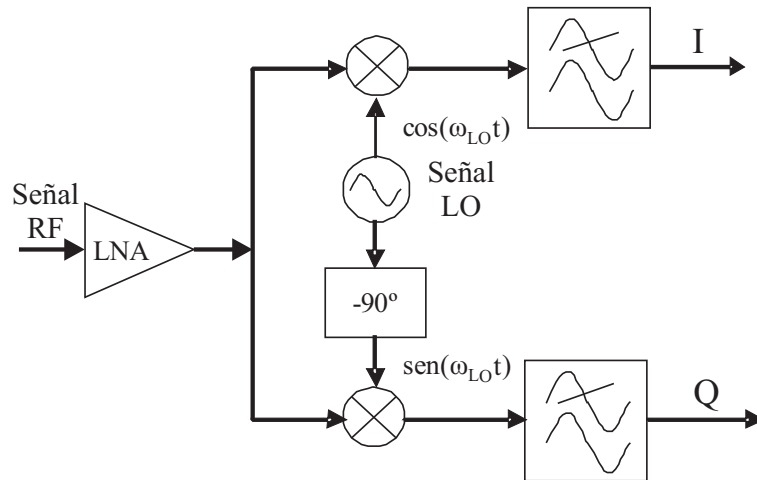


Figura 1.2.: Receptor homodino o de conversión directa.

banda ancha actuales son capaces de cubrir anchos de banda de hasta varios gigahercios. En dichas circunstancias, sería necesario el uso de conversores A/D de altísima velocidad que multiplicarían el precio de los dispositivos finales, haciendo inviable su comercialización. Así, una de las principales limitaciones de los terminales SDR es la velocidad de los propios conversores A/D y del sistema de procesamiento, que tiene que realizar las operaciones necesarias para poder demodular las señales que se reciben en tiempo real. En consecuencia, es imprescindible el uso de un cabezal de RF de banda ancha que sea capaz de cubrir las bandas de operación de las redes de comunicación con las que el terminal tenga que interactuar para relajar las especificaciones de estos subsistemas. Existen principalmente dos arquitecturas que permiten realizar la conversión a banda base, la homodina y la heterodina.

En la Fig. 1.2 se muestra el diagrama de bloques básico de un receptor homodino. Este circuito traslada la señal recibida desde la frecuencia de la portadora hasta banda base en un único paso, lo que se conoce como recepción directa o de frecuencia intermedia cero. Uno de los principales inconvenientes de este receptor es la reducción que sufre en su margen dinámico, causado por las diferentes señales interferentes que aparecen en banda base debido a [3]: i) offset de DC introducido por el oscilador local en el “auto-mezclado”, ii) errores de cuadratura entre los canales I/Q que hacen que las componentes de señal se mezclen a la salida, iii) productos de intermodulación de orden par que aparecen en banda base como términos de señal interferente, y iv) el ruido flicker. Estos problemas hicieron que la arquitectura de recepción homodina fuese abandonada inicialmente en favor de la heterodina, ya que ésta permitía resolver las limitaciones de la arquitectura homodina al realizar una traslación espectral de la señal de radiofrecuencia (RX) a una frecuencia intermedia (FI), donde las especificaciones hardware son más sencillas de conseguir. Sin embargo, la necesidad de conseguir mayores niveles de integración y de reducir los costes de fabricación, han reavivado el interés por la arquitectura homodina en los últimos años, ya que ésta permite la integración monolítica más fácilmente [3].

Una propuesta muy interesante es la implementación de terminales SDR basados

1. Introducción

en receptores de seis puertos. El receptor de seis puertos es un receptor homodino o de conversión directa que posee una red pasiva de seis puertos que combina las señales de RX y LO a la entrada de unos detectores de potencia que se encargan de realizar la conversión en frecuencia a banda base. Su diagrama de bloques se presentará más adelante en la sección 1.4. La combinación de los terminales SDR con la tecnología de seis puertos ofrece una gran flexibilidad en la configuración de estos sistemas y supone una importante reducción en el coste del hardware (particularmente a frecuencias milimétricas [4]). Así, múltiples tipos de circuitos de seis puertos se han implementado en diferentes bandas de frecuencia, desde 1 GHz [5, 6] hasta las decenas de GHz [4] en los últimos años.

1.3. Receptor de seis puertos: ventajas e inconvenientes

El receptor de seis puertos ofrece interesantes ventajas en comparación con las arquitecturas de recepción tradicionales homodina y heterodina [7], tales como:

- Gran ancho de banda y un comportamiento escalable a casi cualquier frecuencia (con una mayor facilidad de implementación en alta frecuencia).
- Su circuitería (red pasiva de seis puertos y detectores de potencia) no es muy compleja, lo que permite abaratar los costes de fabricación. Además, es un receptor cuyas imperfecciones en el hardware son fáciles de eliminar mediante calibración.
- Es completamente pasivo y tiene un menor consumo de potencia, ya que no es necesario polarizar los detectores y requiere menos potencia de oscilador local al utilizar estos detectores en régimen cuadrático.

Pese a todo, el receptor de seis puertos tiene el inconveniente de su reducido margen dinámico de funcionamiento, provocado principalmente por el reducido rango dinámico de los detectores de potencia [8]. Esto hace que el receptor de seis puertos sea más vulnerable a la presencia de señales interferentes que aparecen por: i) el propio esquema de detección homodino, que es poco selectivo y permite que señales interferentes situadas a frecuencias próximas a la de la señal recibida no sean adecuadamente filtradas a la entrada del receptor, y ii) los armónicos de las señales de entrada (generados en los detectores). Así, la arquitectura de recepción de seis puertos no puede competir en principio con las arquitecturas tradicionales (homodina y heterodina) en las bandas de frecuencias de unos pocos gigahercios. En estas bandas de frecuencias operan la mayoría de los sistemas inalámbricos y el espectro está saturado (gran presencia de posibles señales interferentes). Sin embargo, existen situaciones en las que estos receptores pueden igualar o incluso superar las prestaciones de los tradicionales:

- A frecuencias milimétricas la arquitectura de recepción de seis puertos predomina sobre las otras debido a los problemas que aparecen para conseguir amplificar a dichas frecuencias. Además, cuanto mayor es la frecuencia, más pequeña es la red pasiva de seis puertos y más fácil es su integración [9]. De hecho, para frecuencias más allá de los 100 GHz la arquitectura de recepción de

1.4. Receptor de seis puertos en el panorama de las comunicaciones actuales

seis puertos domina por encima de las tradicionales, debido a los problemas de amplificación [7].

- Para su utilización en equipos de instrumentación para la evaluación de transceptores de microondas. Este tipo de pruebas se hacen en laboratorios con un entorno controlado y libre de señales interferentes que puedan falsear las medidas, por lo que una de las principales limitaciones de los receptores de seis puertos queda fuertemente mitigada. Dentro de esta aplicación una banda de operación muy interesante es la banda UWB (3.1 a 10.6 GHz). Actualmente, esta banda de operación está siendo utilizada para el desarrollo de múltiples aplicaciones como las comunicaciones inalámbricas de interior a alta velocidad (como la conexión USB inalámbrica) o la implementación de detectores radar para poder ver a través de obstáculos [10]. Además, la necesidad de mayores velocidades de transmisión está provocando que incluso algunos de los estándares de comunicación más importantes estén comenzando a trabajar en esta banda: i) LTE (Long Term Evolution o cuarta generación de telefonía móvil) tiene canales en la banda de 3.5-3.6 GHz, ii) Wi-Fi a 5 GHz, iii) Wimax (Worldwide Interoperability for Microwave Access) que fue definido para trabajar en la banda de 2 a 11 GHz en el estándar IEEE 802.16a . Así, parece interesante poder disponer de una radio configurable por software capaz de interactuar y evaluar los transceptores que están siendo diseñados para estas aplicaciones.

1.4. Receptor de seis puertos en el panorama de las comunicaciones actuales

Hoy día el receptor de seis puertos es un receptor homodino o de conversión directa muy conocido. Inicialmente, las arquitecturas de seis puertos se presentaron como una opción para aplicaciones de metrología a frecuencias de microondas [11, 12]. En este ámbito se propusieron diferentes arquitecturas y métodos de calibración, y se realizaron estudios sobre su exactitud para la medida del coeficiente de reflexión [13, 14]. Posteriormente, se estudió la posibilidad de usar los dispositivos de seis puertos como receptores de conversión directa [15]. Desde entonces, ha existido un gran interés en el diseño de estos receptores, i) para diferentes aplicaciones, como radares [16], discriminadores de frecuencia [17], detección del cáncer de pecho [18, 19], seguridad en el tráfico [7, 20], o nuevos esquemas de demodulación [21], ii) en diferentes bandas de frecuencia, desde 1 GHz [5, 6] hasta las decenas de GHz [4], y iii) utilizando diferentes tecnologías en su implementación, como la tecnología plástico multicapa [22], la tecnología MMIC (Monolithic Microwave Integrated Circuit) [23], o las tecnología CMOS (Complementary Metal-Oxide-Semiconductor) [24]. Además, la recepción directa basada en dispositivos de seis puertos es un tema de gran relevancia en la actualidad en el ámbito de las comunicaciones ópticas. De hecho, actualmente los receptores de seis puertos son los únicos candidatos para desarrollar los nuevos receptores ópticos coherentes, que permitirían incrementar la velocidad de transmisión de cada una de las longitudes de onda usadas en los sistemas troncales de fibra óptica, pasando de los actuales 10-40 Gb/s por longitud de onda, a los previstos 100-200Gb/s [25-27].

1. Introducción

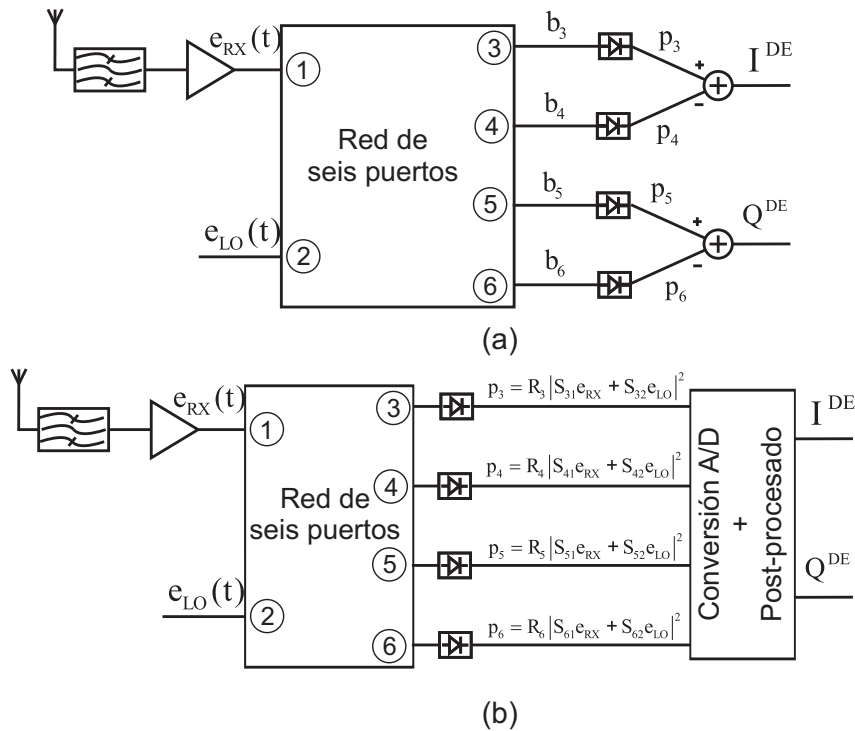


Figura 1.3.: Diagramas de bloque de los demoduladores I/Q de seis puertos. a) Generación I/Q analógica. b) Generación I/Q digital.

Existen dos alternativas a la hora de diseñar los receptores de seis puertos, el demodulador I/Q digital y el demodulador I/Q analógico, cuyos diagramas de bloque se muestran en la Fig. 1.3. En las primeras propuestas de receptores de seis puertos e incluso en algunas recientes [5, 15, 28], las salidas de los cuatro detectores se digitalizan para obtener las señales I/Q (generación I/Q digital). Esto permite usar técnicas de calibración muy potentes [29–31] capaces de eliminar los errores del hardware. Sin embargo, la aproximación digital impone importantes restricciones a los convertidores analógico-digitales (A/D) y al sistema de post-procesado posterior, ya que ésta requiere un convertidor A/D con cuatro entradas de muestreo simultáneas.

Más recientemente, los receptores de seis puertos con generación I/Q analógica se han convertido en la alternativa preferente [32–34]. En esta aproximación, las señales I/Q se obtienen directamente de las salidas de los detectores de forma analógica. Así, esta aproximación ofrece una solución más simple, a costa de un hardware con unos requisitos más exigentes. Dicha exigencia se debe a que en este receptor sólo se dispone de los símbolos I/Q para realizar las operaciones de post-procesado tras la conversión analógico-digital. Sin embargo, en el caso digital se dispone de las cuatro salidas de los detectores (i.e. más información), lo que permite a las técnicas de calibración obtener mejores resultados. En contrapartida, la generación analógica reduce las especificaciones del convertidor A/D y del sistema de post-procesado, ya que sólo requiere un convertidor A/D con dos entradas simultáneas.

1.5. Principales objetivos de la Tesis

El principal objetivo de esta Tesis es el diseño, implementación y evaluación experimental de un demodulador I/Q de seis puertos analógico de altas prestaciones, capaz de operar en la banda de 3.1 a 10.6 GHz sin necesidad de técnicas de calibración, o requiriendo una única calibración para toda la banda de operación. Cumpliendo estas características, este circuito permitiría la demodulación de señales (tanto de banda ancha, como de banda estrecha) basadas en casi cualquier esquema de modulación (QPSK, 16QAM, etc.) y reducir los requisitos tanto de la etapa de conversión analógico-digital, como de la etapa de post-procesado. En última instancia, esto redundaría en una reducción sustancial de la complejidad y del coste final de este tipo de demoduladores. Sin embargo, la consecución de este objetivo requiere la realización de múltiples objetivos intermedios que permitan resolver las incógnitas y los problemas que conlleva la implementación de un demodulador I/Q de seis puertos con semejantes características. Dichos objetivos son:

1. **Estudio detallado de la degradación de las prestaciones de un demodulador de seis puertos con generación I/Q analógica debido a las imperfecciones de sus elementos.** En el demodulador I/Q de seis puertos analógico, las señales I/Q se obtienen directamente de las salidas de los detectores, lo que ofrece una solución más simple, a costa de un hardware con unos requisitos más exigentes a priori. Como ya se ha comentado, dicha exigencia se debe a que en este receptor sólo se dispone de los símbolos I/Q para realizar las operaciones de post-procesado tras la conversión analógico-digital, lo que limita en gran medida la capacidad de las técnicas de calibración para eliminar los errores del hardware. Sin embargo, las prestaciones reales que debían cumplir los diferentes elementos del demodulador para que éste fuese capaz de operar incluso sin el uso de técnicas de calibración eran una gran incógnita al comienzo de esta Tesis. Pese a que existen numerosos trabajos sobre el comportamiento del receptor de seis puertos en diferentes situaciones [35–38], hasta donde el autor conoce, no existía un completo estudio teórico sobre la influencia que tienen las imperfecciones de los diferentes elementos en las prestaciones del demodulador. Así un objetivo muy importante de la presente Tesis es la realización de un estudio detallado de la degradación de las prestaciones de un demodulador de seis puertos con generación I/Q analógica debido a las imperfecciones de sus elementos. Dicho estudio pretende: i) obtener expresiones compactas que proporcionen un entendimiento más profundo de las causas de la degradación de las prestaciones en este tipo de demoduladores. ii) obtener expresiones que permitan evaluar de forma numérica dicha degradación, iii) evaluar las características de las diferentes redes de seis puertos que se suelen utilizar, y iv) ser capaz de determinar las especificaciones que deben cumplir los elementos del demodulador para alcanzar determinados requisitos de diseño.
2. **Diseño y evaluación de diferentes arquitecturas de seis puertos que cubran la banda de 3.1 a 10.6 GHz.** El elemento más importante del demodulador I/Q de seis puertos es la propia red de seis puertos, ya que ésta es la que introduce los desfases necesarios para que la demodulación I/Q analógica sea posible. Su

1. Introducción

principal limitación es que su comportamiento en frecuencia depende del ancho de banda de sus componentes. En los primeros demoduladores implementados con éxito, el ancho de banda fraccional de las arquitecturas utilizadas no superaba el 30% [39, 40], lo que permitía diseñar los diferentes elementos que componen estas redes con prestaciones aceptables. Recientemente, gracias al desarrollo de las tecnologías multicapa, están apareciendo nuevas implementaciones [18, 19, 22, 41–44] que consiguen aumentar el ancho de banda de estas estructuras, pero con prestaciones reducidas. Esto se debe a que logran incrementar el ancho de banda a costa de: i) degradar enormemente las pérdidas de retorno en los puertos de la arquitectura, ii) degradar el aislamiento entre los puertos de LO y RX, y iii) permitir desbalances excesivos en amplitud y fase. Con estos errores, no es posible la demodulación de la señales I/Q con una baja probabilidad de error sin utilizar procedimientos de calibración. Así, otro de los objetivos más importantes de esta Tesis es el diseño y la evaluación de diferentes arquitecturas de seis puertos que cubran la banda de 3.1 a 10.6 GHz para comparar sus resultados y elegir la más adecuada para el demodulador I/Q.

- 3. Desarrollo de técnicas que permitan el diseño y la implementación de acopladores direccionales de altas prestaciones con un ancho de banda y nivel de acoplamiento arbitrario.** Las arquitecturas de seis puertos que permiten la demodulación I/Q analógica hacen uso de diferentes elementos pasivos de microondas tales como: i) híbridos en cuadratura, ii) desfasadores de 90° , y iii) divisores de potencia. Todos estos elementos tienen que ser capaces de cubrir la banda de 3.1 a 10.6 GHz con las prestaciones adecuadas para que la demodulación I/Q analógica sin necesidad de procedimientos de calibración sea posible. En concreto, el elemento clave de este tipo de arquitecturas es el híbrido en cuadratura, ya que tanto su desbalanceo en la amplitud y como su error en el desfase entre sus puertos directo y acoplado se trasladan a la arquitectura de seis puertos haciendo que su comportamiento se degrade enormemente. El principal problema en el diseño de este elemento es que el estado de la técnica en cuanto a híbridos en cuadratura con desbalances en módulo y fase reducido con semejante ancho de banda es casi inexistente. Así, uno de los grandes objetivos y retos de esta Tesis es el desarrollo de técnicas que permitan la implementación de acopladores direccionales de altas prestaciones con un ancho de banda y nivel de acoplamiento arbitrario. Este objetivo se complementa con el diseño de los otros elementos requeridos en la implementación de las arquitecturas, tales como el desfasador de 90° y el divisor de potencia.
- 4. Diseño de la etapa de detección.** La teoría de recepción basada en dispositivos de seis puertos requiere del uso de etapas de detección que trabajen en régimen cuadrático para que los símbolos se puedan demodular correctamente. Además, la etapa de detección tiene que ser capaz de cubrir toda la banda de 3.1 a 10.6 GHz con un buen nivel de adaptación a la entrada, un margen dinámico aceptable y una sensibilidad lo más constante posible dentro de la banda de operación. Así, el diseño de una etapa de detección de buenas prestaciones es un objetivo imprescindible para poder implementar y validar el demodulador completo.

Por último, otro objetivo muy interesante de esta Tesis es estudiar posibles aplicaciones en las que el hardware de altas prestaciones desarrollado pueda ser de utilidad dentro del campo de las comunicaciones actuales.

1.6. Aportaciones de la Tesis

A continuación se detallan las aportaciones que han surgido en el desarrollo de esta Tesis. Algunas de ellas han surgido como consecución directa de los objetivos comentados en la sección anterior y otras a través de las colaboraciones realizadas con otros miembros del grupo de investigación. Dichas aportaciones se recogen de forma esquemática en la Fig. 1.4.

- **Análisis del demodulador I/Q de seis puertos analógico** [45–48]. Se ha realizado un minucioso estudio teórico del demodulador I/Q de seis puertos que ha permitido entender su funcionamiento, comprender cómo le afectan las imperfecciones de sus elementos y establecer una serie de figuras de mérito que faciliten el proceso de diseño y la evaluación de las características de las diferentes redes de seis puertos que se suelen utilizar [45, 46]. Además, se ha colaborado con otros miembros del grupo de investigación extendiendo al campo de la óptica los conceptos desarrollados sobre demoduladores de seis puertos a frecuencias de microondas. Esto ha permitido realizar una comparativa mediante simulación de dos arquitecturas de receptores ópticos coherentes: una de ellas basada en una red de seis puertos y la otra en una red de cinco puertos, mostrando las ventajas de la segunda frente a la distorsión no lineal [47, 48].
- **Diseño de acopladores en tecnología planar integrada de banda ultra-ancha y altas prestaciones** [49–54]. Inicialmente se propuso una metodología de diseño de acopladores direccionales de múltiples secciones acopladas por ranura. Ésta aprovecha de que, para determinados niveles de acoplamiento y anchos de banda, es posible conseguir que se auto-compensen el efecto de las discontinuidades y de las diferentes velocidades de fase de los modos en este tipo de acopladores. Para demostrar la validez de esta metodología, se publicó el diseño de un híbrido en cuadratura de tres secciones con rizado uniforme capaz de operar en la banda de 3.1 a 10.6 GHz [49, 52]. Posteriormente, se han desarrollado técnicas capaces de compensar por completo tanto el efecto parásito de las discontinuidades como las velocidades de fase de los modos par e impar de forma independiente. Estas técnicas permiten diseñar acopladores direccionales de múltiples secciones acopladas mediante ranuras corrugadas, con un nivel de acoplamiento y ancho de banda arbitrarios, cuyas prestaciones son estado del arte [50, 51]. Por otro lado, se ha colaborado con otros miembros del grupo de investigación en el diseño de un acoplador de 10 dB en tecnología LTCC que cubre un ancho de banda de una década, desde 1.8 hasta 18 GHz [53, 54].
- **Diseño de arquitecturas de seis puertos de banda ultra-ancha y altas prestaciones** [17, 55–57]. El desarrollo de la metodología de diseño de acopladores direccionales de altas prestaciones ha permitido la implementación tanto

1. Introducción

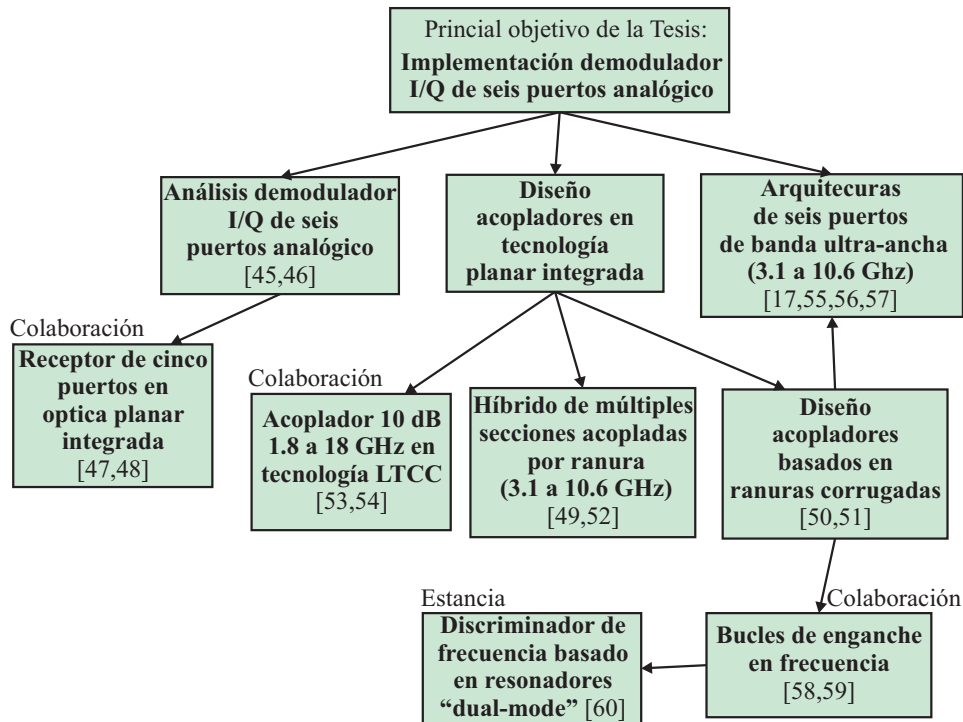


Figura 1.4.: Aportaciones realizadas en el ámbito de esta Tesis.

de híbridos en cuadratura, como de desfases de 90° , capaces de cubrir la banda de 3.1 a 10.6 GHz con mínimos errores en módulo y fase. Estos circuitos han sido usados en esta Tesis para diseñar diferentes arquitecturas de seis puertos capaces de cubrir la banda UWB (3.1 a 10.6 GHz) y cuyas prestaciones en cuanto al desbalanceo en módulo y fase de sus centros son estado del arte [17, 55–57].

- **Diseño de discriminadores de frecuencia para bucles de enganche en frecuencia** [58–60]. Dentro del grupo de investigación en el que se ha desarrollado esta Tesis, una línea de investigación muy importante trata sobre del diseño de bucles de enganche en frecuencia o FLL (Frequency Locked Loop). Este sistema permite reducir el ruido de fase de los osciladores locales de los equipos de instrumentación, pero requiere de un hardware pasivo de microondas de altas prestaciones para funcionar de forma adecuada. Así, como parte de esta Tesis, se ha colaborado con otros miembros del grupo de investigación en la implementación de este sistema diseñando algunos de los circuitos pasivos de microondas que éste utiliza [58, 59]. Además, a raíz de una estancia realizada en un centro de investigación extranjero, se ha logrado diseñar un nuevo tipo de discriminador de frecuencia balanceado que no requiere del uso de líneas de retardo y que utiliza dos resonadores microstrip "dual-mode" ajustables en frecuencia, lo que dobla el ancho de banda potencial de la solución clásica y hace posible el diseño de discriminadores de frecuencia ultra-compactos con un gran ancho de banda [60].

1.7. Organización de la Tesis

Los contenidos que se incluyen en esta memoria de Tesis se han estructurado en ocho capítulos. El primero de ellos comienza con una breve introducción que sirve para contextualizar el trabajo desarrollado y justificar la necesidad del mismo. El contenido más relevante del resto de capítulos se presenta a continuación.

En el segundo capítulo se realiza un estudio detallado de la degradación de las prestaciones del demodulador de seis puertos con generación I/Q analógica, debido a las imperfecciones de la unión pasiva de seis puertos. Así, en este capítulo:

- Se estudia la distorsión que sufren las constelaciones recibidas por este tipo de demoduladores
- Se cuantifica el efecto de las imperfecciones del hardware en este tipo de demoduladores a partir de la magnitud del vector error (Error Vector Magnitude, EVM).
- Se obtienen expresiones para calcular la probabilidad de error de este tipo de demoduladores a partir del EVM.
- Se analizan tres arquitecturas de seis puertos diferentes para obtener una mayor comprensión sobre su funcionamiento, determinar sus principales limitaciones y conocer cuál de ellas puede ofrecer unas mejores prestaciones.

En el tercer capítulo se aborda el núcleo fundamental de esta Tesis, el diseño de acopladores direccionales en tecnologías planares compatibles con la microstrip. Como hito fundamental se presenta una novedosa metodología de diseño de acopladores que permite la implementación de acopladores direccionales de altas prestaciones con un nivel de acoplamiento y ancho de banda arbitrarios. Así, en este capítulo:

- Se analiza el acoplador direccional acoplado por ranura, que es elemento fundamental utilizado en esta Tesis.
- Se presenta la metodología de diseño simplificada que permite la implementación de acopladores de banda ancha de buenas prestaciones, pero con algunas limitaciones.
- Se presentan dos nuevas técnicas de compensación que permiten resolver las principales limitaciones de los acopladores direccionales de múltiples secciones acopladas por ranura.
- Se muestran los diferentes acopladores direccionales que se han diseñado para demostrar la validez de las nuevas técnicas desarrolladas.

En el cuarto capítulo se aborda el diseño de desfasadores en tecnologías planares compatibles con la microstrip y se presentan algunas aplicaciones en las que los acopladores y los desfasadores diseñados están siendo utilizados: i) diseño de matrices de Butler de banda ancha, y ii) implementación de bucles de enganche en frecuencia para la reducción del ruido de fase de los osciladores locales de los equipos de instrumentación.

1. Introducción

En el quinto capítulo se muestra el trabajo desarrollado en el diseño de divisores de potencia de banda ancha y se presenta el diseño y evaluación de tres arquitecturas de seis puertos que hacen uso de los elementos pasivos diseñados a lo largo de esta Tesis y que cubren la banda de 3.1 a 10.6 GHz, evaluando sus resultados y seleccionando la más adecuada para la implementación de demodulador I/Q de seis puertos. Así, se presentan los diseños de:

- Arquitectura formada por tres híbridos y un divisor de potencia.
- Arquitectura formada por cuatro híbridos y un desfasador de 90° .
- Arquitectura formada por dos híbridos, dos divisores de potencia y un desfasador de 90° .

En el sexto capítulo se aborda finalmente la implementación y evaluación del demodulador I/Q de seis puertos. Así, en este capítulo:

- Se realiza el diseño de la etapa de detección del demodulador.
- Se realiza el diseño de la etapa de amplificación banda base del demodulador.
- Se presenta el prototipo final del demodulador IQ de seis puertos implementado.
- Se explica en detalle el funcionamiento de la estación de medida automatizada empleada en la evaluación del demodulador.
- Se presentan los resultados obtenidos por el demodulador para las diferentes pruebas que se han podido realizar.

Finalmente, en los capítulos séptimo y octavo se presentan las conclusiones y líneas futuras de esta Tesis en Castellano y en Inglés, respectivamente.

2

Análisis del demodulador I/Q basado en arquitecturas de seis puertos

DESDE que fue propuesta en el año 1994, la técnica de recepción basada en arquitecturas de seis puertos ha sido ampliamente desarrollada a frecuencias de microondas. En los últimos años, una de las principales líneas de desarrollo ha sido la implementación de receptores de seis puertos homodinos con generación I/Q analógica. Por otro lado, el desarrollo de este tipo de arquitecturas no sólo está ligado al ámbito de las microondas, sino que está jugando un papel fundamental en el campo de las comunicaciones ópticas, donde la arquitectura de seis puertos se destaca como la mejor alternativa para la realización de los receptores ópticos coherentes necesarios para incrementar la velocidad de las actuales redes de comunicaciones ópticas.

Este capítulo tiene como objetivo adquirir una mayor comprensión sobre las prestaciones que los demoduladores I/Q basados en arquitecturas de seis puertos pueden ofrecer mediante el modelado analítico de su comportamiento. Así, este capítulo se ha organizado de la siguiente forma. En la sección 2.2 se analiza el demodulador de seis puertos con generación I/Q analógica. En la sección 2.3 se estudia la distorsión que sufren las constelaciones recibidas por este tipo de demoduladores a partir de las ecuaciones obtenidas en la sección anterior. En la sección 2.4 se cuantifica el efecto de las imperfecciones del hardware en este tipo de demoduladores a partir de la magnitud del vector error (Error Vector Magnitude, EVM). En la sección 2.5 se obtienen expresiones para calcular la probabilidad de error de este tipo de demoduladores a partir del EVM. En la sección 2.6 se analizan las arquitecturas de seis puertos que se han diseñado a lo largo de esta Tesis para obtener una mayor comprensión sobre su funcionamiento. En la sección 2.7 se validan las fórmulas propuestas del EVM y la probabilidad de error con el estudio de un ejemplo práctico concreto. Finalmente, en la sección 2.8 se presentan las conclusiones de este capítulo.

2.1. Introducción

La Fig. 2.1 muestra los diagramas de bloques utilizados en la implementación de receptores de seis puertos, cuyos elementos principales son la red pasiva de seis puertos y los detectores de potencia. El objetivo de la red pasiva de seis puertos es combi-

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

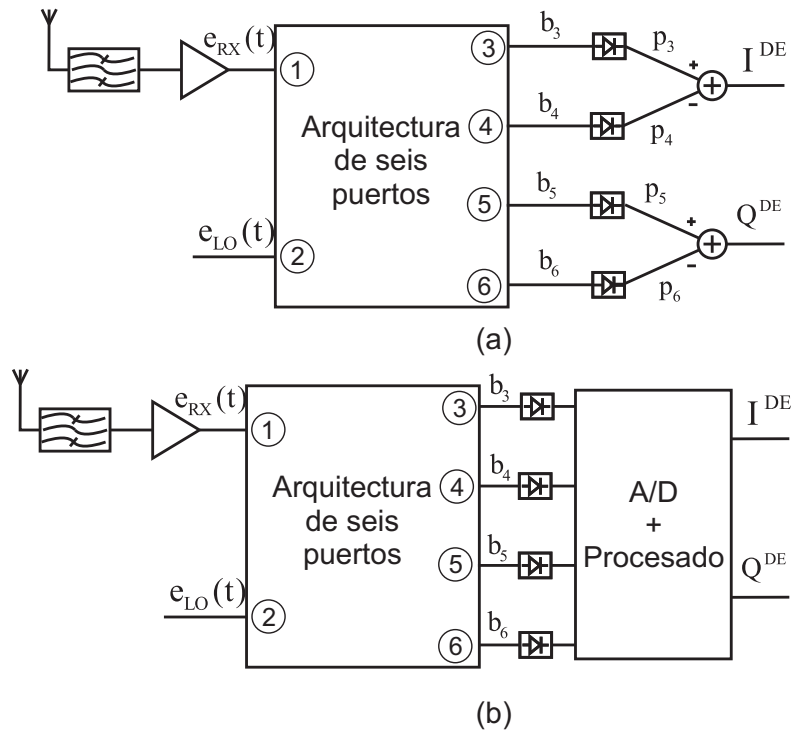


Figura 2.1.: Diagramas de bloques del receptor de seis puertos. a) Generación I/Q analógica. b) Generación I/Q digital.

nar las señales del oscilador local (LO) y de radiofrecuencia (RX) de forma adecuada, para poder recuperar la señal I/Q a partir de las señales de salida de los detectores potencia. Este tipo de receptores son generalmente diseñados trabajar en una configuración homodina, esto es, con la frecuencia de LO igual a la de RX. De esta forma, las salidas de los detectores se obtienen en banda base y las señales I/Q puede ser recuperadas directamente, ya sea en forma analógica (ver Fig. 2.1(a)) o digital (ver Fig. 2.1(b)). Como ya se dijo en el primer capítulo, en las primeras propuestas de receptores de seis puertos e incluso en algunas recientes [5, 15, 28], las salidas de los cuatro detectores se digitalizan para obtener las señales I/Q (generación I/Q digital). Esto permite usar técnicas de calibración muy potentes [29–31] capaces de eliminar los errores del hardware. Sin embargo, más recientemente, los receptores de seis puertos con generación I/Q analógica se han convertido en la alternativa preferente [32–34]. En esta aproximación, las señales I/Q se obtienen directamente de las salidas de los detectores de forma analógica. Así, esta aproximación ofrece una solución más simple, a costa de un hardware con unos requisitos más exigentes, ya que sólo se dispone de los símbolos I/Q para realizar las operaciones de post-procesado tras la conversión analógico-digital.

Dado que en principio la solución analógica requiere unas prestaciones más exigentes, parece imprescindible conocer cuáles deben de ser las especificaciones de esta estructura y cómo sus imperfecciones pueden llegar a degradar el comportamiento de estos receptores. Existen numerosos trabajos sobre el comportamiento de

2.2. Teoría del demodulador de seis-puertos con generación I/Q analógica

receptor de seis puertos en diferentes situaciones. Por ejemplo, en [35] el receptor de seis puertos se describe de forma teórica, comparándolo con las arquitecturas de recepción homodina y heterodina convencionales. En [36] se estudia la recepción mediante dispositivos de seis puertos con diodos en configuración anti-paralela. En [37] el estudio se centra en el nivel de potencia de LO a utilizar en estos receptores en función de la respuesta no lineal del diodo, suponiendo que la red de seis puertos es ideal. En [38] se estudian las características de los detectores de potencia basados en diodos a utilizar en estos receptores, suponiendo que la red de seis puertos es ideal. Por otro lado, en [61, 62] se proponen soluciones para mejorar el punto de intersección del producto de intermodulación de segundo orden. Sin embargo, hasta donde el autor conoce, no existía un completo estudio teórico sobre la influencia que tienen las imperfecciones de la red de seis puertos en las prestaciones del receptor.

El objetivo de este capítulo es realizar un estudio detallado de la degradación de las prestaciones de un demodulador de seis puertos con generación I/Q analógica, debido a las imperfecciones de la unión pasiva de seis puertos. Asumiendo un comportamiento cuadrático ideal en los detectores de potencia, en este capítulo se obtienen expresiones compactas que proporcionan un entendimiento más profundo de las causas de la degradación de las prestaciones en este tipo de demoduladores. Además, estas expresiones permiten calcular fácilmente la magnitud del vector error (Error Vector Magnitude, EVM) y la probabilidad de error de bit (Bit Error Rate, BER) del sistema y establecer especificaciones para cumplir determinados requisitos de diseño. Finalmente, tres de las arquitecturas de seis puertos más conocidas a frecuencias de microondas son evaluadas y comparadas de forma teórica utilizando las expresiones propuestas.

2.2. Teoría del demodulador de seis-puertos con generación I/Q analógica

2.2.1. Demodulador I/Q ideal

Antes de presentar el comportamiento específico de un demodulador I/Q basado en una arquitectura de seis puertos es importante analizar la funcionalidad que debe cumplir un demodulador I/Q ideal. A partir de la Fig. 2.1 y considerando una configuración homodina ($\omega_{RX} = \omega_{LO}$), las señales de RX y LO se pueden escribir en forma compleja como

$$\begin{aligned} e_{RX}(t) &= \text{Re} \{ \tilde{e}_{RX} \exp(j\omega_0 t) \} \\ e_{LO}(t) &= \text{Re} \{ \tilde{e}_{LO} \exp(j\omega_0 t) \} \end{aligned} \quad (2.1)$$

donde \tilde{e}_{RX} y \tilde{e}_{LO} son números complejos. Así, el símbolo recibido se puede definir en el plano complejo como el cociente

$$\Gamma^{RX} = \frac{\tilde{e}_{RX}}{\tilde{e}_{LO}} = I^{RX} + jQ^{RX}, \quad (2.2)$$

cuya amplitud es el cociente entre las amplitudes de los fasores de las señales de RX y

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

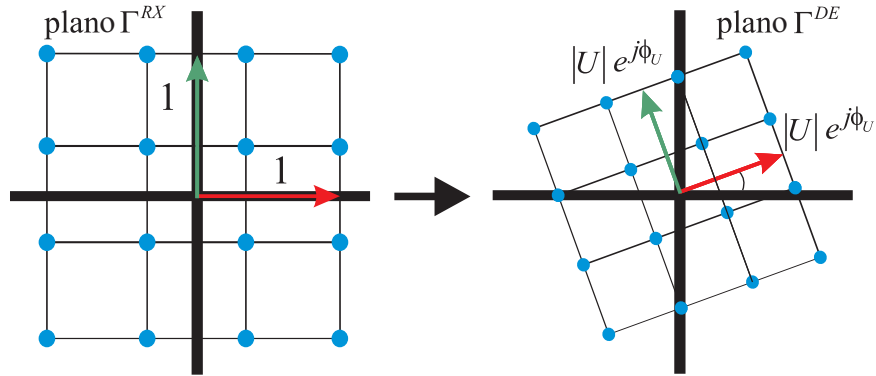


Figura 2.2.: Transformación entre el plano de los símbolos recibidos (Γ^{RX}) y el plano de los símbolos demodulados (Γ^{DE}) causado por un demodulador I/Q ideal.

LO,

$$|\Gamma^{RX}| = \left| \frac{\tilde{e}_{RX}}{\tilde{e}_{LO}} \right| = \sqrt{\frac{P_{RX}}{P_{LO}}}, \quad (2.3)$$

y cuya fase es la diferencia de fase de ambos fasores. Un demodulador I/Q genérico permite recuperar el símbolo demodulado

$$\Gamma^{DE} = I^{DE} + jQ^{DE}. \quad (2.4)$$

En una situación ideal el símbolo demodulado Γ^{DE} es igual al símbolo recibido Γ^{RX} salvo por una constante arbitraria compleja para cualquier constelación de símbolos recibida, esto es

$$\Gamma^{ID} = \Gamma^{DE} = U\Gamma^{RX}, \quad (2.5)$$

donde el superíndice ID significa demodulación ideal. Es importante destacar que, desde el punto de vista de los receptores de comunicación, dicha constante arbitraria U es irrelevante, ya que su amplitud $|U|$ y su fase ϕ_U son ajustadas posteriormente por el control automático de ganancia (Automatic Gain Control, AGC) y el subsistema de recuperación de portadora, respectivamente. Esta situación se ilustra en la Fig. 2.2, donde se muestra gráficamente como en el caso ideal el demodulador establece una transformación entre el plano de los símbolos recibidos (Γ^{RX}) y el de los demodulados (Γ^{DE}) que consiste en un simple escalado y rotación que se puede corregir fácilmente.

2.2.2. Demodulador I/Q basado en una arquitectura de seis puertos

En la Fig. 2.1(a) se muestra el diagrama de bloques de un receptor de seis puertos con generación I/Q analógica. Este se compone fundamentalmente de una unión pasiva de seis puertos con dos entradas, para las señales de RX y LO, y cuatro salidas conectadas a cuatro detectores de potencia. Asumiendo que los detectores de potencia están correctamente adaptados y que presentan un comportamiento cuadrático ideal, a su salida se obtienen cuatro ondas de potencia que son diferentes combinaciones lineales de las señales de RX y LO, esto es

2.2. Teoría del demodulador de seis-puertos con generación I/Q analógica

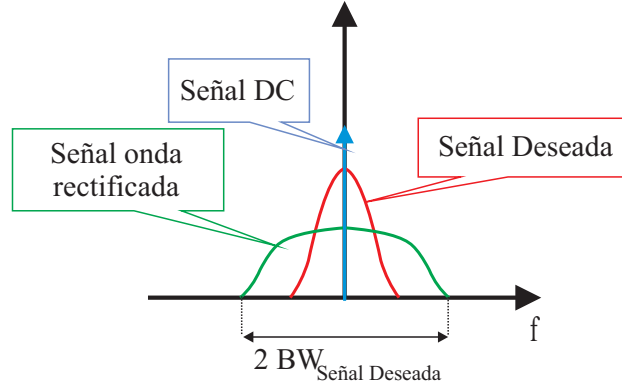


Figura 2.3.: Espectro de las señales I/Q.

$$p_i = R_i |\tilde{b}_i|^2 = R_i |S_{i1} \tilde{e}_{RX} + S_{i2} \tilde{e}_{LO}|^2 \quad i = 3, \dots, 6., \quad (2.6)$$

donde S_{ik} son los parámetros S de la unión de seis puertos y R_i son las responsividades de los detectores de potencia. Este resultado se puede generalizar para el caso de detectores que no estén perfectamente adaptados.

Definiendo: i) la potencia de LO como $P_{LO} = |\tilde{e}_{LO}|^2$, ii) la sensibilidad de los puertos de salida como $k_i = R_i |S_{i1}|^2$, y iii) los centros de la red de seis puertos, que juegan un papel fundamental en la teoría de seis puertos [12], como $q_i = -S_{i2}/S_{i1}$, la ecuación (2.6) puede reescribirse como:

$$p_i = P_{LO} k_i \left[|q_i|^2 + |\Gamma^{RX}|^2 - 2\text{Re}(q_i^* \Gamma^{RX}) \right] \quad i = 3, \dots, 6. \quad (2.7)$$

Como se vio en la Fig. 2.1(a), en la recepción analógica las salidas de la red de seis puertos se restan analógicamente tras la detección para obtener las componentes en fase (I^{DE}) y cuadratura (Q^{DE}) de la señal recibida. Las señales de salida de estos canales se pueden normalizar con la potencia de LO (P_{LO}) obteniendo

$$\overline{I^{DE}} = \frac{p_3 - p_4}{P_{LO}} = \alpha_I + \gamma_I |\Gamma^{RX}|^2 + \text{Re}(u^* \Gamma^{RX}), \quad (2.8)$$

$$\overline{Q^{DE}} = \frac{p_5 - p_6}{P_{LO}} = \alpha_Q + \gamma_Q |\Gamma^{RX}|^2 + \text{Re}(v^* \Gamma^{RX}). \quad (2.9)$$

El espectro de estas señales se muestra en la Fig. 2.3. Por comodidad, de aquí en adelante I^{DE} y Q^{DE} serán considerados como los canales de salida I/Q normalizados de las ecuaciones (2.8) y (2.9). Para obtener estas ecuaciones se han definido cuatro nuevos parámetros (α , γ , u y v):

- Parámetro de señal Continua ($\alpha = \alpha_I + j\alpha_Q$)

$$\alpha_I = k_3 |q_3|^2 - k_4 |q_4|^2 \quad (2.10)$$

$$\alpha_Q = k_5 |q_5|^2 - k_6 |q_6|^2$$

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

- Parámetro de señal de onda rectificada ($\gamma = \gamma_I + j\gamma_Q$)

$$\gamma_I = k_3 - k_4 \quad (2.11)$$

$$\gamma_Q = k_5 - k_6$$

- Ejes de referencia en la demodulación (u y v)

$$u = 2(k_4 q_4 - k_3 q_3) \rightarrow u = u_I + ju_Q \quad (2.12)$$

$$v = 2(k_6 q_6 - k_5 q_5) \rightarrow v = v_I + jv_Q$$

Estos cuatro parámetros complejos (α , γ , u y v), cuyo significado se explicará más adelante, permiten caracterizar por completo las prestaciones de un demodulador I/Q basado en una arquitectura de seis puertos [45, 46].

Las ecuaciones (2.8) y (2.9) se pueden expresar en forma compleja como

$$\Gamma^{DE} = \alpha + \gamma |\Gamma^{RX}|^2 + \{ \text{Re}(u^* \Gamma^{RX}) + j \text{Re}(v^* \Gamma^{RX}) \}, \quad (2.13)$$

o alternativamente en forma matricial como

$$\begin{bmatrix} I^{DE} \\ Q^{DE} \end{bmatrix} = \begin{bmatrix} \alpha_I \\ \alpha_Q \end{bmatrix} + \begin{bmatrix} \gamma_I \\ \gamma_Q \end{bmatrix} |\Gamma^{RX}|^2 + \begin{bmatrix} u_I & u_Q \\ v_I & v_Q \end{bmatrix} \begin{bmatrix} I^{RX} \\ Q^{RX} \end{bmatrix}. \quad (2.14)$$

Estas ecuaciones describen la transformación entre el plano de los símbolos recibidos y los demodulados que realiza cualquier demodulador de seis puertos con generación I/Q analógica bajo condición homodina y con un comportamiento cuadrático en sus detectores. De hecho, la validez de las ecuaciones obtenidas no sólo se restringe al ámbito de la microondas [45], sino que también se han utilizado en campo de la óptica planar integrada [47, 48]. De aquí en adelante los tres nuevos parámetros definidos anteriormente, que aparecen de izquierda a derecha en las ecuaciones (2.13) y (2.14), serán denominados: término de DC (α), término de distorsión de onda rectificada (γ) y términos de ejes de referencia lineales (u y v), respectivamente.

2.2.3. Demodulador I/Q de seis puertos ideal

En un demodulador I/Q de seis puertos ideal todos los detectores de potencia tienen la misma responsividad ($R_i = R$) y una red de seis puertos con una matriz de parámetros S similar a [15]:

$$S = \frac{1}{2} \begin{pmatrix} 0 & 0 & 1 & j & j & -1 \\ 0 & 0 & 1 & j & -1 & j \\ 1 & 1 & 0 & 0 & 0 & 0 \\ j & j & 0 & 0 & 0 & 0 \\ j & -1 & 0 & 0 & 0 & 0 \\ -1 & j & 0 & 0 & 0 & 0 \end{pmatrix}. \quad (2.15)$$

En esta situación el demodulador presenta una sensibilidad en sus puertos de salida $k_i = 1/4$ y sus centros cumplen la relación: $q_3 = -1$, $q_4 = 1$, $q_5 = -j$, $q_6 = j$. Bajo estas condiciones $\alpha = \gamma = 0$ y $u = -jv = 1$, por lo que la ecuación (2.13) se reduce a

2.3. Distorsión de las constelaciones recibidas debido a errores en la red de seis puertos

$$\begin{aligned}
 I^{DE} &= \text{Re}(u^* \Gamma^{RX}) = \text{Re}(\Gamma^{RX}) \\
 Q^{DE} &= \text{Re}(v^* \Gamma^{RX}) = \text{Im}(u^* \Gamma^{RX}) = \text{Im}(\Gamma^{RX}) \quad . \\
 \Gamma^{DE} &= I^{DE} + jQ^{DE} = \Gamma^{ID} = u^* \Gamma^{RX} = \Gamma^{RX}
 \end{aligned}
 \tag{2.16}$$

Como se vio en la subsección 2.2.1, la ecuación anterior describe el comportamiento de un demodulador ideal (con $U = u^* = 1$ en este caso específico). En esta situación ideal el perfecto balanceo del hardware ha cancelado los términos de DC y de distorsión de onda rectificada, quedando únicamente los términos de ejes de referencia lineales. Además, el balanceo ideal de la estructura provoca que los ejes de referencia en la demodulación presenten la condición de cuadratura ideal ($u = -jv$). Obviamente, cualquier error en el hardware del demodulador degradará este comportamiento. En general, las imperfecciones en el balanceo de la arquitectura de seis puertos provocarán que α y γ no se anulen, y romperá la condición de cuadratura necesaria en los ejes de referencia. En la próxima sección se dará una interpretación geométrica de la ecuación (2.14) para clarificar el efecto de cada uno de los nuevos términos definidos en la distorsión que sufren las constelaciones.

2.3. Distorsión de las constelaciones recibidas debido a errores en la red de seis puertos

Las ecuaciones (2.13) y (2.14) son la representación matemática de la transformación que el demodulador homodino de seis puertos establece entre el plano de los símbolos recibidos (Γ^{RX}) y los demodulados (Γ^{DE}). De estas ecuaciones queda patente que el término de DC no depende de la amplitud del símbolo recibido $|\Gamma^{RX}|$. En cambio, el término de distorsión de onda rectificada depende de $|\Gamma^{RX}|^2$ y el término lineal es proporcional a $|\Gamma^{RX}|$, donde

$$|\Gamma^{RX}| = \sqrt{\frac{P_{RX}}{P_{LO}}} \tag{2.17}$$

La influencia de la amplitud del símbolo recibido en el comportamiento del demodulador se puede controlar parcialmente con la potencia de LO que se inyecta al mismo: el término de DC (debido a $\alpha \neq 0$) domina para valores bajos del cociente P_{RX}/P_{LO} , mientras que el término de distorsión de onda rectificada (debido a $\gamma \neq 0$) domina para valores altos del cociente P_{RX}/P_{LO} . En consecuencia, el correcto funcionamiento de un demodulador de seis puertos real es sólo posible en un rango específico de cocientes P_{RX}/P_{LO} , lo que limita de forma intrínseca su rango dinámico. En este punto es importante destacar que dicha limitación en el rango dinámico ocurre incluso trabajando con detectores de potencia cuadráticos ideales y se debe únicamente a los desbalances en la propia red de seis puertos y en la responsividad de los detectores. Así, es importante no confundir este rango dinámico aquí definido con las limitaciones en el rango de potencias que impone el comportamiento no lineal de los detectores de potencia, efecto que ha sido analizado en [63]. Esta nueva limitación aquí expuesta tiene una gran importancia en los receptores de comunicaciones

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

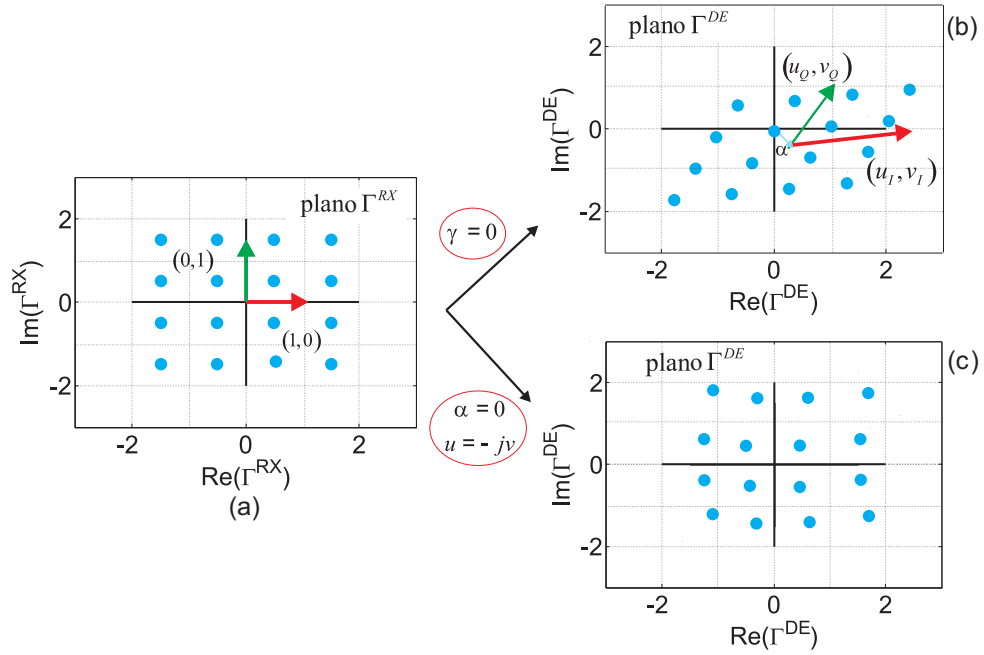


Figura 2.4.: Distorsión de una constelación 16-QAM producida por un demodulador de seis puertos analógico. a) Símbolos recibidos. b) Distorsión de los símbolos demodulados debido a errores lineales ($\gamma=0$). c) Distorsión de los símbolos demodulados debido a errores no lineales ($\alpha=0$ y $u=-jv$).

ópticas [26, 47], donde los foto-detectores presentan un comportamiento intrínsecamente cuadrático, por lo que la única fuente de limitación del rango dinámico es el desbalanceo de la propia red de seis puertos.

2.3.1. Distorsión lineal

A partir de la ecuaciones (2.10), (2.12) y (2.14) se deduce que el término de DC y los los términos de ejes de referencia lineales dependen en gran medida de los centros de la arquitectura de seis puertos usada. Fijando $\gamma = 0$, la ecuación (2.14) se reduce a

$$\begin{bmatrix} I^{DE} \\ Q^{DE} \end{bmatrix} = \begin{bmatrix} \alpha_I \\ \alpha_Q \end{bmatrix} + \begin{bmatrix} u_I & u_Q \\ v_I & v_Q \end{bmatrix} \begin{bmatrix} I^{RX} \\ Q^{RX} \end{bmatrix}. \quad (2.18)$$

Esta ecuación reducida muestra claramente como, en ausencia del termino de distorsión de onda rectificada, el demodulador de seis puertos realiza una transformación entre el plano de los símbolos recibidos y el plano de los símbolos demodulados consistente en una traslación α del origen de coordenadas y en una rotación y desbalanceo de los ejes de referencia. Dicho efecto se puede observar de forma gráfica en la Fig. 2.4(b).

2.3.2. Distorsión no lineal

El término de distorsión de onda rectificada introduce un error no lineal proporcional al cociente P_{RX}/P_{LO} . En ausencia de errores lineales ($\alpha = 0$ y $u = -jv$) la ecuación (2.14) se reduce a

$$\begin{bmatrix} I^{DE} \\ Q^{DE} \end{bmatrix} = \begin{bmatrix} \gamma_I \\ \gamma_Q \end{bmatrix} |\Gamma^{RX}|^2 + \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} I^{RX} \\ Q^{RX} \end{bmatrix}, \quad (2.19)$$

pudiéndose observar gráficamente su efecto en la Fig. 2.4(c), donde se observa que los símbolos demodulados se sitúan sobre una rejilla curvada. Sin embargo, la interpretación geométrica de las ecuaciones (2.13) y (2.14) completas es más complicada debido a la existencia de este término de distorsión de onda rectificada. En este caso, es posible ganar comprensión sobre el funcionamiento del demodulador generalizando el concepto de las circunferencias del seis puertos [12] a esta situación particular. Efectivamente, a partir de la ecuación (2.8) se puede deducir que para un valor fijo $I^{DE} = I^0$, esta ecuación se corresponde con la ecuación de una circunferencia en el plano de los símbolos recibidos con centro C_I y radio R_I , tal que

$$C_I = \frac{u}{2\gamma_I}$$

$$R_I = |C_I|^2 - \frac{\alpha_I - I^0}{\gamma_I} = \frac{\sqrt{|u|^2 - 4\gamma_I^*(\alpha_I - I^0)}}{2|\gamma_I|}. \quad (2.20)$$

El mismo razonamiento se puede aplicar a la ecuación (2.9), obteniéndose resultados similares. La Fig. 2.5 muestra la interpretación geométrica de esta situación. La rejilla rectangular situada en el plano de los símbolos demodulados (Γ^{DE}) es el resultado de la demodulación de los círculos que están situados en el plano de los símbolos recibidos (Γ^{RX}). Como se puede observar, el centro de las circunferencias siempre están situados sobre los ejes de referencia u y v . Cuando el término de distorsión de onda rectificada γ se aproxima a cero el centro y el radio de estas circunferencias tienden a infinito, haciendo que éstas se conviertan en líneas rectas perpendiculares a los ejes de referencia en la demodulación. Esta figura da una interesante interpretación geométrica del demodulador de seis puertos analógico similar a la interpretación clásica dada en [12]. A partir de esta interpretación también es posible interpretar de forma sencilla que cuando $\gamma = 0$, el demodulador establece la transformación lineal entre símbolos recibidos y demodulados que se estudió en la subsección anterior.

2.4. Magnitud del vector error (EVM) como medida de la degradación de las prestaciones

En esta sección se cuantifica el efecto de la distorsión de las constelaciones en las prestaciones de un demodulador de seis puertos. Para conseguirlo se proponen expresiones cerradas que permiten calcular el EVM a partir de los parámetros α , γ , u y v que se propusieron en la sección anterior.

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

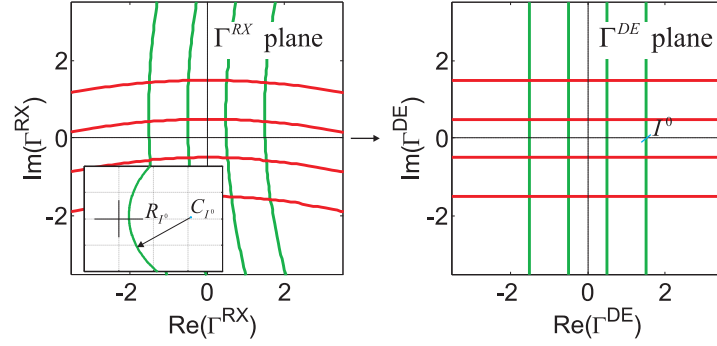


Figura 2.5.: Transformación entre los círculos situados en el plano de los símbolos recibidos Γ^{RX} y la rejilla de líneas rectas situadas en el plano de los símbolos demodulados Γ^{DE} debido al término de distorsión de onda rectificadora γ .

2.4.1. Definición del EVM

El EVM es una figura de mérito muy utilizada en la evaluación de demoduladores digitales I/Q [64, 65]. Sin embargo, en este tipo de demoduladores generalmente se aplican diversos algoritmos de corrección de errores que hacen que este parámetro no permita evaluar correctamente los errores del hardware, sino que se convierte en otra forma de evaluar la relación señal-ruido [66, 67]. El objetivo de esta Tesis es distinto, aquí se pretende utilizar el EVM como una medida real de las prestaciones del demodulador I/Q de seis puertos en ausencia de ruido y de procedimientos de calibración.

El significado del EVM se entiende fácilmente de forma gráfica con la ayuda de la Fig. 2.6. En esta figura Γ_i^{DE} es el símbolo demodulado debido a los errores del hardware, Γ_i^{ID} es el símbolo ideal o esperado, esto es, el que sería demodulado por un demodulador I/Q ideal, y e_i es el vector error para dicho símbolo recibido. Así, el EVM para este símbolo “i” se calcula como

$$\text{EVM}_i = \frac{|e_i|}{|\Gamma_i^{ID}|} = \frac{|\Gamma_i^{DE} - \Gamma_i^{ID}|}{|\Gamma_i^{ID}|}. \quad (2.21)$$

Finalmente, el EVM de un demodulador I/Q para una determinada constelación se puede calcular como el valor cuadrático medio (Root Mean Square, RMS) de la diferencia entre los símbolos demodulados y los símbolos esperados o ideales:

$$\text{EVM} = \sqrt{\frac{\sum_{i=1}^M |\Gamma_i^{DE} - \Gamma_i^{ID}|^2}{\sum_{i=1}^M |\Gamma_i^{ID}|^2}}, \quad (2.22)$$

donde M es el número de símbolos de la constelación.

2.4.2. Evaluación del EVM a partir de los errores del hardware

El principal problema que surge al utilizar la ecuación (2.22) para evaluar un demodulador con errores en su hardware es la dificultad de identificar cual sería la posición del símbolo demodulado en el caso de que dicho demodulador fuese ideal.

2.4. Magnitud del vector error (EVM) como medida de la degradación de las prestaciones

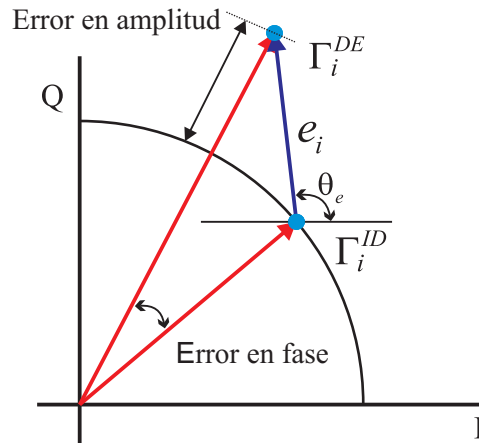


Figura 2.6.: Representación gráfica de la magnitud del vector para un símbolo demodulado “i”.

Como ya se discutió en la subsección 2.2.1, hay una constante arbitraria (U , ver ecuación (2.5)) que es necesario conocer y cuya amplitud y fase están relacionadas con los subsistemas de control automático de ganancia y de recuperación de portadora, respectivamente.

Para comenzar el análisis se toma como punto de partida la ecuación completa del demodulador de seis puertos analógico con todas sus posibles fuentes de error ($\alpha \neq 0$, $\gamma \neq 0$ y $u \neq -jv$), la cual se repite aquí por conveniencia

$$\Gamma^{DE} = \alpha + \gamma |\Gamma^{RX}|^2 + \{ \text{Re}(u^* \Gamma^{RX}) + j \text{Re}(v^* \Gamma^{RX}) \}. \quad (2.23)$$

Los términos entre paréntesis de esta ecuación ($\text{Re}(u^* \Gamma^{RX})$ y $\text{Re}(v^* \Gamma^{RX})$) se pueden interpretar como la proyección del símbolo Γ^{RX} en los ejes de referencia de la demodulación u y v respectivamente. Dado que en una situación real u y v no cumplen la relación de ortogonalidad $u = -jv$, se pueden definir dos nuevos ejes ideales de demodulación u' y v' que sí cumplan dicha relación ideal ($u' = -jv'$) y sean lo más próximos posibles a los originales. Esto se puede conseguir definiendo

$$\begin{aligned} u' &= \frac{u-jv}{2} \\ v' &= ju' = \frac{v+ju}{2} \end{aligned} \quad (2.24)$$

Este cambio de variable se comprende con la ayuda de la Fig. 2.7, donde se puede observar gráficamente la relación entre los diferentes vectores. En esta figura se define también una nueva variable ε , tal que

$$\varepsilon = u + jv, \quad (2.25)$$

que proporciona una medida del desbalanceo entre los ejes de referencia en la demodulación u y v .

De las ecuaciones (2.24) y (2.25) se deduce que

$$\begin{aligned} u &= u' + \frac{\varepsilon}{2} \\ v &= ju' - j\frac{\varepsilon}{2} \end{aligned} \quad (2.26)$$

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

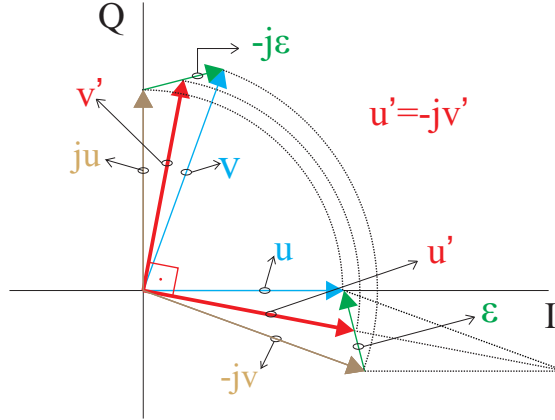


Figura 2.7.: Relación entre los ejes de referencia en la demodulación no ortogonales u , v y el nuevo par de ejes referencia ortogonales u' y v' .

Así, sustituyendo la ecuación anterior en la ecuación (2.23) y después de algunas operaciones matemáticas se obtiene

$$\Gamma^{DE} = \alpha + \gamma |\Gamma^{RX}|^2 + (u')^* \Gamma^{RX} + \frac{\varepsilon}{2} (\Gamma^{RX})^* . \quad (2.27)$$

En esta ecuación, el término $(u')^* \Gamma^{RX}$ se puede relacionar fácilmente con la ecuación que define el comportamiento de un demodulador de seis puertos ideal (ver (2.16)), esto es

$$\Gamma^{ID} = (u')^* \Gamma^{RX} . \quad (2.28)$$

Así, el vector error para cualquier símbolo recibido "i" se puede definir fácilmente como

$$e_i = \Gamma_i^{DE} - \Gamma_i^{ID} = \alpha + \gamma |\Gamma_i^{RX}|^2 + \frac{\varepsilon}{2} (\Gamma_i^{RX})^* \quad (2.29)$$

y el EVM para el símbolo "i" se calcula como

$$\text{EVM}_i = \left| \frac{\alpha}{|u'|} |\Gamma_i^{RX}|^{-1} + \frac{\gamma}{|u'|} |\Gamma_i^{RX}| + \frac{\varepsilon}{2|u'|} \frac{(\Gamma_i^{RX})^*}{|\Gamma_i^{RX}|} \right| . \quad (2.30)$$

Esta ecuación, presentada en [45], permite calcular de forma sencilla la degradación de las prestaciones del demodulador de seis puertos como la suma vectorial de tres contribuciones distintas. A partir de la ecuación (2.30), se pueden definir los siguientes términos complejos:

- Rechazo de DC

$$R_{DC} = \frac{\alpha}{|u'|} \quad (2.31)$$

- Rechazo de onda rectificada

$$R_{RW} = \frac{\gamma}{|u'|} \quad (2.32)$$

2.4. Magnitud del vector error (EVM) como medida de la degradación de las prestaciones

- Desbalanceo de los ejes de referencia

$$I_A = \frac{\varepsilon}{2|u'|} = \frac{u + jv}{2|u'|} \quad (2.33)$$

Estos tres números complejos permiten describir por completo la degradación que sufre el demodulador de seis puertos debido a los errores en su hardware. Además, las amplitudes de estos tres números complejos son buenas figuras de mérito para evaluar las prestaciones del demodulador. En la ecuación (2.30) los tres números complejos se suman vectorialmente para calcular el EVM del símbolo “i”. Su influencia depende de la amplitud del símbolo recibido $|\Gamma_i^{RX}|$, que a su vez depende la raíz cuadrada del cociente P_{RX}/P_{LO} , como se vio en (2.17).

El error máximo (caso peor) se produciría si los tres términos de la ecuación (2.30) se sumasen en fase. Esta situación permite poner una cota superior al EVM para el símbolo demodulado “i” como

$$\text{EVM}_{\text{MAX},i} = \frac{|R_{DC}|}{\left(\frac{P_{RX,i}}{P_{LO}}\right)^{1/2}} + |R_{RW}| \left(\frac{P_{RX,i}}{P_{LO}}\right)^{1/2} + |I_A|. \quad (2.34)$$

La Fig. 2.8(a) muestra la cota superior del EVM de un símbolo en función de la potencia de LO. En esta figura se observa claramente que el término de rechazo de DC domina para niveles bajos de potencia de RX, el término de rechazo de onda rectificada domina para niveles altos de potencia de RX y el desbalanceo de los ejes de referencia introduce un error constante que no depende del cociente entre las potencias de RX y LO. Además, existe un punto óptimo que minimiza el EVM del símbolo “i” cuando

$$|\Gamma_i^{RX}|^2 = \frac{P_{RX,i}}{P_{LO}} = \left| \frac{\alpha}{\gamma} \right|, \quad (2.35)$$

esto es, que minimiza la degradación del demodulador debida a los errores del hardware.

Aunque la Fig. 2.8(a) muestra un punto óptimo de funcionamiento de este tipo de demoduladores cuando las potencias de RX y LO toman valores muy próximos, debe destacarse que, en la mayoría de los casos prácticos, los demoduladores de seis puertos trabajan con relaciones muy pequeñas del cociente P_{RX}/P_{LO} [37,38] (típicamente entre -10 y -30 dB). Este hecho, aparentemente contradictorio, se explica fácilmente si se tiene en cuenta que en la mayoría de los demoduladores de seis puertos, o bien se utiliza bloqueo de continua, o bien se utilizan algoritmos de calibración [29–31, 68], que son capaces de corregir en gran medida el efecto de R_{DC} en la demodulación. Así, si se tiene en cuenta esta consideración y se fija $R_{DC} = 0$, la ecuación (2.34) también predice un mejor comportamiento de estos demoduladores para niveles bajos del cociente P_{RX}/P_{LO} , como se muestra en la Fig. 2.8(b). En esta situación, el efecto del término de onda rectificada se puede reducir fácilmente incrementando la potencia de LO, haciendo que el EVM tienda a I_A , que fija el EVM mínimo de un demodulador concreto. En una situación realista, el mínimo cociente P_{RX}/P_{LO} viene fijado por los detectores de potencia, ya que: i) es necesario un mínimo de potencia de señal de RX para poder detectarla, y ii) el máximo de potencia de LO que se puede

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

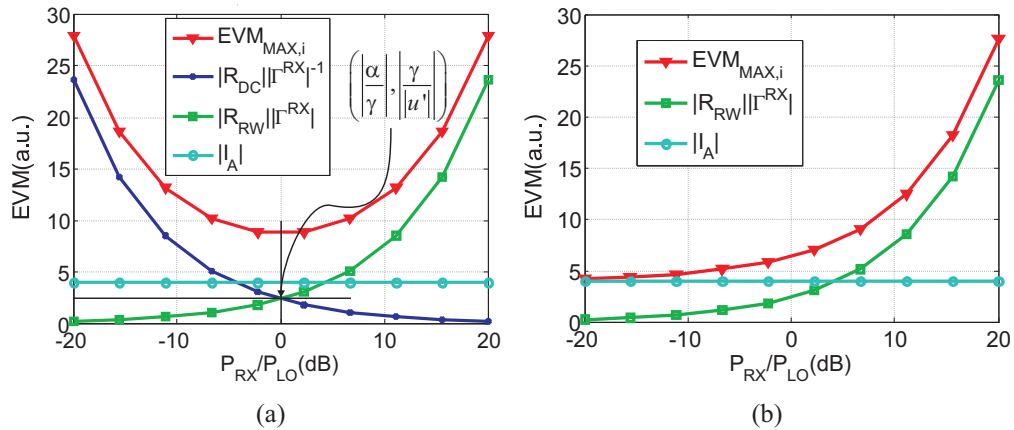


Figura 2.8.: Cota superior del EVM de símbolo en función de del cociente entre las potencias de RX y LO y el efecto de las distintas contribuciones de (2.30). a) Incluyendo R_{DC} . b) No incluyendo R_{DC} .

utilizar está limitado para evitar un comportamiento no cuadrático de los detectores (aparición de armónicos superiores). En el resto de secciones de este capítulo se asumirá que la calibración (o el bloqueo de continua) ha eliminado el término de DC (i.e. $R_{DC} = 0$).

2.5. Probabilidad de error debido a errores en la red de seis puertos

En la sección anterior se ha cuantificado el efecto de la distorsión de la constelación en las prestaciones de un demodulador de seis puertos a partir del EVM. El siguiente paso es comprender como dicha distorsión degrada la probabilidad de error en la demodulación de los símbolos. Esto va a permitir establecer las especificaciones del hardware del demodulador a partir de unas especificaciones de probabilidad de error y de relación señal a ruido (Signal to Noise Ratio, SNR) dadas. Para conseguirlo parece interesante relacionar las ecuaciones del EVM obtenidas en la sección anterior con el cálculo de la probabilidad de error en la demodulación.

Como ya se dijo en la sección anterior, el EVM es muy utilizado en la evaluación de los demoduladores digitales I/Q. Éste se suele usar para conocer las prestaciones del demodulador en presencia de ruido, una vez su comportamiento ha sido corregido mediante el uso de técnicas de calibración. Así, en la bibliografía existen artículos que han presentado las ecuaciones que permiten calcular el EVM de un demodulador genérico a partir de su SNR [67]. Además, existen artículos que relacionan la probabilidad de error con el EVM del demodulador, pero asumiendo que su hardware es ideal [65, 69, 70]. Sin embargo, en esta Tesis se ha decidido utilizar el EVM para evaluar únicamente las prestaciones del hardware del demodulador I/Q de seis puertos. En consecuencia, es necesario hallar la forma de calcular la probabilidad de error de estos demoduladores considerando tanto la presencia de ruido, como la presencia de errores en el hardware (a partir del EVM).

2.5. Probabilidad de error debido a errores en la red de seis puertos

Para calcular la probabilidad de error hay que fijar una técnica de modulación. El uso de modulaciones basadas en constelaciones en rejilla M-QAM (ver Fig. 2.9) puede ser muy útil para establecer los requisitos de este tipo de demoduladores. Asumiendo una señal recibida del tipo

$$r(t) = s(t) + n(t), \quad (2.36)$$

donde $s(t)$ es la señal de información y $n(t)$ es el ruido total introducido, que se modela como ruido aditivo blanco gaussiano bilateral (Additive, White Gaussian Noise, AWGN) con media cero y desviación típica $\sigma = \sqrt{N_o}/2$. Para el caso de un demodulador ideal y una constelación M-QAM como la mostrada en Fig. 2.9(a), la probabilidad de error de bit (BER) se puede calcular como [71, 72]

$$\text{BER} = \frac{1}{\log_2(M)} \left\{ 1 - \left[1 - 2 \left(1 - \frac{1}{\sqrt{M}} \right) Q \left(\sqrt{\frac{6}{(M-1)} \text{SNR}} \right) \right]^2 \right\}, \quad (2.37)$$

$$\text{SNR} = \frac{E}{2N_o}$$

donde M es el número de símbolos de la constelación y E es la energía promedio de la misma.

En presencia de errores del hardware el cálculo del BER de un demodulador I/Q se complica de forma notoria debido al desbalanceo en módulo y fase que aparece entre los canales I/Q. Dichos errores provocan cruces de señal entre las salidas de los canales I/Q que hacen que el ruido de cada canal ya no pueda ser considerado incorrelado respecto al ruido en el otro canal. En esta situación es necesario utilizar modelos bidimensionales de la función Gaussiana Q que tengan en cuenta el coeficiente de correlación entre el ruido de ambos canales, a partir del desbalanceo entre los canales I/Q [73–75]. En este trabajo, sin embargo, se asume que para pequeños errores de hardware, típicamente requeridos para asegurar un bajo BER, la distorsión de la constelación afecta principalmente a la posición de los símbolos, pero casi no afecta a la distribución Gaussiana del ruido. Esta idea básica se ilustra en la Fig. 2.9(b), donde se observa como la posición de los símbolos es modificada por los errores del hardware pero las contribuciones del ruido en cada canal siguen siendo consideradas como fuentes de ruido AWGN incorrelado. En la sección 2.7 se demostrará la validez de esta suposición para pequeños errores en el hardware y bajos niveles del cociente de potencias P_{RX}/P_{OL} .

La traslación que sufre cada símbolo de una constelación se puede calcular usando la ecuación (2.29). Así, la probabilidad de error para un símbolo recibido de una constelación M-QAM genérica se puede calcular como

$$P_{e_i} = Q \left(\frac{d}{2\sigma} + \frac{2\text{Re}(e_i)}{2\sigma} \right) + Q \left(\frac{d}{2\sigma} + \frac{2\text{Im}(e_i)}{2\sigma} \right). \quad (2.38)$$

Para relacionar la ecuación de la probabilidad de error anterior con la SNR es necesario fijar una técnica de modulación específica. Así, para la modulación QPSK (4-QAM), algunos de los términos de la ecuación anterior se pueden particularizar de la siguiente forma

$$\frac{d}{2\sigma} = \sqrt{2 \text{SNR}} \quad , \quad \sigma = \frac{|\Gamma_i^{RX}|}{\sqrt{4 \text{SNR}}} \quad (2.39)$$

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

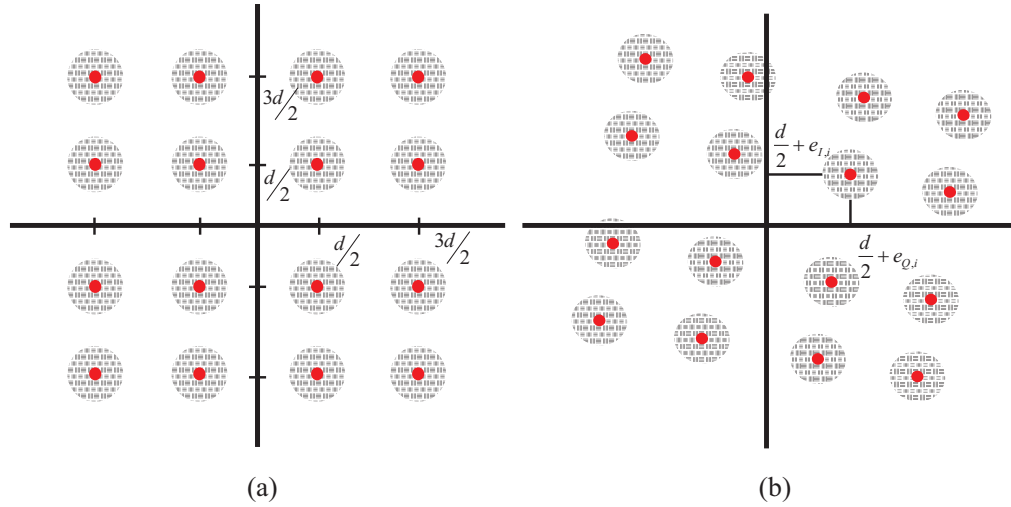


Figura 2.9.: Constelación demodulada por un demodulador I/Q de seis puertos para una modulación 16-QAM. a) Demodulador ideal. b) Demodulador con errores en el hardware.

por lo que la probabilidad de error de símbolo se puede calcular como [45]

$$P_{e_i} = Q\left(\sqrt{2 \text{SNR}} + \frac{\text{Re}(e_i) \sqrt{4 \text{SNR}}}{|\Gamma_i^{RX}|}\right) + Q\left(\sqrt{2 \text{SNR}} + \frac{\text{Im}(e_i) \sqrt{4 \text{SNR}}}{|\Gamma_i^{RX}|}\right), \quad (2.40)$$

pudiéndose también particularizar (2.38) para otras modulaciones M-QAM más complicadas.

La ecuación (2.40) es muy importante ya que permite determinar la probabilidad de error de cada símbolo relacionándola con el vector error de la ecuación (2.29). Sin embargo, la ecuación (2.40) requiere calcular la probabilidad de error de todos los símbolos para estimar las prestaciones del hardware. Sería interesante disponer de una ecuación más sencilla que diese una cota máxima de la probabilidad de error en función del SNR y de los errores del hardware. Dicha formulación más sencilla de la ecuación (2.29) se puede conseguir aproximándola con una serie de Taylor de orden dos, lo que permite calcular la probabilidad de error del demodulador a partir del SNR y del EVM (ver apéndice A) como

$$P_{e_i} = 2Q\left(\sqrt{2 \cdot \text{SNR}}\right) + \frac{2}{\sqrt{\pi}} \exp(-\text{SNR}) \cdot \text{EVM}_i \cdot \sqrt{\text{SNR}} [1 + \text{SNR} \cdot \text{EVM}_i]. \quad (2.41)$$

Por otro lado, dado que en la modulación QPSK todos los símbolos se transmiten con la misma energía, se puede asumir que el EVM de cada uno de ellos va a presentar un valor similar. En este caso es posible aproximar el EVM de cada símbolo por el valor cuadrático medio del EVM de la constelación de forma bastante precisa. Así, usando codificación Gray, el BER del demodulador de seis puertos se puede calcular como

$$\text{BER} = Q\left(\sqrt{2 \cdot \text{SNR}}\right) + \frac{1}{\sqrt{\pi}} \exp(-\text{SNR}) \cdot \text{EVM} \cdot \sqrt{\text{SNR}} [1 + \text{SNR} \cdot \text{EVM}]. \quad (2.42)$$

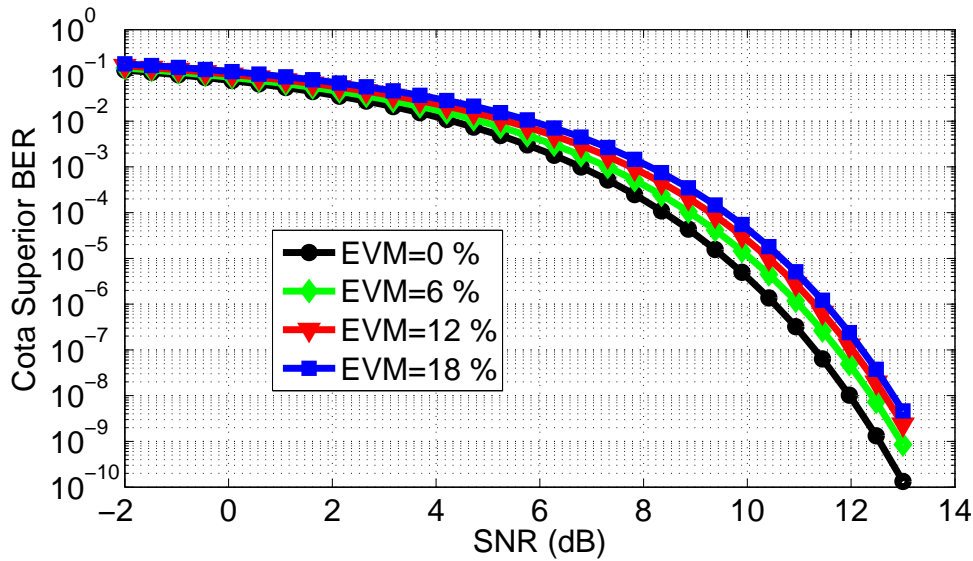


Figura 2.10.: Cota de error del BER de una modulación QPSK en función del SNR para diferentes EVM.

La ecuación (2.42) es muy interesante ya que permite a un diseñador saber cuál es el máximo EVM que puede tener su demodulador de seis puertos para conseguir un determinado BER al demodular símbolos QPSK. Una vez se conoce el EVM máximo, éste se puede usar para obtener las especificaciones iniciales que han de cumplir los elementos de la red de seis puertos del demodulador. En la Fig. 2.10 se muestra el BER de un demodulador de seis puertos genérico para el caso de la modulación QPSK en función de la SNR y del EVM. Como se puede observar, un EVM del 12 % se traduce en que es necesario incrementar en 1 dB la SNR para mantener un BER típica de 10^{-3} .

2.6. Análisis de arquitecturas de seis puertos específicas

En esta sección se analiza el comportamiento de tres arquitecturas de seis puertos de forma teórica utilizando las fórmula propuesta para el EVM (2.30), que a su vez se puede particularizar en la suma de tres términos de error o figuras de mérito: el rechazo de continua o R_{DC} (2.31), el rechazo de onda rectificada o R_{RW} (2.32) y el desbalanceo de los ejes de referencia o I_A (2.33). El objetivo es comprender el funcionamiento de estas arquitecturas y analizar como las imperfecciones en sus elementos constituyentes degradan sus prestaciones. Este estudio va a permitir conocer sus principales virtudes y limitaciones, en que circunstancias puede ser más interesante su utilización, y sobretodo, va a permitir establecer reglas de diseño específicas para cada caso. Con este propósito, se presentan ecuaciones analíticas que modelan el EVM de cada una de ellas, las cuales han sido obtenidas usando la ecuación (2.30) y suponiendo que para modulaciones QPSK los EVM_i de cada símbolo son iguales entre si. En su cálculo se ha supuesto que los distintos subsistemas (acopladores, desfasadores, etc) son constantes con la frecuencia, es decir, se modelan con valores concretos

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

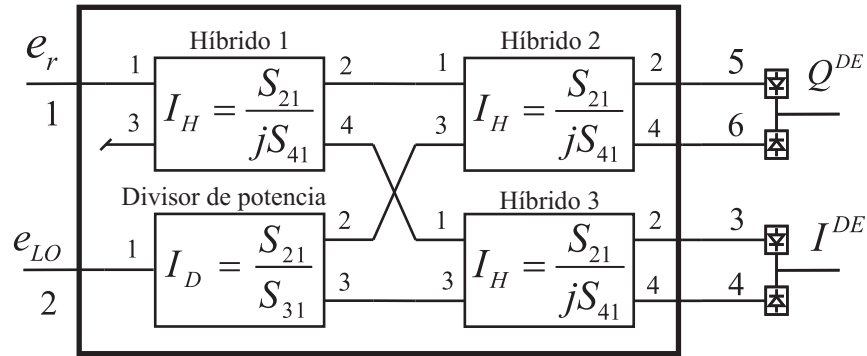


Figura 2.11.: Arquitectura de seis puertos formada por tres híbridos y un divisor de potencia. Los parámetros I_H e I_D definen el desbalanceo entre las salidas de los híbridos y el divisor respectivamente.

en sus parámetros sin tener en cuenta la realización específica del hardware. Además, se asume el correcto funcionamiento del AGC y del subsistema de recuperación de portadora.

Como ya se comentó en la subsección 2.4.2, en este estudio se asume que la calibración (o el bloqueo de continua) ha eliminado el término de señal de DC (i.e. $R_{DC} = 0$), lo que permite obtener conclusiones realistas en relación al estado del arte en estos demoduladores. Dado que algunas de las características y conclusiones que se obtienen del análisis de las distintas arquitecturas son similares, sólo se presenta el análisis completo de la más conocida, la formada por tres híbridos y un divisor de potencia [76,77]. Las subsecciones dedicadas a las otras dos se centran en analizar las particularidades de las mismas respecto a la primera.

2.6.1. Arquitectura formada por tres híbridos y un divisor de potencia

La arquitectura que se estudia en esta sección se trata de una red de seis puertos formada por tres híbridos y un divisor de potencia, cuyo esquema se muestra en la Fig. 2.11. Los errores de hardware que se consideran en este análisis son los desbalances en módulo y fase entre las salidas del divisor de potencia y de los híbridos, definidos en la Fig. 2.11. En todos los casos los tres híbridos se consideran idénticos, esto es, se obvian los posibles desbalances que pueden aparecer entre los híbridos debidos a las tolerancias que tienen los procesos de fabricación, ya que hoy día se puede obtener una muy buena repetitividad. Así, las figuras de mérito R_{RW} e I_A que componen el EVM (2.30) se obtienen tras algunas operaciones matemáticas sustituyendo las ecuaciones definidas en la Fig. 2.11 en las ecuaciones (2.10)-(2.12) y (2.32)-(2.33)

$$R_{RW} = \frac{k_Y (1 - |I_H|^2) [1 + j |I_H|^2]}{|u'|}, \quad (2.43)$$

$$I_A = \frac{1 - |I_D| |I_H| \exp [j (\angle I_D - \angle I_H)]}{|1 + |I_D| |I_H| \exp [j (\angle I_D - \angle I_H)]|}, \quad (2.44)$$

2.6. Análisis de arquitecturas de seis puertos específicas

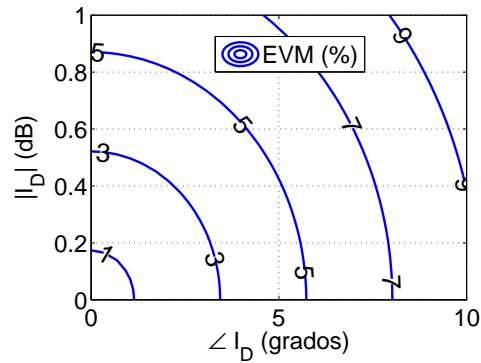


Figura 2.12.: EVM de la arquitectura de seis puertos formada por tres híbridos y un divisor de potencia a partir de la ecuación propuesta (2.30) en función del desbalanceo del divisor de potencia (I_D) cuando los híbridos son ideales.

donde I_D e I_H definen el desbalanceo del divisor de potencia y de los híbridos en cuadratura, mostrados en la Fig. 2.11, y k_γ es un parámetro que depende de los parámetros S de la arquitectura de seis puertos. La deducción en detalle de las ecuaciones (2.43) y (2.44) se pueden consultar en el apéndice B.

Para comprender mejor como las prestaciones de los diferentes elementos de esta arquitectura afectan a las figuras de mérito (2.43) y (2.44), se van a presentar gráficas de las mismas en diferentes circunstancias. Inicialmente, se evalúa el EVM de esta arquitectura de seis puertos en función del desbalanceo del divisor de potencia, asumiendo que todos los híbridos son ideales (i.e. $I_H = 0$). En este caso, a partir de (2.43) y (2.44), se puede deducir que el término R_{RW} se anula, por lo que el EVM (2.30) depende únicamente del término I_A , siguiendo la relación,

$$EVM = I_A = \frac{1 - |I_D| \exp(j\angle I_D)}{1 + |I_D| \exp(j\angle I_D)}. \quad (2.45)$$

El comportamiento del EVM para este caso concreto se muestra en la Fig. 2.12. Esta muestra como el desbalanceo en fase o amplitud del divisor de potencia (I_D) degrada fuertemente el EVM de la arquitectura incluso cuando el resto de elementos son ideales, siendo más crítico el desbalanceo en fase ($\angle I_D$) que el desbalanceo en amplitud ($|I_D|$). Además, como los términos R_{RW} y R_{DC} no afectan al EVM, el comportamiento del demodulador es independiente del rango de potencias de LO y RX utilizadas, siempre que éstas permitan trabajar dentro del margen dinámico de los detectores de potencia.

A continuación se muestran situaciones más realistas en las que se considera tanto el desbalanceo de los híbridos como el del divisor de potencia. Para realizar estas simulaciones se ha decidido fijar el desbalanceo del divisor de potencia a 1 dB y 4° en un caso, y a 1 dB y 6° en el otro, e ir modificando el desbalanceo de los híbridos. A partir de la ecuación (2.44), se puede deducir que, incluso en presencia de desbalanceo de fase en los híbridos y el divisor, cuando $\angle I_D = \angle I_H$ sus efectos se cancelan mutuamente, lo que reduce el término de error I_A , y por tanto, el EVM. Este fenómeno se observa claramente en las Fig. 2.13(a) y 2.13(b). En ambas figuras se observa

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

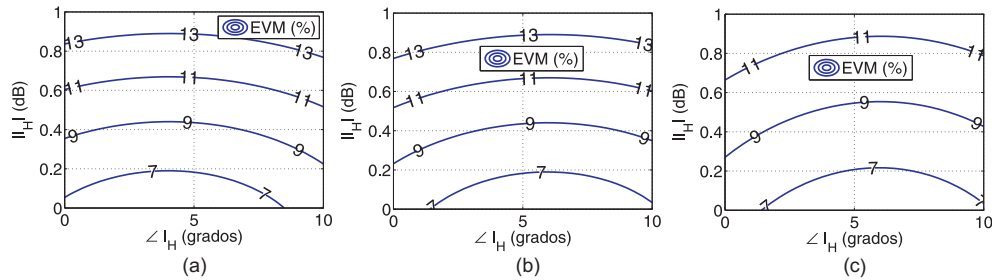


Figura 2.13.: EVM de la arquitectura de seis puertos formada por tres híbridos y un divisor de potencia en función del desbalanceo de los híbridos en cuadratura cuando: a) el divisor de potencia presenta un desbalanceo en amplitud y fase de 1 dB y 4 grados y $P_{RX}/P_{OL}=0$ dB. b) El divisor de potencia presenta un desbalanceo en amplitud y fase de 1 dB y 6 grados y $P_{RX}/P_{OL}=0$ dB. c) El divisor de potencia presenta un desbalanceo en amplitud y fase de 1 dB y 6 grados y $P_{RX}/P_{OL}=-30$ dB.

un desplazamiento de los mapas de contorno del EVM hacia 4° y 6° , respectivamente. Esto significa que cuando los desbalances en fase de los híbridos y el divisor coinciden, el desbalanceo en amplitud necesario para mantener el mismo nivel EVM puede ser mayor, lo que permite extraer una conclusión muy interesante: este tipo de arquitecturas de seis puertos es capaz de eliminar el desbalanceo común de fase entre sus elementos, por lo que sólo la diferencia entre dichos desbalances degrada sus prestaciones. Sin embargo, el circuito que se está analizando tiene dos elementos distintos a su entrada, un divisor de potencia y un híbrido en cuadratura. Al ser distintos, el desbalanceo en fase de ambos elementos va variar de forma diferente con la frecuencia, aumentando la diferencia entre ambos y haciendo que las prestaciones de esta arquitectura se degraden cuando se desea operar en anchos de banda elevados. Este fenómeno es evidente incluso cuando el híbrido y el divisor son diseñados con un bajo nivel de desbalanceo, como se ha demostrado de forma empírica en [55, 56] y se describirá posteriormente en el capítulo 5. Por otro lado, cuando se considera el desbalanceo en todos los elementos, el término de onda rectificadora no se anula ($R_{RW} \neq 0$), lo que permite observar la importancia del cociente entre las potencias de RX y LO en las prestaciones de estos demoduladores. Así, para relaciones de potencia cercanas a 0 dB, el error introducido por R_{RW} es todavía comparable al término I_A , por lo que el EVM (mostrado en la Fig. 2.13(b)) se degrada. Sin embargo, si el demodulador trabaja con valores bajos del cociente entre las potencias de RX y LO ($P_{RX}/P_{LO}=-30$ dB, por ejemplo) el efecto de R_{RW} se minimiza y el EVM mejora claramente, como se observa en la Fig. 2.13(c).

El análisis realizado en esta subsección muestra la importancia de la ecuación definida para el EVM (2.30) y de sus tres figuras de mérito (R_{DC} , R_{RW} y I_A). Éstas pueden ser utilizadas para obtener fórmulas simples de cualquier arquitectura de seis puertos y comprender mejor su comportamiento. Un análisis similar se realiza con las otras dos arquitecturas en las siguientes subsecciones.

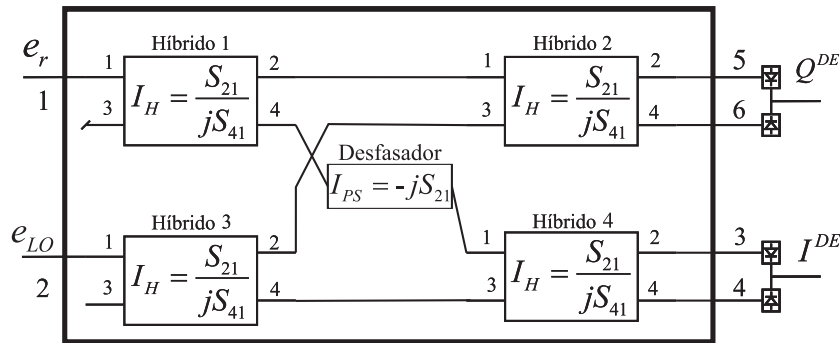


Figura 2.14.: Arquitectura de seis puertos formada por cuatro híbridos y un desfasador. Los parámetros I_H e I_{PS} definen el desbalanceo de los híbridos y los errores del desfasador respectivamente.

2.6.2. Arquitectura formada por cuatro híbridos y un desfasador de 90°

La arquitectura que se estudia en esta sección se trata de una unión de seis puertos formada por cuatro híbridos y un desfasador de 90° , cuyo esquema se muestra en la Fig. 2.14. Los errores de hardware que se consideran en este análisis son los desbalances en módulo y fase entre las salidas de los híbridos, definidos con el parámetro I_H , el error de fase del desfasador y las pérdidas de inserción adicionales que éste introduce, ambos definidos con el parámetro complejo I_{PS} . En todos los casos los cuatro híbridos se consideran idénticos, al igual que en la subsección anterior. Sustituyendo las ecuaciones definidas para I_H e I_{PS} en la Fig. 2.14 en las ecuaciones (2.10)-(2.12) y (2.32)-(2.33), se obtienen las figuras de mérito R_{RW} e I_A que componen el EVM (2.30) de esta arquitectura

$$R_{RW} = \frac{k_\gamma (1 - |I_H|^2) [|I_{PS}|^2 + j |I_H|^2]}{|u'|}, \quad (2.46)$$

$$I_A = \frac{1 - \frac{|I_H|^2}{|I_{PS}|} \exp[j(\angle I_{PS})]}{\left| 1 + \frac{|I_H|^2}{|I_{PS}|} \exp[j(\angle I_{PS})] \right|}, \quad (2.47)$$

donde k_γ es un parámetro que depende de los parámetros S de la arquitectura de seis puertos. La deducción en detalle de las ecuaciones (2.46) y (2.47) se pueden consultar en el apéndice B.

Al igual que en la subsección anterior, se estudia el efecto del EVM (2.30) a partir de las figuras de mérito propuestas, (2.46) y (2.47), modelando el comportamiento de la arquitectura en diferentes circunstancias. En este caso, el efecto del cociente entre las potencias de RX y LO es el mismo que en la arquitectura estudiada en la subsección anterior, por lo que se decide fijarlo a un valor realista ($P_{RX}/P_{LO} = -30$ dB). Inicialmente, se evalúa el EVM de esta arquitectura de seis puertos en función del desbalanceo de los híbridos, asumiendo que el desfasador es ideal (i.e. $I_{PS} = 1$). Como muestra la Fig. 2.15(a), bajo estas condiciones la arquitectura es completamente transparente al desbalanceo en fase de los híbridos. Esto se debe a que al tener los cuatro híbridos

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

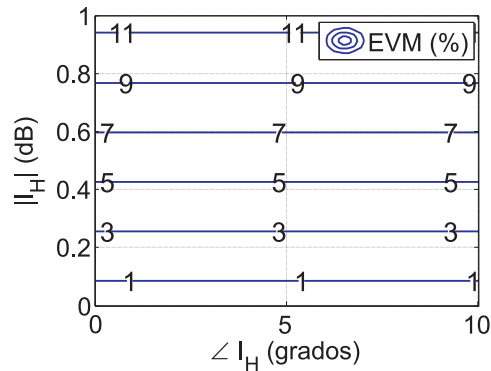


Figura 2.15.: EVM de la arquitectura de seis puertos formada por cuatro híbridos en función del desbalanceo de los híbridos (I_H) cuando el desfasador presenta un comportamiento ideal sin pérdidas, calculado a partir de la las ecuación (2.30).

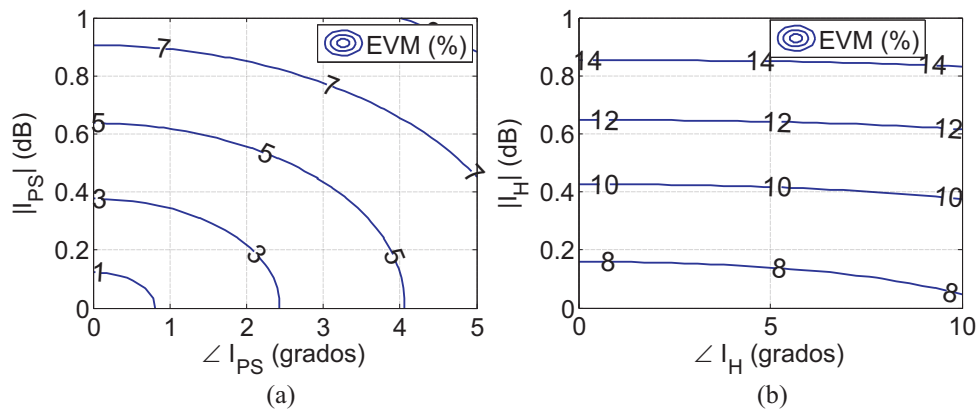


Figura 2.16.: EVM de la arquitectura de seis puertos formada por cuatro híbridos y un desfasador, a) en función de las pérdidas y el error de fase del desfasador (I_{PS}) cuando los híbridos presentan un comportamiento ideal (2.30), b) en función del desbalanceo de los híbridos (I_H) cuando el desfasador presenta unas pérdidas de inserción de 1 dB y un error de fase de 5° (2.30).

iguales, todos los errores de fase son comunes y la arquitectura es capaz de eliminarlos, por lo que sólo el desbalanceo en amplitud de los híbridos afecta al comportamiento del circuito. Este fenómeno se ha demostrado de forma empírica en [55,56] y se describirá posteriormente en el capítulo 5.

El principal inconveniente de esta arquitectura es que requiere de un desfasador que introduzca pocas pérdidas y que presente un error de fase reducido para funcionar correctamente. En la Fig. 2.16(a) se presenta el EVM de esta arquitectura en función de las pérdidas y del error de fase del desfasador (I_{PS}) cuando los híbridos son ideales. Dicha figura muestra claramente como el desfasador puede degradar en gran medida las prestaciones del demodulador. De hecho, el efecto conjunto de los errores en el desfasador y los híbridos hace que esta arquitectura consiga peores prestaciones que la arquitectura presentada en la subsección anterior para errores similares en sus elementos, como se muestra en la Fig. 2.16(b). Esto se debe a que las pérdidas

2.6. Análisis de arquitecturas de seis puertos específicas

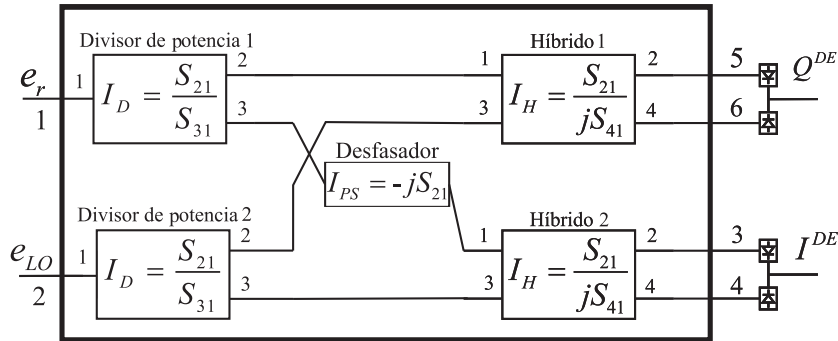


Figura 2.17.: Arquitectura de seis puertos formada por dos híbridos, dos divisores de potencia y un desfasador.

y los errores de fase del desfasador afectan directamente a los ejes de referencia del demodulador, así: i) sus pérdidas de inserción atenúan uno de los ejes de referencia respecto al otro, contrayendo y deformando la constelación en ese eje, y ii) su error en fase hace que los canales I/Q se crucen a la salida del demodulador. El primer inconveniente se puede arreglar en gran medida desbalanceando los híbridos de entrada para compensar las pérdidas que introduce el desfasador en uno de los canales o implementando un AGC independiente para cada canal. Sin embargo, para evitar el cruce de canales es necesario el diseño de un desfasador de altas prestaciones (i.e. error de fase reducido) en toda la banda de operación.

2.6.3. Arquitectura formada por dos híbridos, dos divisores de potencia y un desfasador

La arquitectura que se estudia en esta sección se trata de una arquitectura de seis puertos formada por dos híbridos, dos divisores de potencia y un desfasador de 90° , cuyo esquema se muestra en la Fig. 2.17. Los errores de hardware que se consideran en este análisis son los desbalanceos en módulo y fase de los híbridos, definidos con el parámetro I_H , los desbalanceos en módulo y fase de los divisores de potencia, definidos con el parámetro I_D , y el error de fase del desfasador y las pérdidas de inserción adicionales que éste introduce, ambos definidos con el parámetro complejo I_{PS} . Tanto los híbridos como los divisores se consideran idénticos. El EVM de esta arquitectura (2.30) se puede calcular sustituyendo las ecuaciones definidas en la Fig. 2.17 en las ecuaciones (2.10)-(2.12) y (2.32)-(2.33), obteniéndose las siguientes figuras de mérito

$$R_{RW} = \frac{k_\gamma (1 - |I_H|^2) [|I_{PS}|^2 + j |I_D|^2]}{|u'|}, \quad (2.48)$$

$$I_A = \frac{1 - \frac{|I_D|^2}{|I_{PS}|} \exp[j(\angle I_{PS})]}{\left| 1 + \frac{|I_D|^2}{|I_{PS}|} \exp[j(\angle I_{PS})] \right|}, \quad (2.49)$$

donde k_γ es un parámetro que depende de los parámetros S de la arquitectura de seis puertos. La deducción en detalle de las ecuaciones (2.48) y (2.49) se pueden consultar

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

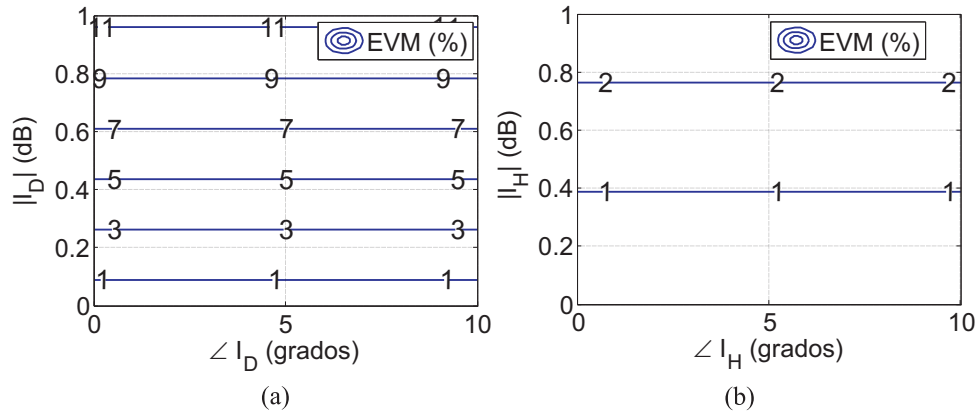


Figura 2.18.: EVM de la arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfasador, a) en función del desbalanceo de los divisores (I_D) cuando el resto de elementos presentan un comportamiento ideal (2.30), b) en función del desbalanceo de los híbridos (I_H) cuando el resto de elementos presentan un comportamiento ideal (2.30).

en el apéndice B.

A continuación se realiza un análisis análogo al realizado con las otras dos arquitecturas, modelando su comportamiento en diferentes circunstancias a partir del EVM (2.30), cuyas figuras de mérito se particularizan en (2.48) y (2.49). Al igual que en la subsección anterior el cociente entre las potencias de RX y LO se fija a un valor realista ($P_{RX}/P_{LO}=-30$ dB). Inicialmente, se evalúa el EVM de esta arquitectura de seis puertos en función del desbalanceo de los divisores (que forman la etapa de entrada de la arquitectura), asumiendo el resto de elementos ideales. Como se puede observar en la Fig. 2.18(a), en este caso la arquitectura es capaz de compensar por completo el desbalanceo en fase común de los elementos de la etapa de entrada (divisores de potencia). Sin embargo, el desbalanceo en amplitud de estos elementos es crítico, por lo que es prioritario minimizarlo al diseñar de estos elementos. De forma análoga, si se considera ahora únicamente el desbalanceo de los híbridos (que forman la etapa de salida de la arquitectura), las ecuaciones (2.48), (2.49) también predicen que la arquitectura es capaz de compensar el desbalanceo en fase de los elementos de salida (ver Fig. 2.18(b)). Además, en este caso el desbalanceo en amplitud de los híbridos no es tan importante, ya que no degradan el EVM en gran medida, como también se muestra en la Fig. 2.18(b). Finalmente, comparando las Fig. 2.18(a) y 2.18(b) se obtiene una conclusión importante, los elementos de la etapa de entrada son mucho más críticos que los de la salida de cara a las prestaciones finales de la arquitectura, ya que su desbalanceo en amplitud es el que degrada en mayor medida el comportamiento de la misma.

Esta arquitectura, al igual que la formada por cuatro híbridos, tiene el inconveniente de que requiere de un desfasador que introduzca pocas pérdidas y que presente un desbalanceo en fase reducido para funcionar correctamente. En la Fig. 2.19(a) se presenta el EVM de esta arquitectura en función de las pérdidas y el error de fase del desfasador (I_{PS}) cuando el resto de elementos son ideales. Esta gráfica es idénti-

2.7. Validación de las fórmulas propuestas

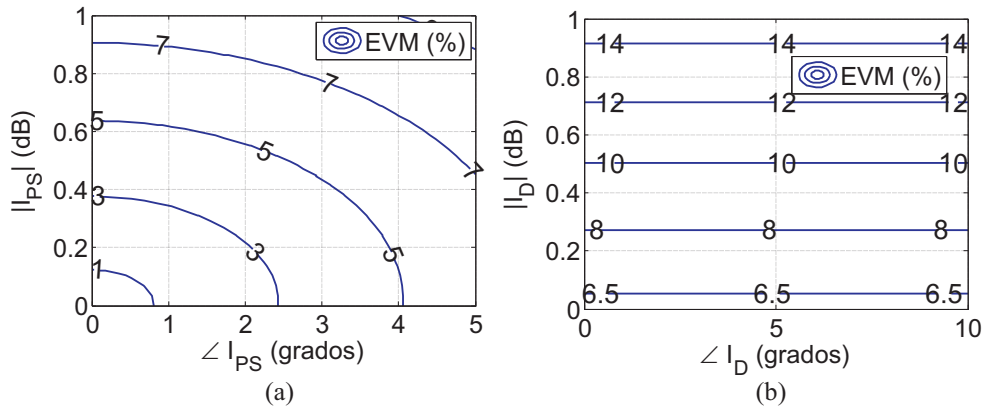


Figura 2.19.: EVM de la arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfaseador, a) en función de los errores en el desfaseador (I_{PS}) cuando el resto de elementos presentan un comportamiento ideal (2.30), b) en función del desbalanceo de los divisores (I_D) cuando el desfaseador presenta unas pérdidas de inserción de 0.5 dB y un error de fase de 5° y los híbridos un desbalanceo en amplitud de 0.5 dB y un desbalanceo en fase de 5° (2.30).

ca a la mostrada en la Fig. 2.16(a), ya que si los híbridos y los divisores presentan el mismo desbalanceo (en este caso $I_H = I_D = 0$) ambas arquitecturas son iguales. En consecuencia, al igual que en la arquitectura formada por cuatro híbridos, el efecto conjunto del desbalanceo de todos los elementos hace que esta arquitectura presente peores prestaciones que la presentada en la subsección 2.6.1 (ver Fig. 2.19(b)). Así, es necesario tener en cuenta las mismas consideraciones que se comentaron al final de la subsección anterior para el diseño de esta arquitectura.

2.7. Validación de las fórmulas propuestas

En la sección anterior se ha demostrado la importancia de la ecuación propuesta del EVM (2.30) como medio para analizar cualquier arquitectura de seis puertos y comprender como las imperfecciones de su hardware degradan sus prestaciones. Además, en la sección 2.5 se logró relacionar la ecuación del vector error (2.29) (i.e la ecuación del EVM (2.30) sin normalizar) con el cálculo de la probabilidad de error para una modulación QPSK (2.40). Gracias a estos resultados es posible obtener los requisitos que debe de cumplir un demodulador I/Q de seis puertos a partir de unas especificaciones de probabilidad de error y SNR dadas.

En esta sección se estudia la exactitud de las fórmulas propuestas para el cálculo del EVM (2.30) y la probabilidad de error para una modulación QPSK (2.40). Para ello, se ha decidido hacer uso del modelo de la arquitectura de seis puertos formada por tres híbridos y un divisor de potencia que estudió en la subsección 2.6.1. (ver Fig. 2.11), fijando el desbalanceo del divisor de potencia a 1 dB y 2° y el desbalanceo de los híbridos a 1 dB y 6° . Con estos niveles de desbalanceo los efectos del: i) parámetro de señal continua (α), ii) parámetro de señal de onda rectificada γ , y iii) desbalanceo en los ejes de referencia en la demodulación (u, v) son patentes, pero las prestaciones

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

del la arquitectura de seis puertos aún son aceptables. Aunque este modelo tiene sus limitaciones, es suficiente para establecer la validez de las fórmulas propuestas. En todo caso, en el capítulo 5 estas ecuaciones serán nuevamente utilizadas para analizar las arquitecturas de seis puertos de banda ultra-ancha que han sido diseñadas dentro de esta misma Tesis [55, 56].

Esta sección se divide en dos partes. En la primera, el EVM estimado (2.30) se compara con el EVM obtenido al simular la demodulación de los cuatro símbolos de la constelación QPSK en ausencia de ruido. En la segunda parte, el BER estimado (2.40) se compara con el obtenido al simular la demodulación de una trama de millones de símbolos QPSK en presencia de ruido AWGN.

2.7.1. Validación de la fórmula para el cálculo del EVM

Para validar la fórmula propuesta para el EVM (2.30) se simula la recepción de los cuatro símbolos de la constelación QPSK en ausencia de ruido, usando tanto control automático de ganancia (AGC), como recuperación de portadora, mediante la técnica de elevar a la cuarta potencia [78]. Asumiendo que el término de señal continua ha sido previamente eliminado ($R_{DC} = 0$), sólo el término de señal de onda rectificada (R_{RW}) y el desbalanceo de los ejes de referencia (I_A) degradan el EVM. Los resultados del EVM obtenidos mediante simulación y de forma teórica (2.30) con sus diferentes términos en función del cociente de potencias P_{RX}/P_{LO} se muestran en la Fig. 2.20(a). Esta figura muestra que disminuyendo el cociente de potencias P_{RX}/P_{LO} , el EVM se puede mejorar de forma significativa, razón por la que se suele trabajar con este tipo de relaciones de potencia en la realidad. Además, esta figura demuestra que (2.30) permite calcular el EVM correctamente, ya que los resultados teóricos coinciden con los obtenidos en simulación. Por otro lado, si el término de continua no es eliminado ($R_{DC} \neq 0$), existe un punto óptimo que minimiza el EVM, como ya se comentó en la subsección 2.4.2 y como se puede observar claramente en la Fig. 2.20(b). En este caso, los resultados obtenidos con la ecuación propuesta para el EVM (2.30) también coinciden con los obtenidos en simulación, demostrando así también su validez cuando todos los errores del hardware son considerados.

2.7.2. Validación de la fórmula para el cálculo de la BER

Una vez demostrada la exactitud de la ecuación del EVM (2.30) , y por tanto de la ecuación del cálculo del vector error (2.29) (i.e la ecuación del EVM (2.30) sin normalizar) en esta sección se estudia la validez de la ecuación propuesta para el cálculo de la probabilidad de error en una modulación QPSK (2.40) .

Para hacer el estudio se simula la demodulación de tramas con millones de símbolos QPSK en presencia de ruido AWGN para diferentes cocientes de potencias P_{RX}/P_{LO} . En concreto, se simulan dos situaciones distintas: i) cuando el término de DC no es eliminado ($R_{DC} \neq 0$), y ii) cuando el término de DC es eliminado ($R_{DC} = 0$). En el primer caso el BER se degrada por completo cuando se reduce el cociente P_{RX}/P_{LO} , como se muestra en la Fig. 2.21 (a). Esto sucede porque al no eliminar el término R_{DC} , éste se convierte en la principal fuente de error, trasladando los símbolos demodulados de la constelación QPSK de sus regiones de decisión. Sin embargo, si se elimina

2.7. Validación de las fórmulas propuestas

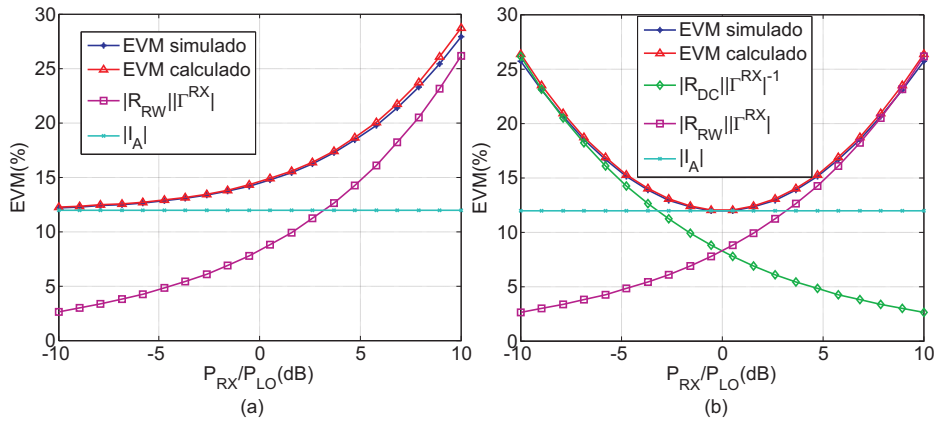


Figura 2.20.: EVM simulado y calculado (2.30) en función del cociente de potencias P_{RX}/P_{LO} , incluyendo el cálculo de las diferentes contribuciones (R_{DC} , R_{RW} , I_A) en ausencia de ruido. a) No incluyendo R_{DC} . b) Incluyendo R_{DC} .

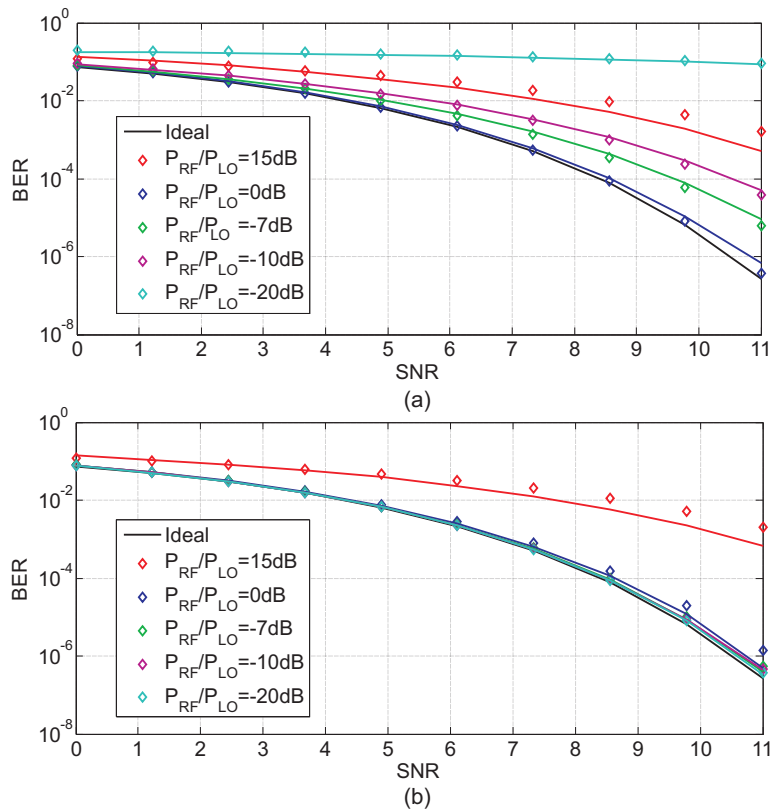


Figura 2.21.: BER calculado (2.40) y simulado en función del SNR para diferentes cocientes de P_{RX}/P_{LO} . Las líneas coloreadas continuas representan los resultados obtenidos mediante simulación de la recepción de millones de símbolos y las marcas son los resultados calculados con (2.40). a) Cuando el término de DC no es eliminado ($R_{DC} \neq 0$). b) Cuando el término de DC es eliminado ($R_{DC} = 0$).

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

el término de DC por calibración, los mejores resultados de BER se obtienen cuando se reduce el cociente P_{RX}/P_{LO} , como se muestra en la Fig. 2.21(b). Así, es importante enfatizar que es crucial importancia la implementación de una buena técnica (hardware o software) que permita eliminar el término de DC sin distorsionar la constelación si se decide utilizar bajos niveles del cociente P_{RX}/P_{LO} con este tipo de demoduladores. Finalmente, la Fig. 2.21 muestra claramente que los resultados obtenidos de forma teórica (marcas) coinciden en buena medida con los resultados obtenidos mediante simulación (líneas) para bajos niveles del cociente P_{RX}/P_{LO} , pero no para los altos niveles del mismo. Esta limitación se debe a que la ecuación propuesta para el cálculo de la probabilidad de error (2.40) asume que la distorsión de la constelación afecta principalmente a la posición de los símbolos, pero no a la distribución Gaussiana del ruido. Así, para valores bajos del cociente P_{RX}/P_{LO} , dicha suposición se cumple en gran medida ya que la componente de error no lineal (γ) apenas influye en el resultado final. Sin embargo, para valores superiores del cociente P_{RX}/P_{LO} el término no lineal (γ) sí afecta a la distribución del ruido, haciendo que la ecuación (2.40) no se ajuste tan bien a los resultados obtenidos en simulación. Por tanto, la ecuación (2.40) es útil para obtener una buena estimación del BER de cualquier demodulador I/Q de seis puertos que trabaje con bajos niveles del cociente P_{RX}/P_{LO} (caso habitual), sin necesidad de tener que simular la demodulación de millones de símbolos.

2.8. Conclusiones

En este capítulo se ha realizado un estudio detallado del demodulador de seis puertos con generación I/Q analógica. Dicho estudio ha permitido definir tres parámetros complejos (R_{DC} , R_{RW} e I_A) que describen por completo como se distorsionan las constelaciones demoduladas debido a las imperfecciones en el hardware de la arquitectura de seis puertos. A partir de estos tres parámetros es posible calcular el EVM del demodulador y evaluar analíticamente sus prestaciones. Este es un resultado importante del trabajo realizado ya que establece que las prestaciones de un demodulador de seis puertos se pueden describir por completo sólo con tres números complejos en vez de con los ocho parámetros S de la arquitectura de seis puertos (ocho números complejos), más las cuatro sensibilidades de los detectores de potencia (cuatro números reales) que originalmente definen el hardware del demodulador.

Por otro lado, en este capítulo se han obtenido ecuaciones simplificadas que permiten calcular de forma analítica la degradación del BER debido a las imperfecciones del hardware. Estas expresiones pueden ser utilizadas para establecer las especificaciones del hardware de la arquitectura de seis puertos para cumplir un determinado nivel de BER. Aunque estas fórmulas se han derivado inicialmente sólo para la modulación QPSK, también se podría extender su uso para evaluar estos demoduladores en presencia de modulaciones M-QAM más complejas.

Gracias a los parámetros definidos (R_{DC} , R_{RW} e I_A), en este capítulo se han analizado de forma pormenorizada tres de las arquitecturas de seis puertos más utilizadas a frecuencias de microondas. Dicho análisis ha permitido conocer las principales ventajas y las limitaciones de cada una de ellas y cuáles son las prestaciones que tienen que cumplir sus elementos constituyentes para conseguir un determinado nivel de

2.8. Conclusiones

EVM. Las conclusiones obtenidas en estos análisis han sido de gran utilidad, tanto en el diseño de las arquitecturas de seis puertos, como en la implementación final del demodulador I/Q de seis puertos que se ha realizado dentro de esta Tesis. Los resultados obtenidos en estos diseños serán presentados de forma detallada a lo largo de los próximos capítulos.

2. Análisis del demodulador I/Q basado en arquitecturas de seis puertos

3

Acopladores direccionales en tecnología planar integrada

Los acopladores direccionales son componentes esenciales en algunos de los sistemas más importantes en el ámbito de las microondas, usándose en equipos de medida, en aplicaciones de monitorización de potencia, amplificadores y mezcladores balanceados, moduladores, receptores, redes de alimentación de arrays de antena, etc. Además, como ya se demostró en el capítulo anterior, es el elemento fundamental que se utiliza en el diseño de las arquitecturas de seis puertos.

Este capítulo tiene como objetivo presentar el trabajo desarrollado en esta Tesis en el ámbito del diseño de acopladores direccionales en tecnologías planares. Como hito fundamental se presenta una novedosa metodología de diseño de acopladores que permite la implementación de acopladores direccionales de altas prestaciones con un nivel de acoplamiento y ancho de banda arbitrarios. Así, este capítulo se ha organizado de la siguiente forma. En la sección 3.2 se presenta un breve estudio del estado del arte en cuanto al diseño de acopladores direccionales. En la sección 3.3 se analiza el acoplador direccional acoplado por ranura, que es elemento fundamental utilizado en esta Tesis. En la sección 3.4 se presenta el modelado y análisis realizado para comprender el comportamiento del acoplador basado en múltiples secciones acopladas por ranura. En la sección 3.5 se presenta una metodología de diseño simplificada que permite la implementación de acopladores de banda ancha, pero con algunas limitaciones. En la sección 3.6 se detallan las técnicas de compensación desarrolladas para superar las limitaciones que sufre la metodología presentada en la sección 3.5. En la sección 3.7 se explica la metodología de diseño de acopladores de banda ancha de altas prestaciones que se ha desarrollado en esta Tesis gracias a las técnicas de compensación presentadas en la sección 3.6. En la sección 3.8 se muestran los diferentes acopladores direccionales que se han diseñado para demostrar la validez de las nuevas técnicas desarrolladas. Finalmente, en la sección 3.9 se presentan las conclusiones de este capítulo.

3. Acopladores direccionales en tecnología planar integrada

3.1. Introducción

Los acopladores direccionales están entre los elementos más utilizados en los sistemas de microondas, siendo incluso esenciales para muchos de ellos. Por ello, el diseño de estos componentes en tecnologías planares es actualmente objeto de un intenso interés científico e industrial, con el objetivo de integrarlos directamente en las placas de circuito impreso junto al resto de la circuitería de radiofrecuencia. Esto permite minimizar el uso de componentes de montaje superficial, mejorando la fiabilidad de los equipos y reduciendo los costes y el tiempo de montaje. Además, el disponer de dispositivos integrables directamente en placa, elimina la necesidad de usar conectores, lo que permite mejorar las prestaciones finales de los circuitos.

Aunque existen diversas alternativas para el diseño de acopladores a frecuencias de microondas en tecnología planar, los acopladores basados en líneas TEM acopladas son los que permiten alcanzar mejores prestaciones, ya que en estas estructuras las velocidades de fase de los modos par e impar son iguales de forma natural. La forma más sencilla de diseñar estos acopladores es mediante el uso de estructuras enterradas homogéneas, como las líneas stripline acopladas, con el objetivo de que los modos en el interior de la estructura sean TEM puros. Sin embargo, estas tecnologías requieren complejas transiciones y estructuras de capas que reducen la repetitividad e incrementan los costes de fabricación.

Para evitar estos problemas es especialmente interesante el uso de tecnologías planares compatibles con la tecnología microstrip. Sin embargo, estas tecnologías presentan inconvenientes que pueden llegar a ser más importantes que los que aparecen en las estructuras enterradas homogéneas. Los principales inconvenientes que surgen a la hora de afrontar el diseño de estos acopladores en tecnologías compatibles con la microstrip son: i) conseguir altos niveles de acoplamiento, y ii) compensar las velocidades de fase de los modos par e impar, que al ser cuasi-TEM no tienen la misma constante de propagación.

En la próxima sección se presentará un breve resumen del estado del arte en cuanto al diseño de acopladores direccionales en tecnología planar. Posteriormente, en las siguientes secciones se presentarán las soluciones que se han desarrollado para el diseño de estos componentes en el marco de esta Tesis.

3.2. Historia y estado del arte en el diseño de acopladores

El primer acoplador direccional se le suele reconocer a H. A. Affel de la compañía A.T.T., quien depositó la patente en el año 1922. Se podría pensar que hubo otras implementaciones en la década de los 20 y especialmente en la de los 30, pero sería necesario realizar un profundo trabajo bibliográfico para conocer más al respecto. De hecho, incluso el origen del su nombre, “acopladores direccional”, es un misterio [79].

Los primeros acopladores direccionales fueron diseñados en tecnología de guía de ondas. Muy posiblemente, el primer acoplador direccional en guía de onda usaría un par de sondas capacitivas espaciadas un cuarto de la longitud de onda a lo largo de las dos guías. El uso de dos o más agujeros espaciados un cuarto de la longitud de onda para acoplar las guías fue inventado W. W. Mumford, que lo patentó en julio del año 1944 y lo publicó en el 1947 [80].

3.2. Historia y estado del arte en el diseño de acopladores

En 1948 Riblet y Saad publicaron un artículo que el que se usaban pares de ranuras en las guías de onda repetidas "n" veces a intervalos de un cuarto de longitud de onda. Estas ranuras se podían diseñar para conseguir una perfecta directividad y un acoplamiento plano a un frecuencia f_0 . Posteriormente, el propio Riblet con su publicación de 1952 [81] consiguió un gran avance en la tecnología de microondas. En este artículo se resalta por primera vez la importancia del híbrido en cuadratura (que separa por igual la potencia entre sus dos salidas) como un componente básico y versátil. El siguiente avance importante fue la aplicación de la teoría de arrays de antenas de Dolph-Chebyshev al diseño de acopladores direccionales en guía con múltiples agujeros. Esto permitió conseguir una alta directividad en grandes anchos de banda para aplicaciones de reflectometría.

La primera teoría exacta para el diseño de acopladores TEM, que servía tanto para altos como bajos niveles de acoplamientos, fue propuesta por B. M. Oliver en [82]. En este artículo se presentaba el correcto comportamiento del acoplamiento respecto a la frecuencia para un acoplador de una sola sección. A partir de aquí, comenzaron a surgir muchos autores que fueron desarrollando diferentes técnicas y tecnologías para el diseño de acopladores direccionales, pudiendo destacar el trabajo de E. G. Cristal y L. Young [83]. Este artículo define de forma exacta cómo diseñar acopladores simétricos con múltiples secciones para incrementar el ancho de banda, a costa de permitir un pequeño rizado en el acoplamiento, mediante técnicas basadas en los polinomios de Chebyshev. Esta opción se ha convertido con el tiempo en la más utilizada en el diseño de acopladores direccionales de banda ancha.

3.2.1. Acopladores en estructuras enterradas homogéneas

Las estructuras enterradas homogéneas soportan múltiples modos TEM con la misma velocidad de fase, por lo que son una opción muy adecuada para el diseño de los acopladores direccionales. Los mayores inconvenientes que surgen a la hora de diseñar cualquier acoplador direccional en una estructura enterrada homogénea son: i) elegir una tecnología multicapa adecuada y diseñar la estructura de capas correcta, y ii) diseñar las transiciones entre las capas de señal externas y las internas (donde se encuentra el acoplador) sin degradar las prestaciones finales del circuito.

En los últimos años las tecnologías multicapas han sufrido un profundo desarrollo, ya que éstas permiten reducir considerablemente el tamaño de los circuitos finales al solapar verticalmente múltiples componentes, confirmando por tanto una gran capacidad de miniaturización. A continuación enumeramos algunas de las más utilizadas. En primer lugar, se dispone de la tecnología plástico multicapa, basada en las tradicionales placas de circuito impreso (Printed Circuit Board, PCB). Esta tecnología es la más madura y desarrollada de todas y se basa en el uso de nuevos substratos plásticos (como los fabricados por Rogers [84]) que permiten el diseño de circuitos multicapa a muy altas frecuencias. Sin embargo, esta tecnología tiene el inconveniente de que requiere el uso de láminas de pegamento especial para unir las diferentes capas, lo que limita mucho las posibilidades a la hora de diseñar la estructura de capas. En segundo lugar se dispone de la tecnología cerámica de cocción a baja temperatura (Low Temperature Co-fired Ceramic, LTCC). Esta tecnología permite diseñar casi cualquier estructura de capas e incrementa de forma notable la capacidad de mi-

3. Acopladores direccionales en tecnología planar integrada

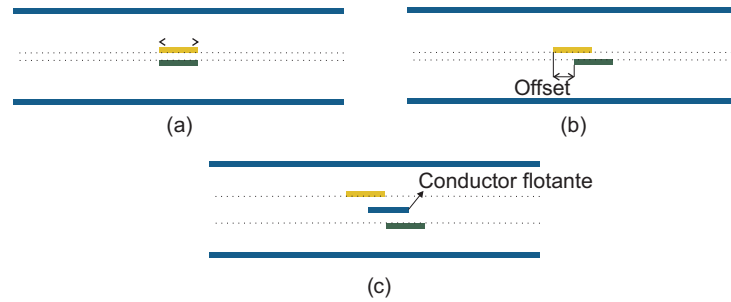


Figura 3.1.: Líneas acopladas típicamente utilizadas para conseguir un alto nivel de acoplamiento dentro de las estructuras enterradas homogéneas. a) Líneas stripline paralelas. b) Líneas stripline paralelas con un pequeño offset lateral. c) Líneas stripline paralelas con una pista flotante en el centro.

niaturización, gracias a la alta permitividad relativa de los sustratos que utiliza. De hecho, esta tecnología ha llegado a ser considerada clave para las comunicaciones RF inalámbricas [85]. Su principal inconveniente es que es una tecnología aún en desarrollo, con pocos fabricantes comerciales y con unas tolerancias de fabricación menos ajustadas que las de la tecnología plástico multicapa. Por último, otra tecnología muy interesante y que está cobrando mucho interés en los últimos años es la tecnología de polímeros de cristales líquidos (Liquid Crystal Polymer, LCP) [86]. Ésta permite crear estructuras de capas mediante un proceso de cocción similar al LTCC pero a una temperatura mucho menor. Además, los materiales empleados ofrecen permitividades relativas similares al plástico, por lo que la tecnología LCP se puede considerar una solución intermedia entre la tecnología PCB multicapa y la tecnología LTCC.

Respecto a las transiciones para acceder a las capas de señal donde se encuentra el acoplador, en la bibliografía se han propuesto diferentes transiciones en los últimos años. Como ejemplos destacados, en [87, 88] se proponen transiciones de líneas microstrip a líneas stripline, y en [89–91] transiciones de líneas coplanares a líneas stripline. Estas transiciones suelen estar apantalladas para evitar radiaciones y ofrecen buenas prestaciones con unas pérdidas de retorno entre 15 y 20 dB en un gran ancho de banda (en algunos casos hasta 50 GHz). Para conseguir semejantes prestaciones se requiere una optimización minuciosa de diversos parámetros como el diámetro de las ranuras, el diámetro de las vías de señal utilizadas, etc. También existen otras propuestas que utilizan múltiples vías para modelar una pared metálica [92] o incluso para modelar el comportamiento de un cable coaxial, consiguiendo así excelentes prestaciones hasta frecuencias superiores a los 20 GHz [93, 94].

En el diseño de acopladores direccionales de banda ancha, la opción más utilizada es el uso de acopladores de múltiples secciones [83, 95], como ya se ha dicho anteriormente. Al diseñar este tipo de acopladores usando estructuras enterradas homogéneas aparecen dos nuevas dificultades: i) conseguir el alto nivel de acoplamiento que requieren algunas de las secciones, y ii) compensar los efectos parásitos que introducen las discontinuidades entre las distintas secciones. El alto nivel de acoplamiento se puede conseguir con las líneas stripline paralelas [96], las líneas stripline

3.2. Historia y estado del arte en el diseño de acopladores

paralelas con un pequeño offset lateral [97] o líneas stripline paralelas con una pista flotante en el centro [98] (ver Fig. 3.1). Estas estructuras han sido utilizadas en [98,99] consiguiendo interesantes resultados. En determinadas circunstancias, este tipo de estructuras no consiguen el nivel de acoplamiento requerido, por lo que es necesario recurrir al diseño de estructuras acopladas en tándem [100]. Por otro lado, para resolver el problema de las discontinuidades se han propuesto diferentes alternativas. Por ejemplo, en [101, 102] se propone compensar estas discontinuidades con el uso de “stubs” en paralelo, aunque también se puede solucionar este problema mediante el uso de “tapers” entre las secciones o el uso de acopladores no uniformes.

Aunque el trabajo realizado en esta Tesis se centra fundamentalmente en el diseño de acopladores de banda ancha basados en estructuras compatibles con la tecnología microstrip, también se ha colaborado con otros miembros del grupo de investigación en el diseño de un acoplador de banda ancha basado en una estructura enterrada homogénea en tecnología LTCC. En concreto, el circuito diseñado consiste en un acoplador de 10 dB asimétrico de seis secciones de líneas stripline paralelas acopladas con un pequeño offset lateral. Este circuito cubre un ancho de banda de una década, desde 1.8 a 18 GHz, y se diseñó con el objetivo de ser utilizado en aplicaciones de monitorización de múltiples sistemas [53, 54].

3.2.2. Acopladores en estructuras compatibles con la tecnología microstrip

El diseño de acopladores direccionales mediante el uso de tecnologías planares compatibles con la tecnología microstrip evita la necesidad de usar complicadas transiciones. En el diseño de este tipo de acopladores, al igual que en los basados en estructuras enterradas homogéneas, la opción más utilizada para incrementar el ancho de banda son los acopladores de múltiples secciones [83, 95]. Los inconvenientes de estas estructuras son: i) la necesidad de secciones con un nivel de acoplamiento elevado, ii) el efecto parásito de las discontinuidades entre las secciones degrada el comportamiento de estos acopladores, y iii) los modos par e impar que se propagan en estos acopladores ya no son TEM puros, sino cuasi-TEM (con distinta velocidad de fase), por lo que es necesario ecualizar la velocidad de fase de ambos modos en cada una de las secciones para conseguir una buena directividad. Debido al gran interés existente en el desarrollo de este tipo de acopladores, en las últimas décadas se han publicado numerosos artículos que ofrecen multitud de soluciones de calidad dispar. Por ello, en los siguientes párrafos se va a intentar sintetizar de forma breve algunas de las soluciones más relevantes.

En primer lugar, para incrementar el nivel de acoplamiento se han propuesto múltiples soluciones, tanto monocapa como multicapa. Las principales estructuras monocapa que consiguen un alto nivel de acoplamiento son los acopladores interdigitales (o acopladores de Lange) [103, 104], y el uso de líneas microstrip acopladas lateralmente en configuración tándem [105]. El principal problema de estas estructuras monocapa es que requieren substratos muy finos y con una alta permitividad relativa (ϵ_r), para que el ancho de las pistas y la separación entre las mismas sean realizables físicamente. Sin embargo, gracias al desarrollo de las tecnologías multicapa, ha sido posible implementar diferentes estructuras que permiten aumentar el aco-

3. Acopladores direccionales en tecnología planar integrada

plamiento sin necesidad de usar dicho tipo de sustratos. Algunos ejemplos interesantes son, el acoplador direccional acoplado por ranura [106–110], las estructuras semi-reentrantes [111], las líneas microstrip acopladas con ranura en el plano de masa [112] o las estructuras instaladas verticalmente [113]. En el desarrollo de esta Tesis se ha decidido utilizar el acoplador direccional acoplado por ranura como elemento fundamental debido a las características singulares que éste posee, que serán detalladas en la sección 3.3.

En segundo lugar, para eliminar el efecto parásito de las discontinuidades se pueden introducir “stubs” en paralelo como elementos reactivos, de forma similar a como se propone en [101, 102]. Por otro lado, es posible utilizar otras técnicas, como el suavizado de discontinuidades mediante “tapers” [114], o incluso el uso de acopladores no uniformes [115, 116]. El acoplador no uniforme es una estructura en la que la sección transversal se modifica muy lentamente (evitando así la aparición de discontinuidades) y que requiere una metodología de diseño diferente a los acopladores de múltiples secciones. Pese a que los acopladores no uniformes parecen una alternativa que soluciona definitivamente el problema de las discontinuidades, éstos presentan otros inconvenientes respecto a los acopladores de múltiples secciones como son: i) el aumento de la longitud eléctrica de la estructura, ii) la necesidad de un mayor nivel de acoplamiento y iii) un proceso de diseño complicado.

Por último, la ecualización de las velocidades de fase de los modos par e impar son el gran problema de este tipo de acopladores. Las principales técnicas que se han propuesto para compensar las velocidades de fase de los modos par e impar son, el uso de capas de revestimiento en las estructuras [117, 118], el uso de elementos capacitivos [119], el uso de elementos inductivos [120], los acopladores direccionales con modos reentrantes [121], el uso de metamateriales [122], acopladores no uniformes [123], o los acopladores direccionales con planos de masa ranurados según un patrón concreto [124, 125]. Sin embargo, estas técnicas no pueden ecualizar por completo las velocidades de fase de ambos modos (al afectar a ambos parcialmente). Por otro lado, se han propuesto las líneas microstrip acopladas serpenteantes (wiggly coupled lines) tanto en acopladores no uniformes [115, 126], como en acopladores con múltiples secciones [114, 127, 128], para ecualizar las velocidades de fase de ambos modos. Las pistas serpenteantes reducen la velocidad de propagación del modo impar sin afectar mucho al modo par, ecualizando por tanto ambos modos. Sin embargo, esta técnica tiene dos limitaciones importantes: i) la ecualización que consigue es limitada, ya que el modo par también se ve afectado por la sección serpenteante, y ii) las líneas microstrip acopladas lateralmente pueden conseguir un máximo nivel de acoplamiento muy reducido.

A la luz de todo el trabajo desarrollado en este ámbito, es evidente que el diseño de acopladores direccionales de banda ancha, en tecnología planar y con altas prestaciones aún no está cerrado. Así, una de las tareas fundamentales de la presente Tesis ha sido el desarrollo nuevas técnicas y metodologías de diseño de acopladores direccionales de altas prestaciones basadas en el acoplamiento por ranura. Los acopladores diseñados en esta Tesis han permitido el diseño de arquitecturas de seis puertos de altas prestaciones [55, 56], y finalmente, el diseño de un demodulador I/Q de seis puertos completo. Como se demostrará a lo largo de este capítulo, gracias al trabajo realizado se ha conseguido superar todas las limitaciones aquí comentadas, consi-

3.3. Acoplador direccional acoplado por ranura

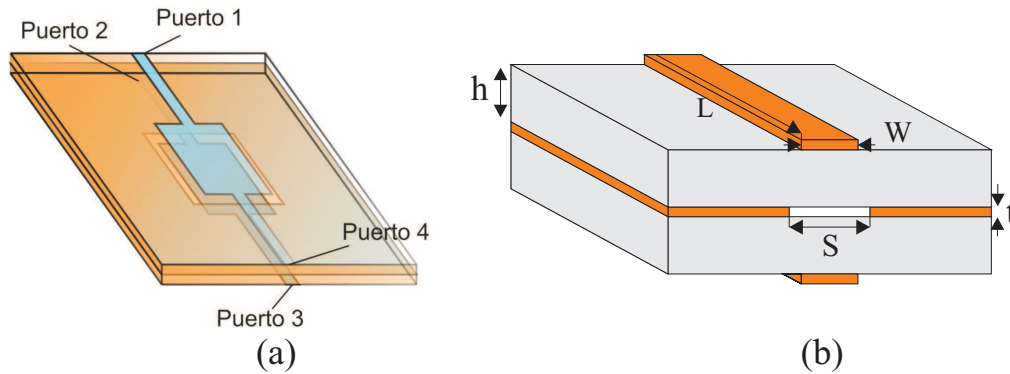


Figura 3.2.: a) Modelo 3-D del acoplador direccional acoplado por ranura de una sección. b) Modelo 3-D de la sección transversal del acoplador direccional acoplado por ranura.

guiendo resultados que son estado del arte [49–52].

3.3. Acoplador direccional acoplado por ranura

Un acoplador direccional acoplado por ranura es una estructura multicapa compuesta por dos pistas microstrip y un plano de masa común, que están separados por dos capas de dieléctrico. En este circuito, la pistas microstrip se acoplan a través de una ranura rectangular abierta entre ambas en el plano de masa común. Esta especial configuración permite a la estructura conseguir los altísimos niveles de acoplamiento requeridos en los acopladores de múltiples secciones de banda ancha. La imagen 3-D del acoplador direccional acoplado por ranura, así como la imagen 3-D de su sección transversal junto con sus principales dimensiones se muestran en la Fig. 3.2. En dicha figura se incluyen las principales dimensiones de la estructura, siendo h la altura del substrato utilizado, t es el espesor de la capa de cobre de las pistas, W es el ancho de pista en la zona de acoplamiento, S es el ancho de la ranura en el plano de masa y L es la longitud física tanto de la ranura como de las pistas en la zona de acoplamiento. Pese a que esta estructura no es homogénea, y por tanto, no soporta modos TEM puros, en una primera aproximación, el comportamiento del acoplador direccional acoplado por ranura es esencialmente el mismo que el de un acoplador $\lambda/4$ con modos TEM [106, 129]. Así, es posible calcular las impedancias características de los modos par e impar a partir de la impedancia característica de la estructura (Z_0) y el nivel de acoplamiento (C),

$$Z_{0e} = Z_0 \sqrt{\frac{1+C}{1-C}}, \quad (3.1)$$

$$Z_{0o} = Z_0 \sqrt{\frac{1-C}{1+C}}. \quad (3.2)$$

En este acoplador direccional los modos par e impar son intrínsecamente ortogonales. Así, es posible modelar la propagación de ambos modos por separado utili-

3. Acopladores direccionales en tecnología planar integrada

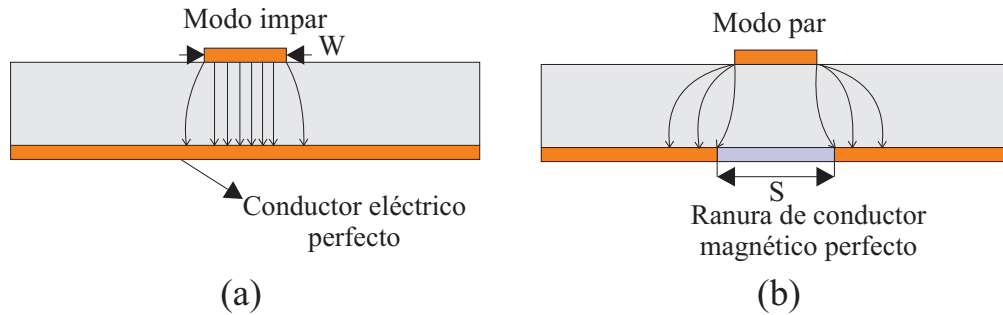


Figura 3.3.: Circuitos equivalentes del acoplador direccional acoplador por ranura para los modos par e impar. a) Circuito equivalente para el modo impar. b) Circuito equivalente para el modo par.

zando los circuitos equivalentes, mostrados en la Fig. 3.3. Como se observa en la Fig. 3.3(a) cuando se excita el modo impar, la ranura se puede reemplazar por conductor eléctrico perfecto, por lo que el circuito equivalente de la estructura se puede modelar con un simple pista microstrip de impedancia característica Z_{0o} . Gracias a esto, es posible obtener una dimensión inicial para W usando las ecuaciones de síntesis de las líneas microstrip [130]. Como se puede observar en la Fig. 3.3(a), en este caso la mayoría del campo eléctrico está confinado en el interior de sustrato, por lo que la permitividad eficaz de la estructura para el modo impar (ϵ_{eff_o}) es elevada. Sin embargo, cuando se excita el modo par, aparece una configuración de campo distinta y la ranura se puede sustituir por un conductor magnético perfecto, como se observa en la Fig. 3.3(b). En este caso, el campo que se propaga a través de la estructura no está tan confinado como en el caso del modo impar, por lo que la permitividad eficaz de la estructura para el modo par (ϵ_{eff_e}) es menor que para el modo impar. La diferencia entre ϵ_{eff_o} y ϵ_{eff_e} aumenta con el nivel de acoplamiento, ya que para conseguir un mayor nivel de acoplamiento es necesario aumentar la anchura de la ranura, haciendo que la configuración de los campos de ambos modos se diferencie cada vez más. Por tanto, en el diseño de este tipo de acopladores es crucial considerar no sólo los posibles efectos parásitos de las discontinuidades, sino también la diferencia entre las velocidades de fase de los modos par e impar, para conseguir buenas prestaciones.

La cualidades fundamentales de esta estructura son el alto nivel de acoplamiento que es capaz de conseguir, y sobre todo, que la ranura es transparente al modo impar, como se puede observar en la Fig. 3.3(a). Esta segunda cualidad es una de las razones fundamentales por la que se ha seleccionado esta estructura como elemento base para el diseño de los acopladores en esta Tesis. Como veremos más adelante en este capítulo, gracias a ella es posible implementar diferentes técnicas que resuelven todos los problemas y limitaciones que surgen en el diseño de acopladores de banda ancha de altas prestaciones. A continuación (en la subsección 3.3.1) se incluye la descripción de un método cuasi-estático que permite obtener las dimensiones iniciales del acoplador direccional acoplado por ranura y la permitividad efectiva de cada modo para cualquier nivel de acoplamiento. Además, en la subsección 3.3.2 se incluye el diseño realizado del híbrido en cuadratura de una sección que se desarrolló para comprobar la validez y las limitaciones de esta estructura.

3.3. Acoplador direccional acoplado por ranura

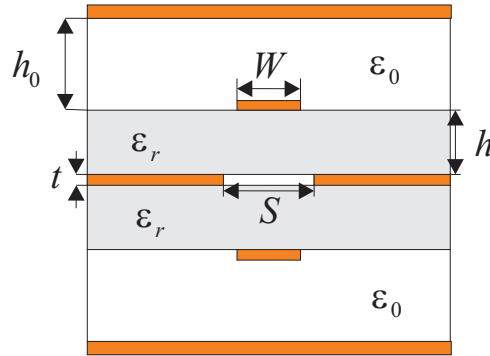


Figura 3.4.: Modelo del acoplador utilizado en el análisis cuasi-estático, donde $h_0 = 10 h$.

3.3.1. Método cuasi-estático de análisis del acoplador direccional acoplado por ranura

Dado que el acoplador direccional acoplado por ranura es la estructura seleccionada para el diseño de los acopladores, es imprescindible disponer de una forma rápida de calcular sus dimensiones iniciales sin tener que recurrir al uso de herramientas de simulación. En [131] se propone el análisis de una estructura equivalente al acoplador direccional acoplado por ranura, pero la complejidad de ecuaciones propuestas hace que la obtención de las dimensiones de la estructura no sea a priori sencilla. Sin embargo, en [132] gracias al uso de técnicas de transformación conforme, se proponen expresiones cerradas sencillas para el cálculo de las impedancias características de los modos par e impar (Z_{oe} , Z_{oo}) y sus constantes de propagación.

En el análisis cuasi-estático propuesto en [132] se utiliza la estructura mostrada en la Fig. 3.4, asumiendo que los planos de masa se extienden hasta el infinito, que las pistas tienen un espesor despreciable y que el sustrato no introduce pérdidas. Así, para calcular las impedancias características de los modos par e impar, inicialmente se calcula la capacidad total por unidad de longitud de ambos modos (C_{Te} , C_{To}), usando las transformaciones conformes incluidas [132]. Para cada modo, esta capacidad total por unidad de longitud (C_{Te} , C_{To}), se puede calcular como la suma de la capacidad que forman la pista microstrip y el plano de masa externo C_1 (rellena de aire), y la capacidad que aparece entre la pista microstrip y el plano de masa central, C_2 (rellena de dieléctrico).

Siguiendo el desarrollo presentado en [132], se obtiene que para el modo par

$$Z_{oe} = 60\pi (\epsilon_{effe})^{-\frac{1}{2}} \left[\frac{K'(k_1)}{K(k_1)} + \frac{K(k_2)}{K'(k_2)} \right]^{-1}, \quad (3.3)$$

$$\epsilon_{effe} = \frac{C_{Te}}{C_{Te}(\epsilon_r \rightarrow 1)} = \frac{\left(\epsilon_r \frac{K'(k_1)}{K(k_1)} + \frac{K(k_2)}{K'(k_2)} \right)}{\left(\frac{K'(k_1)}{K(k_1)} + \frac{K(k_2)}{K'(k_2)} \right)}, \quad (3.4)$$

donde $K(k)$ es la integral elíptica de primera especie, $K'(k) = K(k')$, $k' = \sqrt{1 - k^2}$ y k_1 , k_2 son dos parámetros que dependen de la geometría de la estructura y se pueden

3. Acopladores direccionales en tecnología planar integrada

encontrar en [132].

De forma análoga, para el modo impar se obtienen a las siguientes ecuaciones

$$Z_{0o} = 60\pi (\epsilon_{effo})^{-\frac{1}{2}} \left[\frac{K(k_3)}{K'(k_3)} + \frac{K(k_4)}{K'(k_4)} \right]^{-1}, \quad (3.5)$$

$$\epsilon_{effo} = \frac{C_{To}}{C_{To}(\epsilon_r \rightarrow 1)} = \frac{\left(\epsilon_r \frac{K(k_3)}{K'(k_3)} + \frac{K(k_4)}{K'(k_4)} \right)}{\left(\frac{K(k_3)}{K'(k_3)} + \frac{K(k_4)}{K'(k_4)} \right)}, \quad (3.6)$$

donde k_3 y k_4 son también dos parámetros que dependen de la geometría de la estructura y se pueden encontrar en [132].

Para obtener las dimensiones iniciales de la estructura es necesario resolver el sistema de ecuaciones no lineales formado por (3.3) y (3.5). Con este propósito, se ha implementado una rutina MATLAB que resuelve dicho sistema utilizando la aproximación para el cociente de funciones elípticas propuesto en [133].

Este método permite conocer valores iniciales para las dimensiones de la estructura de forma muy rápida. Sin embargo, al no tener en cuenta ni el espesor de las pistas, ni las pérdidas del sustrato, es necesario optimizar dichas dimensiones mediante simulación, como se explicará en la siguiente sección. Además, para el caso de estructuras con un nivel de acoplamiento muy alto, el método no converge debido a las aproximaciones usadas para las funciones elípticas, por lo que los resultados obtenidos no son fiables.

3.3.2. Diseño de un híbrido en cuadratura de una sección

Este diseño tiene como objetivo obtener una valoración inicial de las prestaciones del acoplador direccional acoplado por ranura. Con este propósito, se ha optado por diseñar un híbrido de una sección que cubra la banda de 3.1 a 4.85 GHz (banda inferior UWB) con el menor desbalanceo en amplitud posible.

Para el diseño y montaje del híbrido, se ha optado por la utilización del sustrato Rogers 4350B con $\epsilon_r = 3.66$ y $h = 0.254$ mm. Al tratarse de un acoplador de una sección la metodología de diseño es muy sencilla. Inicialmente, se resuelven las ecuaciones (3.1) y (3.2) para un nivel de acoplamiento de 3 dB y una impedancia característica $Z_0 = 50 \Omega$, obteniendo los valores de las impedancias características par e impar requeridas: $Z_{0e} = 120.9 \Omega$ y $Z_{0o} = 20.68 \Omega$. Posteriormente, introduciendo estos valores en la rutina que implementa el método cuasi-estático presentado en la subsección 3.3.1 [132] se obtienen las dimensiones iniciales del híbrido. Finalmente estas dimensiones pueden ser ajustadas mediante simulación electromagnética para optimizar las prestaciones del híbrido.

Para poder construir este circuito es necesario utilizar una tecnología de fabricación multicapa. Inicialmente, no se disponía de dicha tecnología, por lo que se optó por construir un prototipo basado en dos placas microstrip con ranuras en sus planos de masa unidas mediante tornillos (este método de fabricación está descrito de forma detallada en el apéndice C). En esta nueva estructura, la ranura tiene una altura que es dos veces la altura de la ranura del circuito nominal, y además está rellena de aire, no de dieléctrico. Esto hace que se reduzca el acoplamiento y se desplace

3.3. Acoplador direccional acoplado por ranura

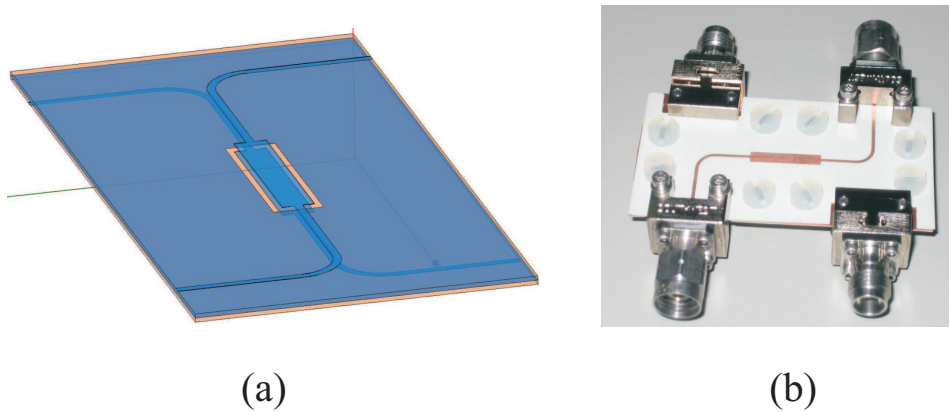


Figura 3.5.: Híbrido de una sección en la banda de 3.1 a 4.85 GHz. a) Modelo 3-D con los codos de interconexión. b) Fotografía del prototipo fabricado.

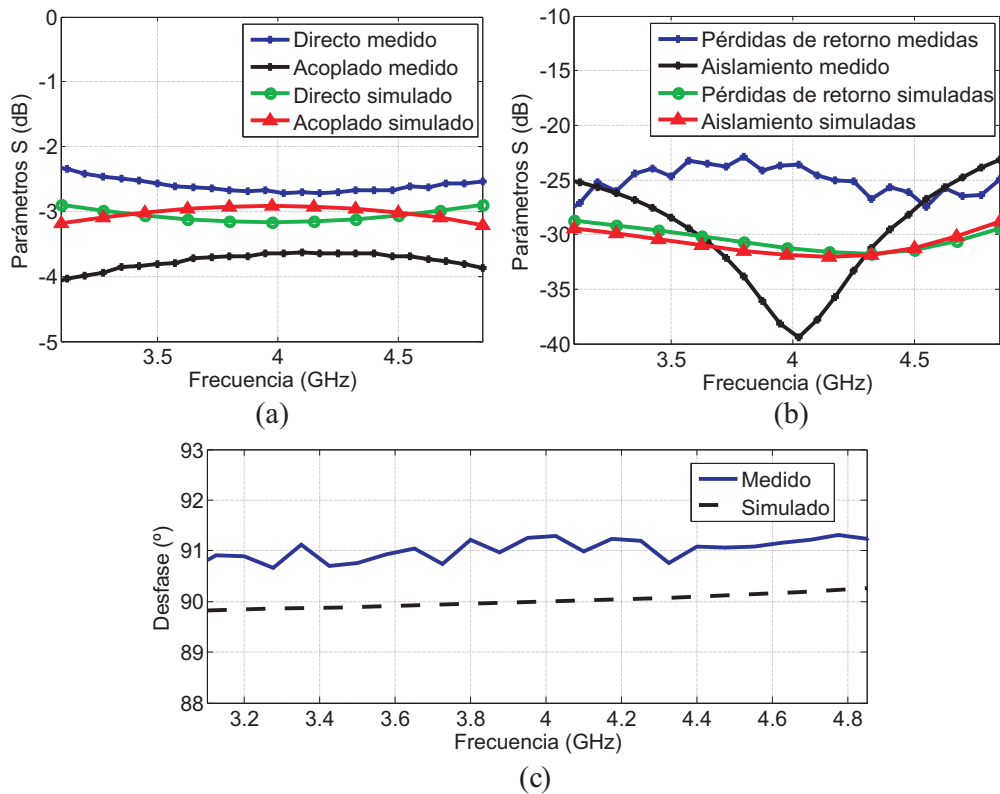


Figura 3.6.: Prestaciones medidas y simuladas del híbrido en cuadratura de una sección en la banda de 3.1 a 4.85 GHz. a) Acoplamiento. b) Pérdidas de retorno y aislamiento. c) Desfase.

3. Acopladores direccionales en tecnología planar integrada

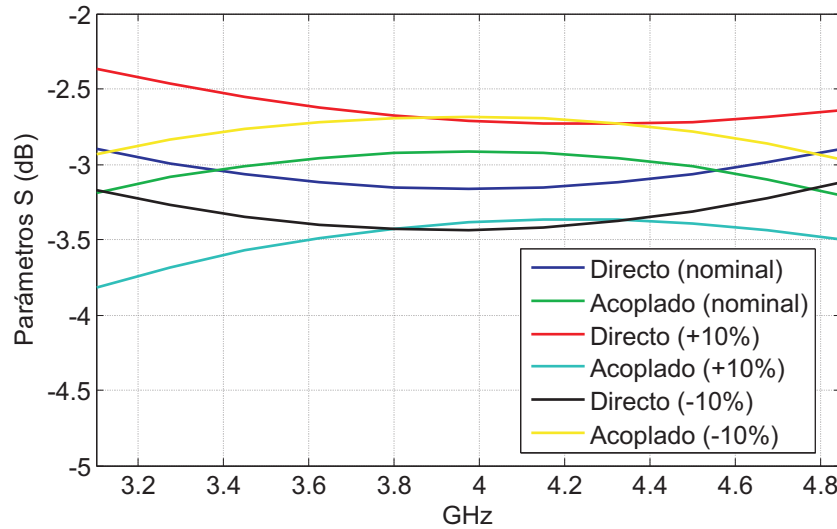


Figura 3.7.: Comportamiento en frecuencia del nivel de acoplamiento del híbrido diseñado para unas tolerancias del $\pm 10\%$ en la altura del sustrato.

la respuesta en frecuencia del híbrido respecto al caso nominal, por lo que es necesario redimensionar la estructura mediante simulación electromagnética utilizando el circuito mostrado en la Fig. 3.5(a). Tras el proceso de optimización, las dimensiones finales obtenidas son: $W = 2.25$ mm, $S = 3.48$ mm y $L = 12.15$ mm. La fotografía del prototipo del híbrido de una sección simple se muestra en la Fig. 3.5(b) y los resultados obtenidos se presentan en la Fig. 3.6 [52]. Los resultados de las medidas en general son buenos, con un acoplamiento medido de -3.5 dB (ver Fig. 3.6(a)), pérdidas de retorno y aislamiento mejores de -24 dB en toda la banda (ver Fig. 3.6(b)), y un desfase en torno a 91° en toda la banda, como se muestra en la Fig. 3.6(c). La falta de acoplamiento se debe probablemente a errores en el alineamiento de las placas o a errores en el espesor del sustrato.

En general el acoplador direccional acoplado por ranura es muy tolerante a la longitud y la anchura tanto de las pistas como de la ranura, pero se ve muy afectado por las variaciones en el espesor del sustrato (por ser una estructura multicapa). Para el caso del sustrato RO4350B, Rogers ofrece una tolerancia en la altura del sustrato del $\pm 10\%$. En la figura 3.7 se muestra una comparativa realizada mediante simulación electromagnética de la respuesta de híbrido para el caso nominal y con variaciones del $\pm 10\%$. Como se puede observar, el desbalanceo en amplitud pasa de valer $\pm 0,3$ dB en el caso nominal, a $-0,75$ dB en el caso del -10% , y a $+1,45$ dB en el caso del $+10\%$. Así, los resultados obtenidos para el híbrido de una sección están dentro de los márgenes esperados y muestran la validez de esta estructura para el diseño de acopladores con un alto nivel de acoplamiento.

3.4. Modelado y análisis del acoplador direccional acoplado por ranura de múltiples secciones

Como ya se comentó en la sección 3.3, el acoplador direccional acoplado por ranura es una estructura simétrica en la que los modos par e impar son intrínsecamente ortogonales, por lo que la propagación de ambos se puede analizar como dos problemas independientes. Además, se ha comprobado (mediante simulación electromagnética 3-D) que sus discontinuidades también mantienen dicha ortogonalidad, por lo que también es posible analizarlas de forma independiente. Estas dos propiedades hacen que sea posible modelar y simular la propagación de ambos modos por separado en estructuras con múltiples secciones a partir de los circuitos equivalentes que se mostraron en la Fig. 3.3. Dicha simulación de ambos modos por separado permite obtener las matrices de parámetros S que modelan a propagación de cada modo

$$[S]_e = \begin{bmatrix} S_{11_e} & S_{12_e} \\ S_{21_e} & S_{22_e} \end{bmatrix}, \quad (3.7)$$

$$[S]_o = \begin{bmatrix} S_{11_o} & S_{12_o} \\ S_{21_o} & S_{22_o} \end{bmatrix}. \quad (3.8)$$

Así, el comportamiento final del acoplador se puede recuperar combinando las matrices de parámetros S de los modos par ($[S]_e$) e impar ($[S]_o$) de la siguiente forma [134, 135]:

$$[M] = \frac{1}{\sqrt{2}} \begin{bmatrix} I & I \\ -I & I \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 \\ -1 & 0 & 1 & 0 \\ 0 & -1 & 0 & 1 \end{bmatrix}, \quad (3.9)$$

$$[S]_c = \begin{bmatrix} [S]_{dd} & [S]_{dc} \\ [S]_{cd} & [S]_{cc} \end{bmatrix} = \begin{bmatrix} S_{11_e} & S_{12_e} & 0 & 0 \\ S_{21_e} & S_{22_e} & 0 & 0 \\ 0 & 0 & S_{11_o} & S_{12_o} \\ 0 & 0 & S_{21_o} & S_{22_o} \end{bmatrix}, \quad (3.10)$$

$$[S]_{coupler} = [M]^{-1} [S]_c [M]. \quad (3.11)$$

Resolviendo las ecuaciones anteriores se obtiene de forma sencilla que las principales características de un acoplador direccional se pueden calcular a partir de los parámetros S de los modos par ($[S]_e$) e impar ($[S]_o$) como [136]

$$\text{Pérdidas de retorno} = \frac{S_{11_e} + S_{11_o}}{2}, \quad (3.12)$$

$$\text{Aislamiento} = \frac{S_{21_e} - S_{21_o}}{2}, \quad (3.13)$$

$$\text{Puerto directo} = \frac{S_{21_e} + S_{21_o}}{2}, \quad (3.14)$$

$$\text{Puerto acoplado} = \frac{S_{11_e} - S_{11_o}}{2}. \quad (3.15)$$

3. Acopladores direccionales en tecnología planar integrada

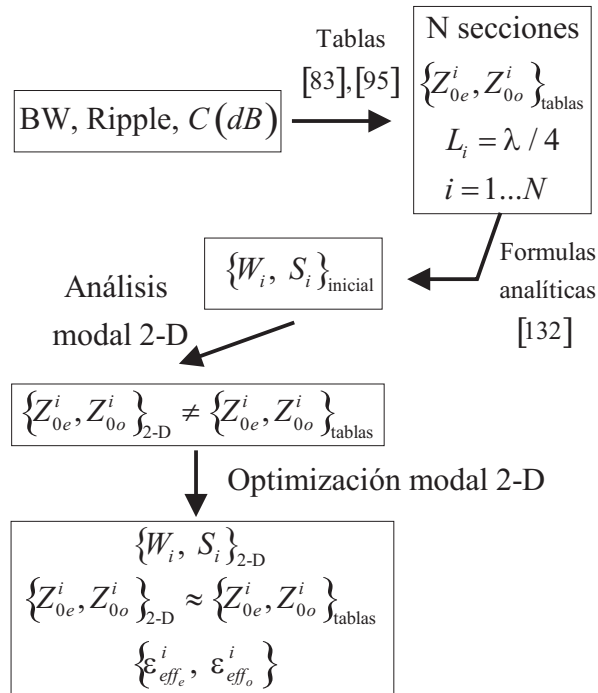


Figura 3.8.: Flujograma de diseño del acoplador basado en análisis modal 2-D y descomposición de los modos par e impar.

Si se cumple que $S_{11_e} = -S_{11_o}$ y que $S_{21_e} = S_{21_o}$, el acoplador se comporta de forma ideal [136], por lo que las pérdidas de retorno y el aislamiento se anulan, y los puertos directos y acoplado se pueden calcular directamente como

$$\text{Puerto directo} = S_{21_e} = S_{21_o}, \quad (3.16)$$

$$\text{Puerto acoplado} = S_{11_e} = -S_{11_o}. \quad (3.17)$$

Para modelar el comportamiento de estos acopladores a partir las ecuaciones (3.9)-(3.11) se propone el diagrama de flujo mostrado en la Fig. 3.8. En este diagrama, los valores iniciales de las impedancias características par e impar (Z_{0e}^i, Z_{0o}^i) de cada sección se obtienen de las tablas incluidas en [83,95]. Conocido el valor de las impedancias características, se calculan el ancho de las pistas (W_i) y las ranuras (S_i) de cada sección usando el método cuasi-estático propuesto en [132]. Sin embargo, como ya se comentó anteriormente, este método tiene sus limitaciones y no proporciona de forma exacta las dimensiones de la estructura que consiguen las impedancias de partida. Así, es necesario que ajustar las dimensiones obtenidas para cada una de las secciones (W_i, S_i) mediante análisis modal 2-D (con HFSS). Este análisis modal también proporciona las permitividades efectivas de los modos en cada una de las secciones ($\epsilon_{eff_e}^i, \epsilon_{eff_o}^i$). Este flujograma de diseño permitiría obtener un resultado exacto de las dimensiones finales de cualquier acoplador de múltiples secciones si el efecto de las discontinuidades fuese despreciable y las velocidades de fase de los modos par e impar fuesen iguales. Sin embargo, esto no sucede en los acopladores direccionales

3.4. Modelado y análisis del acoplador direccional acoplado por ranura de múltiples secciones

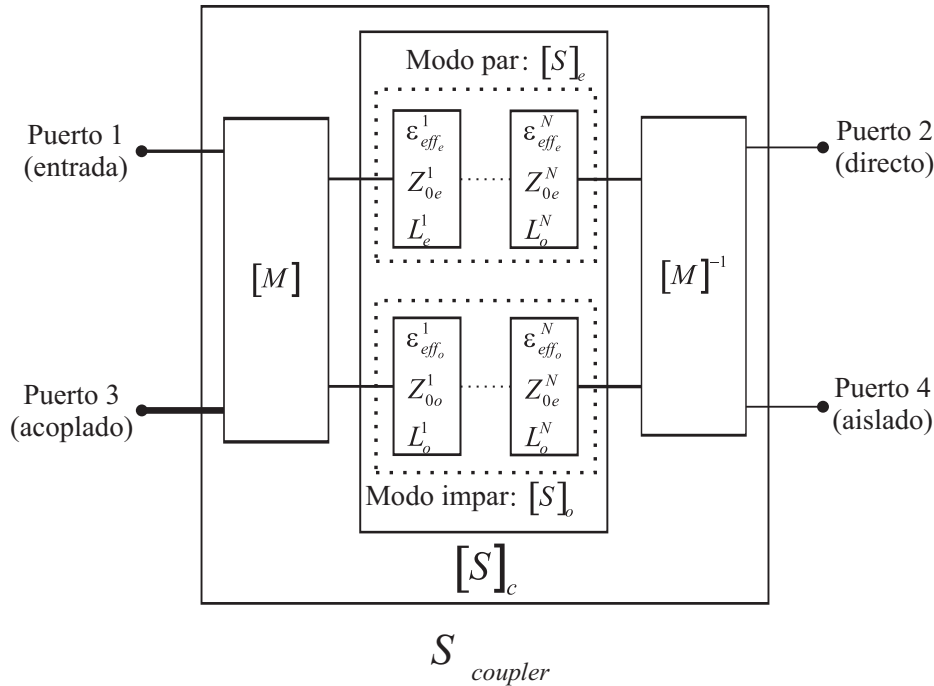


Figura 3.9.: Esquema del modelo circuital de un acoplador direccional usando descomposición en modos par e impar y despreciando el efecto de las discontinuidades.

acoplados por ranura, como se mostrará en las próximas secciones. En este punto, es importante aclarar que las impedancias características calculadas en esta Tesis se han obtenido utilizando la definición de impedancia mediante corriente/potencia [137]

$$Z_0 = \frac{2P}{I^2} = \frac{2 \iint_S \frac{1}{2} \text{Re}(\mathbf{E} \times \mathbf{H}) \cdot d\mathbf{S}}{\left(\oint_{c_i} \mathbf{H} \cdot d\mathbf{l} \right)^2}. \quad (3.18)$$

Debido a la naturaleza cuasi-TEM de los modos en el acoplador direccional acoplado por ranura, esta definición ha permitido obtener valores para las impedancias características de cada modo consistentes y casi independientes de las líneas de contorno (c_i) utilizadas en el cálculo de la corriente.

Una vez se conocen las impedancias características y las permitividades efectivas de cada modo en cada sección, el acoplador direccional se puede modelar circuitalmente utilizando el esquema mostrado en la Fig. 3.9. Este modelo circuital se puede utilizar para analizar la degradación del acoplador debido a las diferencias entre las velocidades de fase de los modos par e impar. Conocido este efecto, las discontinuidades entre cada una de las secciones del acoplador pueden ser añadidas al modelo circuital para comprender como afectan a la estructura. Para hacer esto hay que simular previamente cada una de las discontinuidades utilizando una herramienta de simulación 3-D electromagnética.

Introducidas las discontinuidades, se dispone de un modelo del acoplador que permite determinar de forma clara y precisa cómo la velocidad de propagación de los modos par e impar y las discontinuidades afectan al comportamiento de cada modo

3. Acopladores direccionales en tecnología planar integrada

(par e impar) por separado, alejándolo del deseado. Ambos efectos son en parte contrarios y, en función del nivel de acoplamiento, el ancho de banda y la frecuencia de trabajo, puede predominar uno u otro. Por esto, es fundamental disponer de un modelo circuital que establezca de forma clara y precisa en qué medida están afectando cada uno de ellos.

3.5. Metodología de diseño simplificada de acopladores de múltiples secciones acopladas por ranura

Como ya se dijo anteriormente, el acoplador direccional acoplado por ranura es capaz de conseguir el altísimo nivel de acoplamiento requerido en los acopladores de banda ancha con múltiples secciones. Sin embargo, esta estructura no es capaz de resolver el resto de problemas que presentan estos acopladores, como son: i) los efectos parásitos que aparecen entre las discontinuidades de las secciones, y ii) la diferencia entre las velocidades de fase los modos par e impar, al tratarse de una estructura no homogénea.

En esta sección se presenta una metodología de diseño que se basa en buscar un compromiso para compensar las velocidades de fase de los modos y el efecto parásito de las discontinuidades. Esta metodología es muy útil para diseñar acopladores con pocas secciones y un alto nivel de acoplamiento donde el efecto parásito de las discontinuidades y el efecto de la diferencia entre las velocidades de fase de los modos par e impar es comparable. Sin embargo, esta metodología no es posible utilizarla para diseñar acopladores de banda ancha con un bajo nivel de acoplamiento y un gran número de secciones, ya que en este caso el efecto de la diferencia entre las velocidades de fase de los modos par e impar es predominante.

Para demostrar la validez de esta metodología, en esta sección se presenta el diseño de un híbrido en cuadratura de tres secciones con rizado uniforme capaz de operar en la banda de 3.1 a 10.6 GHz [49, 52]. El layout de este circuito se incluye en la Fig. 3.10. Como se muestra más adelante, gracias al uso de esta metodología, el híbrido diseñado presenta desbalanceos en módulo y fase muy reducidos (característica crítica de los híbridos en cuadratura), mejorando muchos de los diseños presentados previamente en el estado del arte [108, 113].

En el diseño de este híbrido se ha decidido utilizar también el sustrato Rogers 4350B con $\epsilon_r = 3.66$ y $h = 0.254$ mm. El criterio de diseño utilizado consiste en minimizar los desbalanceos en amplitud y fase, pero manteniendo buenas prestaciones en cuanto a las pérdidas de retorno y al aislamiento del híbrido. Según este criterio, la metodología de diseño utilizada es la siguiente: primero, cada una de las secciones es diseñada mediante análisis modal 2-D siguiendo el flujograma de la Fig. 3.8 para obtener las dimensiones iniciales que se ajustan a las impedancias incluidas en la Tabla 3.1. Después, las tres secciones son unidas y las prestaciones del híbrido en cuadratura completo son optimizadas mediante simulación 3-D electromagnética. Este proceso de optimización consiste en compensar los efectos parásitos que aparecen entre las discontinuidades de las secciones, ajustando ligeramente las dimensiones previamente calculadas, con el objetivo de reducir los desbalanceos en amplitud de la estructura. Se observa que este proceso de ajuste también consigue un desbalanceo

3.5. Metodología de diseño simplificada de acopladores de múltiples secciones acopladas por ranura

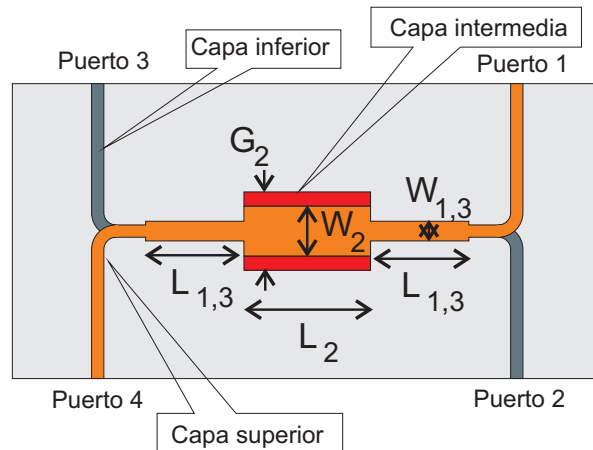


Figura 3.10.: Layout del híbrido en cuadratura de tres secciones indicando sus principales dimensiones.

Tabla 3.1.: Impedancias características par e impar y niveles de acoplamiento de un híbrido en cuadratura de tres secciones con un rizado uniforme de 0.15 dB.

Sección	$Z_{0e}(\Omega)$	$Z_{0o}(\Omega)$	C(dB)
1, 3	59.52	42	-15.26
2	167	14.97	-1.56

en fase reducido.

El cálculo de las dimensiones iniciales para el par de impedancias Z_{0o} y Z_{0e} se consigue de forma sencilla utilizando el método cuasi-estático propuesto en [132]. Sin embargo, este método no tiene en cuenta ni el espesor de las pistas ni las pérdidas del dieléctrico, por lo que es necesario reajustar las dimensiones obtenidas mediante un análisis modal 2-D considerando estos fenómenos. Las dimensiones preliminares obtenidas para las secciones 1 y 3 son: $W_{1,3} = 0.85$ mm, $S_{1,3} = 0.74$ mm y $L_{1,3} = 6.7$ mm, y las dimensiones preliminares de la segunda sección son: $W_2 = 3.2$ mm, $S_2 = 5.5$ mm y $L_2 = 6.7$ mm.

Una vez que se han diseñado las secciones de forma individual, el siguiente paso consiste en simular electromagnéticamente el híbrido en cuadratura completo. Los resultados obtenidos en esta simulación son muy distintos de los que se obtienen si simplemente se cascadean las matrices de parámetros S de cada una de las secciones, debido al efecto de las discontinuidades. Estas discontinuidades provocan una degradación importante de las prestaciones del acoplador, por lo que es necesario

Tabla 3.2.: Dimensiones físicas finales del híbrido en cuadratura de tres secciones diseñado.

Sección	W (mm)	S (mm)	L (mm)
1, 3	0.85	0.7	6
2	3.5	5.5	7

3. Acopladores direccionales en tecnología planar integrada

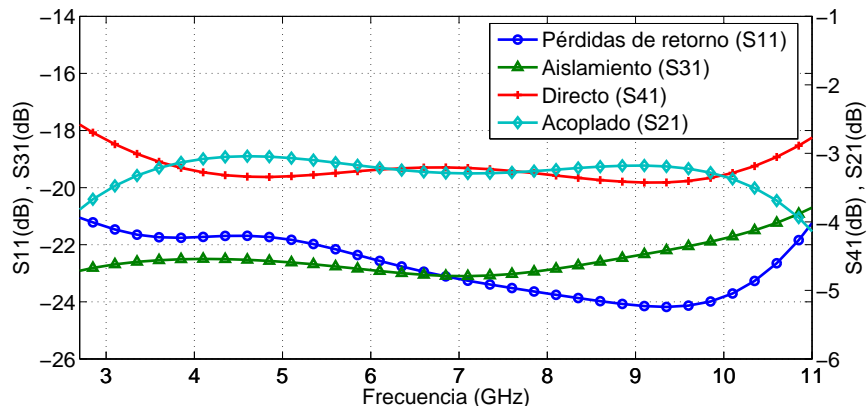


Figura 3.11.: Prestaciones del híbrido en cuadratura de tres secciones obtenidas en simulación.

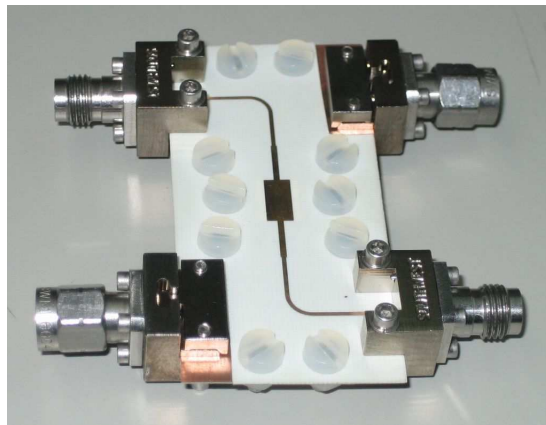


Figura 3.12.: Fotografía del prototipo del híbrido en cuadratura de tres secciones fabricado.

optimizar el híbrido en cuadratura completo para encontrar las dimensiones que son capaces de compensar, tanto la diferencia entre las velocidades de los modos par e impar, como el efecto de estas discontinuidades. En este diseño concreto, se ha comprobado que para conseguirlo, en un primer paso, $L_{1,3}$ y L_2 se pueden ajustar para conseguir una respuesta en amplitud con rizado uniforme. En un segundo paso, $G_{1,3}$ y G_2 se pueden ajustar para minimizar el desbalanceo en amplitud. Finalmente, en un tercer paso, $W_{1,3}$ y W_2 se pueden modificar para mejorar las pérdidas de retorno y el aislamiento en la medida de lo posible, pero sin degradar mucho el desbalanceo en amplitud de la estructura. Las dimensiones finales de acoplador se muestran en la Tabla 3.2, y los resultados finales obtenidos en la simulación del acoplador se muestran en la Fig. 3.11.

Para verificar las prestaciones del híbrido en cuadratura en la banda UWB se fabricó un prototipo del mismo. En este caso, al igual que con el híbrido de una sección, se crearon dos circuitos microstrip con ranuras en sus planos de masa, que fueron unidas posteriormente mediante tornillos (el detalle de esta tecnología se puede consul-

3.5. Metodología de diseño simplificada de acopladores de múltiples secciones acopladas por ranura

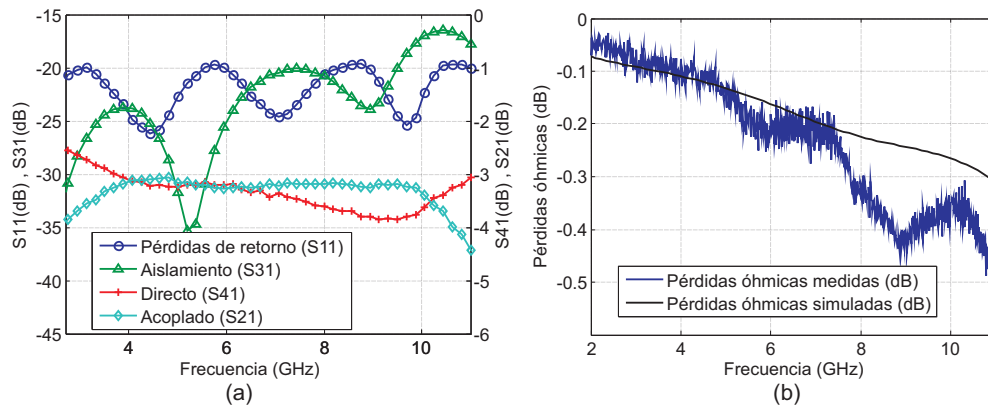


Figura 3.13.: Prestaciones medidas del prototipo del híbrido en cuadratura de tres secciones fabricado. a) Parámetros S. b) Pérdidas óhmicas.

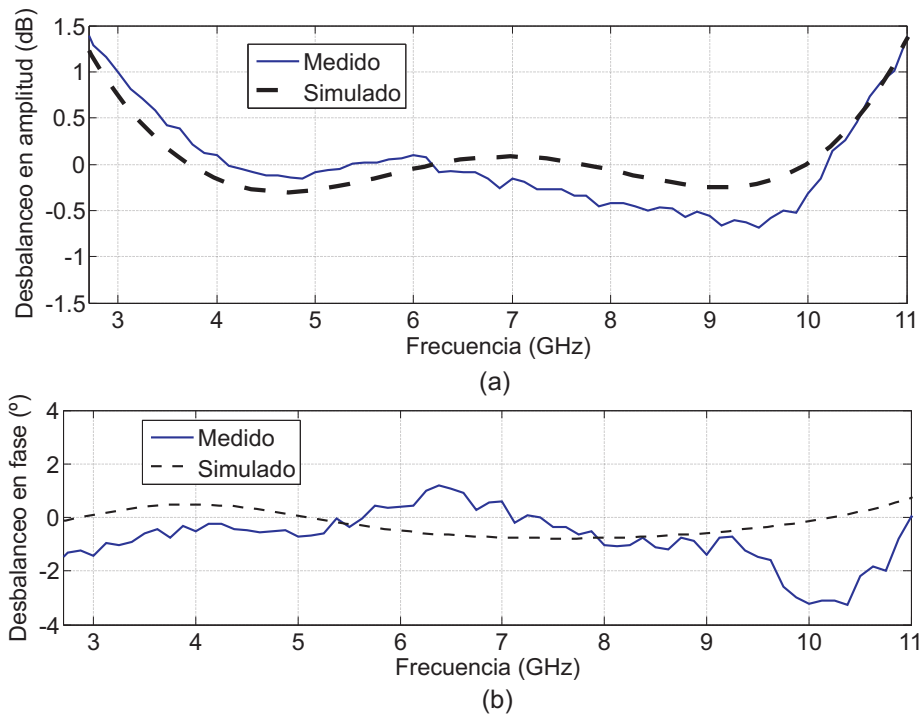


Figura 3.14.: a) Desbalanceo en amplitud del híbrido en cuadratura de tres secciones. b) Desbalanceo en fase del híbrido en cuadratura de tres secciones.

tar en el apéndice C). La fotografía del prototipo fabricado se muestra en la Fig. 3.12.

El prototipo fabricado fue medido utilizando un analizador de redes de dos puertos y la técnica de calibración TRL (ver apéndice D). Los resultados obtenidos se ilustran en la Fig. 3.13(a). Dicha figura muestra unas muy buenas prestaciones en toda la banda UWB, además, comparándola con la Fig. 3.11, se puede apreciar una buena similitud entre los resultados medidos y simulados. Por otro lado, el circuito presenta unas bajas pérdidas óhmicas (calculada como $P_{ohm} = 1 - |S_{11}|^2 - |S_{21}|^2 - |S_{31}|^2 |S_{41}|^2$)

3. Acopladores direccionales en tecnología planar integrada

Tabla 3.3.: Comparativa del desbalanceo en amplitud y fase entre las propuestas anteriores y el híbrido diseñado.

	[108]	[113]	Híbrido diseñado
Desbalanceo en amplitud	< 1.5 dB	< 1.5 dB	0.75 dB
Desbalanceo en fase	< 10°	< 5°	< 3°
Frecuencia	3.1 a 10.6 GHz	1 a 9 GHz	3.1 a 10.6 GHz

menores de 0.6 dB hasta los 11 GHz, como se muestra en la Fig. 3.13(b). Centrándonos ahora en los desbalanceos en amplitud y fase, características críticas de estos circuitos, en la Fig. 3.14(a) se muestra que el desbalanceo en amplitud es menor de ± 0.75 dB en la banda UWB. Este desbalanceo en amplitud es mucho menor que el conseguido en [107, 108] en la misma banda. Además, este desbalanceo en amplitud también mejora los resultados presentados en [113], pero este acoplador cubre un ancho de banda relativo mayor (de 1 a 9 GHz). Por otro lado, la Fig 3.14(b) muestra que el prototipo consigue un desbalanceo en fase menor de $\pm 3^\circ$ en toda la banda UWB. Este desbalanceo es mucho menor que el publicado en [108], donde el desbalanceo de fase crece hasta los 10° , y menor que el publicado en [113], donde el desbalanceo de fase es de $\pm 5^\circ$. En la Tabla 3.3 se resumen las principales diferencias entre [108, 113] y los resultados obtenidos por el híbrido presentado en esta sección. Esta tabla muestra claramente como el híbrido aquí presentado mejora las prestaciones de las otras propuestas. Además, aunque el diseño presentado en [107] presenta mejores resultados en cuanto a pérdidas de retorno y aislamiento, esto no es muy representativo, ya que en este tipo de circuitos las pérdidas de retorno dependen en gran medida de los conectores usados.

En consecuencia, el circuito diseñado en esta sección demuestra que esta metodología de diseño permite la implementación híbridos con desbalanceos en amplitud y fase muy reducidos en la banda de 3.1 a 10.6 GHz. Sin embargo, esta metodología sólo es posible aplicarla cuando el efecto parásito de las discontinuidades y el efecto de la diferencia entre las velocidades de fase de los modos par e impar es comparable. Además, no permite conseguir una adaptación y aislamiento perfectos, ya que sólo se logra compensar dichos efectos parcialmente. En la sección 3.6 se presentan dos nuevas técnicas que han sido desarrolladas en esta Tesis [50,51] y que permiten compensar por completo tanto el problema de las discontinuidades, como la diferencia entre las velocidades de fase de los modos par e impar.

3.6. Técnicas de compensación para el acoplador direccional acoplado por ranura de múltiples secciones

La metodología presentada en la sección 3.4 permite modelar y analizar la problemática concreta de cada acoplador, separando el efecto de la diferencia entre las velocidades de los modos par e impar y el efecto de las discontinuidades. Para implementar acopladores de banda ancha con altas prestaciones es imprescindible compensar por completo ambos efectos. En esta sección se presentan las dos técnicas que han sido desarrolladas dentro de esta Tesis [51]. Ambas técnicas se fundamentan en

3.6. Técnicas de compensación para el acoplador direccional acoplado por ranura de múltiples secciones

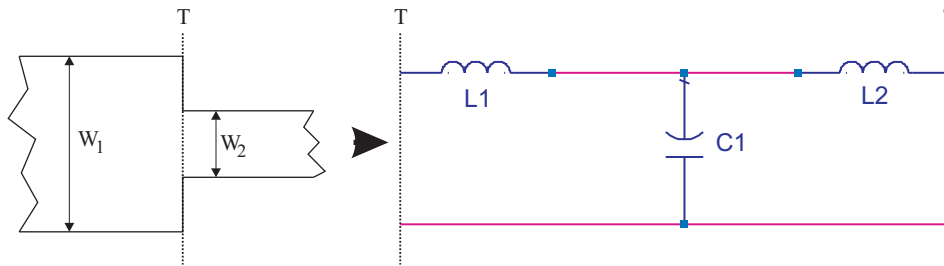


Figura 3.15.: Discontinuidad del acoplador direccional acoplado por ranura para el modo impar y su circuito equivalente.

que, en el acoplador direccional acoplado por ranura, la ranura es completamente transparente al modo impar, lo que permite compensar y ajustar el comportamiento de la estructura para ambos modos de forma independiente. Así, la primera técnica propuesta permite compensar el efecto de las discontinuidades sobre los modos par e impar de forma independiente, sin necesidad de recurrir a complicadas técnicas de variación no uniforme. Por otro lado, la segunda técnica propuesta es capaz de compensar las velocidades de fase de los modos par e impar en cada una de las secciones, mediante el uso de ranuras corrugadas.

3.6.1. Técnica de compensación de discontinuidades

Al contrario que la técnica que se presentará en la siguiente subsección, esta técnica tiene un enfoque profundamente experimental. Una discontinuidad, a frecuencias de microondas, se puede modelar como circuito reactivo compuesto por capacidades y/o inductancias [138]. Dependiendo de la tecnología de fabricación, de la forma de la discontinuidad y de las dimensiones de las pistas, el modelo circuital y los valores de los distintos elementos reactivos son diferentes. Estas discontinuidades (modeladas usando tanto capacidades como inductancias) introducen resonancias a determinadas frecuencias. A frecuencias por debajo de las frecuencias de resonancia, el efecto de las discontinuidades se puede modelar aproximadamente por un incremento de la longitud de las líneas de transmisión, al sumarse el efecto de sus reactancias parásitas, a las reactancias que modelan la propia propagación en las pistas. Sin embargo, a frecuencias cercanas a las de resonancia, la discontinuidad tiene un efecto más complejo que se manifiesta en un comportamiento no lineal de la fase con la frecuencia. La solución que se propone es compensar el efecto parásito de las discontinuidades en el acoplador direccional acoplado por ranura estudiando la propagación de sus modos por separado, comenzando con el modo impar.

Para el caso del modo impar, mostrado en la Fig. 3.3, la ranura es transparente al campo eléctrico, por lo que su circuito equivalente no es más que una pista en tecnología microstrip. En este caso, las discontinuidades que aparecen entre las secciones no suponen más que un cambio en las anchuras de las pistas. Este tipo de discontinuidades es bien conocida y se puede modelar con el circuito equivalente mostrado en la Fig. 3.15, existiendo incluso fórmulas cerradas para calcular el valor de sus reactancias [138]. En este caso, en función de la frecuencia de trabajo y del sustrato elegido pueden darse dos situaciones:

3. Acopladores direccionales en tecnología planar integrada

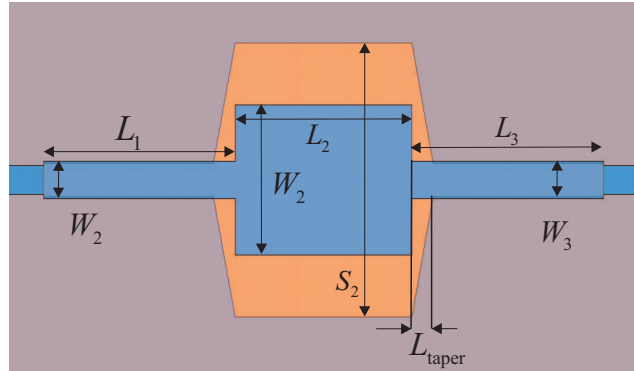


Figura 3.16.: Planta de un acoplador de tres secciones simétrico con la transición en la ranura propuesta para compensar el efecto de las discontinuidades en el modo par.

1. Cuando el ancho de banda del acoplador se encuentra por debajo de las frecuencias de resonancia de estas discontinuidades, el efecto parásito de las discontinuidades no estropea el comportamiento en fase de la señal, sólo incrementa la longitud eléctrica de la estructura, por lo que es fácilmente compensable. Así, mediante ajuste fino de la anchura y la longitud de las pistas es posible conseguir la respuesta requerida del acoplador para este modo.
2. Cuando el ancho de banda del acoplador se encuentra cerca de las frecuencias de resonancia de estas discontinuidades, el efecto parásito de éstas estropea el comportamiento en fase de la señal. Por ello, es necesario introducir una pequeña transición para suavizar el acceso a la sección de mayor acoplamiento. En este caso hay que ajustar tanto la longitud la transición, como la anchura y la longitud de las pistas para conseguir la respuesta esperada del acoplador para este modo.

Para el caso del modo par, mostrado también en la Fig. 3.3, la ranura ya no es transparente, sino se comporta como un conductor magnético perfecto. Así, aunque la modificación en el ancho de las pistas también le afecta, en este caso, la aparición de la ranura o la modificación de su anchura de forma abrupta introduce un efecto reactivo mucho más importante, que enmascara el efecto del cambio en la anchura de las pistas. Aunque no se conoce el circuito equivalente de estas discontinuidades, sí se ha comprobado de forma empírica que las frecuencias de resonancia de las mismas son mucho menores que para el caso del modo impar. Así, para niveles de acoplamiento moderados, su efecto reactivo no sólo aumenta la longitud eléctrica de la estructura, sino que también estropea el comportamiento en fase a frecuencias no muy elevadas. En este caso, la clave para compensar estas discontinuidades radica en que el comportamiento de las mismas depende fundamentalmente de la ranura, por lo que se pueden compensar sin modificar las pistas, y por tanto, sin afectar al modo impar.

La solución que se propone para el modo par es suavizar las discontinuidades en la ranura introduciendo una transición entre las ranuras de las distintas secciones. Esto permite subir en frecuencia los efectos resonantes de las mismas, alejándolos de

3.6. Técnicas de compensación para el acoplador direccional acoplado por ranura de múltiples secciones

Tabla 3.4.: Impedancias características par e impar del híbrido en cuadratura simétrico de tres secciones que cubre la banda de 5 a 18 GHz.

Sección	$Z_{0e}(\Omega)$	$Z_{0o}(\Omega)$
1, 3	60	41.67
2	169	14.8

Tabla 3.5.: Dimensiones físicas iniciales del híbrido en cuadratura de tres secciones que cubre la banda de 5 a 18 GHz.

Sección	W (mm)	S (mm)	L (mm)
1, 3	0.72	0.6	3.4
2	2.77	5	3.6

la banda de diseño. Además, con estas transiciones no sólo se logra corregir el comportamiento en fase de la estructura para el modo par, sino ajustar ligeramente las longitudes de las distintas secciones para este modo de forma transparente al modo impar. Cabe destacar que el uso de estas transiciones tiende a reducir el nivel de acoplamiento para el modo par, por lo que es necesario ajustar también la anchura de las ranuras. En la Fig. 3.16 se presenta la forma típica de esta transición para un acoplador simétrico de tres secciones.

Para demostrar la validez de esta técnica, a continuación se muestra el diseño de un híbrido en cuadratura simétrico de tres secciones que cubre la banda de 5 a 18 GHz, utilizando para ello el substrato Rogers 4350B con $\epsilon_r = 3.66$ y $h = 0.254$ mm. La elección de este diseño se debe a que el alto nivel de acoplamiento requerido en esta estructura, junto con su elevada frecuencia de trabajo, hacen que en este caso el efecto de las discontinuidades enmascare por completo el efecto de la diferencia entre las velocidades de fase de los modos par e impar. Así, es posible diseñar este ejemplo concreto consiguiendo altísimas prestaciones utilizando únicamente la técnica propuesta para compensar el efecto de las discontinuidades.

Utilizando las impedancias mostradas en la Tabla 3.4 y la metodología de modelado y análisis explicada en la sección 3.4, se obtienen las dimensiones iniciales incluidas en la Tabla 3.5. Simulando electromagnéticamente la propagación de los dos modos por separado utilizando estas dimensiones se obtienen los resultados mostrados en la Fig. 3.17. En ésta, se puede observar que el modo impar presenta el comportamiento esperado. Sin embargo, el modo par presenta un sobre-acoplamiento excesivo en la mitad superior de la banda (ver Fig. 3.17(a)), y un comportamiento en fase no lineal que no mantiene una diferencia constante de 180° para el caso del S_{11} , ni de 0° para el caso del S_{21} respecto al modo impar (ver Fig. 3.17(c) y Fig. 3.17(d)). El estudio en detalle de la propagación de ambos modos por separado muestra que las reactancias que introducen las discontinuidades entre las secciones 1-2 y las secciones 2-3 en el modo par incrementan mucho la longitud de la estructura (sobre todo en las secciones 1 y 3), lo que afecta al comportamiento en módulo. Además, los fenómenos de resonancia de estas discontinuidades afectan de forma muy importante al comportamiento de la fase del modo par. Todos estos problemas se resuelven introduciendo

3. Acopladores direccionales en tecnología planar integrada

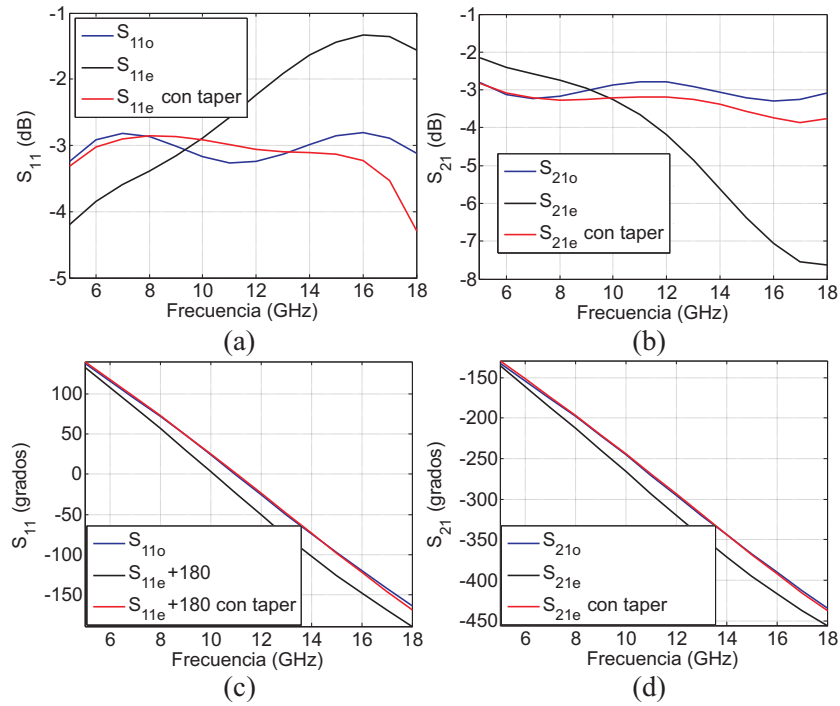


Figura 3.17.: Respuesta de los modos par e impar del acoplador con la frecuencia usando las dimensiones iniciales calculadas. a) Modulo de S_{11e} y S_{11o} en decibelios. b) Modulo de S_{21e} y S_{21o} en decibelios. c) Fase de S_{11e} y S_{11o} en grados. d) Fase de S_{21e} y S_{21o} en grados.

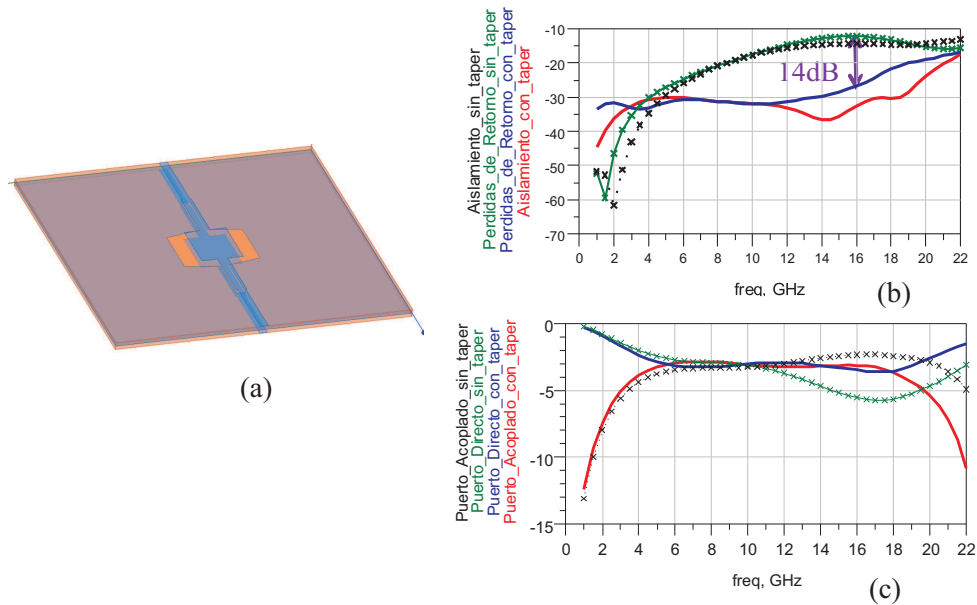


Figura 3.18.: Diseño final del híbrido de tres secciones en la banda de 5 a 18 GHz. a) Estructura 3-D. b) Pérdidas de retorno y aislamiento del acoplador con y sin taper en la ranura. c) Comportamiento de los puertos directo y acoplado con y sin taper en la ranura.

3.6. Técnicas de compensación para el acoplador direccional acoplado por ranura de múltiples secciones

Tabla 3.6.: Dimensiones físicas finales del híbrido en cuadratura de tres secciones que cubre la banda de 5 a 18 GHz.

Sección	W (mm)	S (mm)	L (mm)
1, 3	0.7	0.62	3.38
2	2.8	5.1	3.62
$L_{\text{taper}}=0.4$ mm			

la transición propuesta entre las discontinuidades de las secciones 1-2 y 2-3 (sin modificar ninguna dimensión respecto a los valores de la Tabla 3.5), como también se puede observar en la Fig. 3.17.

Por último, ajustando ligeramente las dimensiones del acoplador mediante simulación 3-D electromagnética, se obtienen las dimensiones incluidas en la Tabla 3.6. Como se puede observar, dichas dimensiones son muy parecidas a las mostradas en la Tabla 3.5. Con estas ligeras modificaciones y la inclusión de las transiciones en la ranura es posible conseguir un híbrido en cuadratura de altísimas prestaciones como se muestra en la Fig. 3.18. En esta figura se muestra como el diseño final del híbrido consigue unas pérdidas de retorno mejores de 22 dB, un aislamiento mejor de 30 dB y un muy buen balanceo entre los puertos directo y acoplado. Además, dichos resultados se degradan por completo si se eliminan estas transiciones de la ranura, como también se muestra en la Fig. 3.18. Así, se puede concluir que la inclusión de esta nueva transición lineal en la ranura es capaz de resolver por completo el problema de las discontinuidades en los acopladores direccionales acoplados por ranura.

3.6.2. Técnica de ecualización de los modos par e impar mediante el uso de ranuras corrugadas

Como ya se explicó en la sección 3.3, el acoplador direccional acoplado por ranura presenta una estructura no homogénea, por lo que los modos par e impar son cuasi-TEM y poseen una velocidad de propagación diferente. En el caso del modo impar, la ranura no afecta al campo eléctrico, como ya se ha comentado. Sin embargo, en el caso del modo par, la ranura se comporta como un conductor magnético perfecto, imponiendo como condición de contorno que la componente normal del campo eléctrico sea nula. Esto provoca que el campo eléctrico esté menos concentrado en el interior del substrato, y por tanto, que la longitud eléctrica sea menor para el modo par. En los acopladores de múltiples secciones esta diferencia se agrava cuanto mayor es el ancho de banda de operación, ya que aumenta el número de secciones requeridas.

En acopladores con un altísimo nivel de acoplamiento y pocas secciones, el efecto de las discontinuidades puede llegar a enmascarar el efecto de la diferencia de fase entre los modos de la estructura. Sin embargo, el efecto de la diferencia entre las velocidades de fase de los modos par e impar se hace más importante cuanto mayor es el número de secciones de la estructura. De hecho, en acopladores de gran ancho de banda con un bajo nivel de acoplamiento (típicamente usados para monitorización de potencia) se produce el caso contrario, las discontinuidades casi no afectan al comportamiento de la estructura por lo que no tiene sentido aplicar la téc-

3. Acopladores direccionales en tecnología planar integrada

Tabla 3.7.: Impedancias características par e impar (Z_{0e}^i, Z_{0o}^i) y niveles de acoplamiento de las diferentes secciones del acoplador direccional de 10 dB asimétrico de 5 secciones.

Sección	1	2	3	4	5
$Z_{0e}(\Omega)$	88.06	74.56	65.21	58.79	54.51
$Z_{0o}(\Omega)$	28.39	33.53	38.34	42.52	45.86
C(dB)	-5.8	-8.4	-11.7	-15.9	-21.3

Tabla 3.8.: Dimensiones transversales (W_i, S_i) y permitividades efectivas de los modos par e impar ($\epsilon_{eff_e}^i, \epsilon_{eff_o}^i$) para cada una de las secciones del acoplador a 6.6 GHz (centro de la banda de operación), obtenidas siguiendo a metodología de modelado y análisis de la sección 3.4.

Sección	1	2	3	4	5
$W(\text{mm})$	1.51	1.2	0.97	0.83	0.74
$S(\text{mm})$	2	1.38	0.95	0.65	0.43
ϵ_{eff_o}	2.97	2.91	2.86	2.82	2.79
ϵ_{eff_e}	2.10	2.29	2.48	2.61	2.69

nica propuesta en la subsección anterior. En estos casos, la diferencia en la velocidad de propagación tampoco es posible compensarla modificando la longitud física de las secciones, pues dicho cambio afecta a ambos modos por igual.

En esta Tesis se propone una nueva técnica que combina las principales ventajas de las líneas acopladas serpenteantes [114, 115, 126–128], con las ventajas que ofrece el acoplador direccional acoplado por ranura. Esta técnica hace uso de una ranura corrugada en el plano de masa de estos acopladores, que permite ecualizar por completo las velocidades de fase de ambos modos incluso en el caso de las secciones más acopladas, donde sus diferencias son considerables. La introducción de estas corrugaciones en la ranura no afecta de forma significativa a las impedancias características de los modos. Así, esta técnica ofrece una estrategia de diseño más robusta que muchos de los métodos presentados anteriormente [115, 121, 124], ya que permite separar el problema de la ecualización de las velocidades de fase, de la metodología clásica de diseño de acopladores TEM de múltiples secciones [83, 95] (basada en la selección de las impedancias adecuadas en cada una de las secciones).

Para explicar esta nueva técnica, a continuación se muestra el diseño de un acoplador de 10 dB asimétrico de 5 secciones que cubre la banda de 1.2 a 12 GHz, cuyas impedancias características se muestran en la Tabla 3.7. En este caso, por circunstancias que serán explicadas posteriormente en la sección 3.8, se hace uso el sustrato Rogers 4350B con $\epsilon_r = 3.66$ y $h = 0.305$ mm. Los resultados obtenidos en la fabricación de este acoplador también se presentarán en la sección 3.8.

Utilizando la metodología de modelado y análisis explicada en la sección 3.4, se obtienen las dimensiones transversales de las diferentes secciones del acoplador y las permitividades efectivas de cada modo, incluidas en la Tabla 3.8. Analizando estos resultados, queda claro que existe una diferencia significativa entre las permitivida-

3.6. Técnicas de compensación para el acoplador direccional acoplado por ranura de múltiples secciones

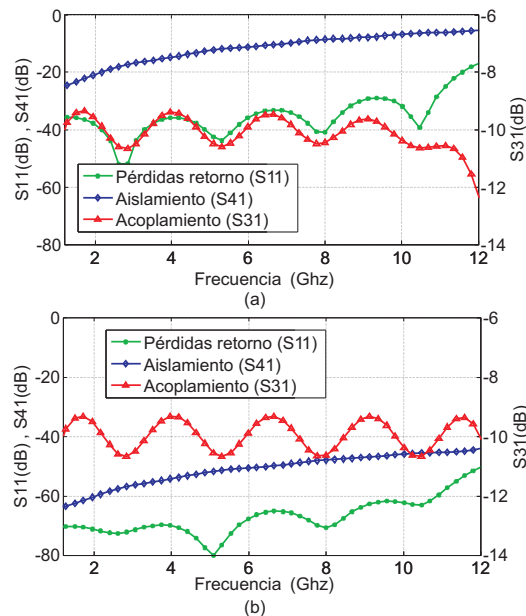


Figura 3.19.: Prestaciones del acoplador de 10 dB simuladas con el modelo circuital sin discontinuidades. a) Usando la longitud promedio entre las requeridas por ambos modos. b) Usando la longitud requerida por cada modo.

des efectivas de ambos modos, con un error relativo de incluso el 30% para el caso de la primera sección (caso peor). Este error entre las permitividades efectivas de la primera sección se traduce en un error relativo mayor del 19.5% entre las longitudes físicas requeridas por los modos par e impar (L_e^i , L_o^i) para conseguir una longitud de $\lambda/4$ a la frecuencia de 6.6 GHz (centro de la banda de operación).

Una vez se conocen las impedancias características y las permitividades efectivas de cada modo en todas las secciones, el acoplador direccional se puede modelar circuitalmente utilizando el esquema que se mostró en la Fig. 3.9. Este modelo circuital se puede utilizar para simular la degradación del acoplador debido a las diferencias entre las velocidades de fase de los modos par e impar. Para mostrar dicha degradación, se ha seleccionado el promedio de las longitudes requeridas por los modos par e impar en cada sección (según la Tabla 3.8). Como se puede observar en la Fig. 3.19(a), la simulación realizada a partir del modelo circuital muestra una clara degradación de las prestaciones del acoplador, con un aislamiento peor de 7 dB y un acoplamiento por debajo de los 12 dB al final de la banda. Esta degradación es causada únicamente por la diferencia entre las velocidades de fase de los modos par e impar. Efectivamente, si el modelo circuital se simula de nuevo, pero se utilizan las longitudes requeridas por cada modo para conseguir la longitud de $\lambda/4$, se obtiene un comportamiento casi ideal del acoplador, como se muestra en la Fig. 3.19(b). Obviamente, esta solución no se puede conseguir a priori en la estructura real, ya que ésta tiene una única longitud física.

Una vez se ha establecido el efecto perjudicial de la diferencia entre las velocidades de los modos par e impar, se pueden incluir las discontinuidades en el modelo circuital del acoplador para analizar su efecto. Para hacer esto, se simulan electromagné-

3. Acopladores direccionales en tecnología planar integrada

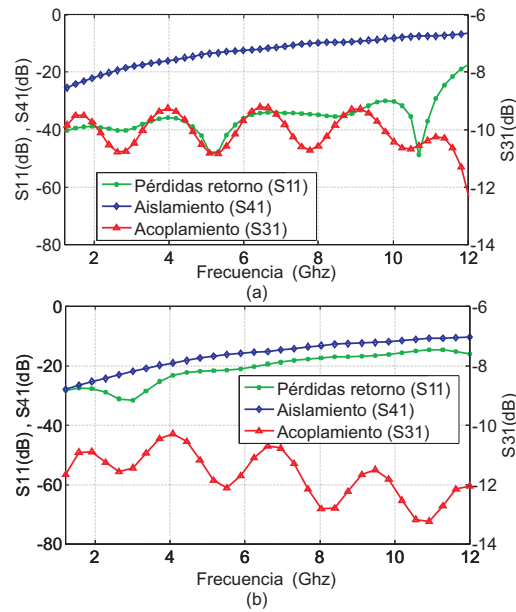


Figura 3.20.: a) Prestaciones del acoplador de 10 dB simuladas con el modelo circuital incluyendo las discontinuidades obtenidas mediante simulación 3-D electromagnética y usando la longitud promedio entre las requeridas por ambos modos. b) Simulación del acoplador de 10 dB con el modelo circuital incluyendo las discontinuidades pero ajustando las dimensiones para mejorar el aislamiento.

ticamente las discontinuidades y los parámetros S obtenidos se incluyen como cajas en el modelo circuital del acoplador que se mostró en la Fig. 3.9. Para comprender el comportamiento de las discontinuidades en este ejemplo concreto, se ha vuelto a simular el modelo circuital resultante de la inclusión de las discontinuidades. En esta simulación se han usado las mismas longitudes de las secciones que se usaron para obtener los resultados de la Fig. 3.19(a), y los nuevos resultados obtenidos se muestran en la Fig. 3.20(a). Como se puede observar, los resultados de la Fig. 3.20(a) y la Fig. 3.19(a) son muy parecidos, lo que significa que en este caso el efecto parásito de las discontinuidades es prácticamente despreciable.

El mal aislamiento que muestra este acoplador en simulación se puede mejorar ligeramente optimizando sus parámetros geométricos (W_i , S_i , y L_i), como se muestra en la Fig. 3.20(b). Sin embargo, en el diseño de este tipo de acopladores de múltiples secciones todas sus características están relacionadas. Así, cualquier mejora del aislamiento provoca que se degraden las pérdidas de retorno y/o el acoplamiento (ver Fig. 3.20(b)), haciendo imposible su diseño.

Del análisis realizado en los párrafos anteriores se pueden sacar dos conclusiones: i) en este diseño el efecto parásito de las discontinuidades no es relevante, y ii) el modo par presenta una velocidad de fase mayor que el modo impar en todas las secciones que degrada por completo las prestaciones del acoplador que se pretende diseñar. En consecuencia, es necesario buscar un nuevo grado de libertad que permita ecualizar ambos modos. En esta Tesis se propone la introducción de una ranura corrugada que permita ecualizar la velocidad de fase de ambos modos. En esta técnica,

3.6. Técnicas de compensación para el acoplador direccional acoplado por ranura de múltiples secciones

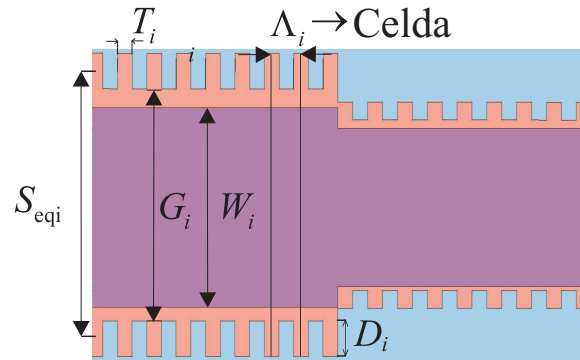


Figura 3.21.: Dibujo detallado de una parte del acoplador de 10 dB situada entre dos de las secciones que muestra las pistas superior e inferior del acoplador (morado) y la ranura corrugada propuesta (rosa).

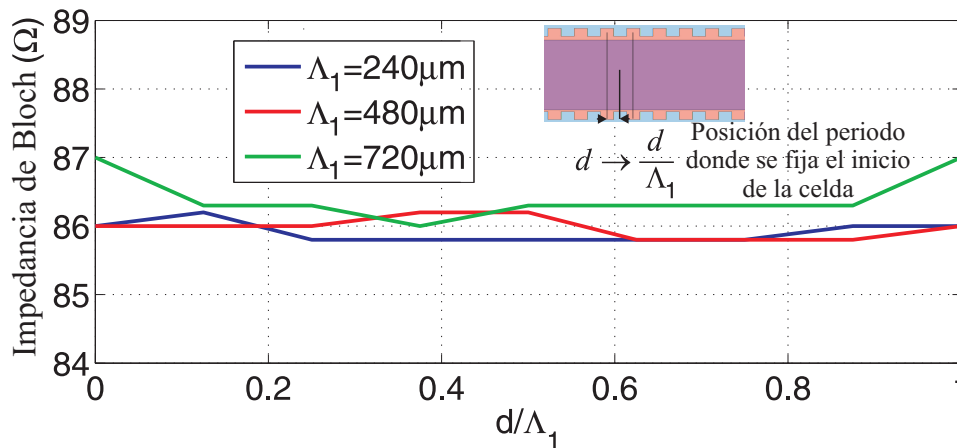


Figura 3.22.: Impedancia de Bloch calculada en la primera sección del acoplador fijando el comienzo de la celda en diferentes puntos de un periodo (d/Λ_1). ($D_1 = 280\mu m$, $G_1 = 1.72 mm$ y $\eta = 0.5$).

inspirada en las líneas acopladas serpenteantes [115, 128], se añaden dientes con forma rectangular (de ancho T_i y profundidad D_i) en los laterales de las ranuras de las diferentes secciones, como se muestra en la Fig. 3.21. Estas corrugaciones tienen un periodo Λ_i (mucho menor que la longitud de onda en el centro de la banda de operación) y un ciclo de trabajo $\eta_i = T_i/\Lambda_i$. La introducción de estas corrugaciones incrementa la longitud eléctrica de la estructura para el modo par, pero no afecta al modo impar (i.e. Z_{0o}^i , ϵ_{effo}^i , W_i y L_o^i no cambian). Así, si la geometría de los dientes se diseña correctamente, la velocidad de fase del modo par se puede reducir hasta hacerla coincidir con la del modo impar en cada una de las secciones (i.e. $\epsilon_{effo}^i = \epsilon_{effe}^i$).

Dado que la nueva estructura propuesta consiste en una repetición periódica de dientes rectangulares en los laterales de las ranuras (ver Fig. 3.21), en esta Tesis se ha decidido utilizar la teoría de análisis de estructuras periódicas mediante modos Bloch/Floquet [129, 139]. Ésta permite calcular de forma rigurosa tanto la impedancia característica, como la constante de propagación de la nueva estructura (con ra-

3. Acopladores direccionales en tecnología planar integrada

nura corrugada). Para ponerla en práctica se ha utilizado el método de simulación “eigenmode” de la herramienta HFSS con condiciones de contorno maestro/esclavo. Utilizando este método se puede simular una única celda de la estructura periódica (por sección) en función del periodo Λ_i y de la profundidad D_i del corrugado rectangular. Estas simulaciones proporcionan la frecuencia de resonancia de la estructura periódica (f_r^i) en función del retardo de fase (ϕ_i) introducido por el periodo Λ_i . Conociendo la frecuencia de resonancia f_r^i , la nueva permitividad efectiva de la estructura para el modo par se puede calcular de forma sencilla como

$$\varepsilon_{eff_e}^i = \left(\frac{\phi_i c}{2\pi f_r^i \Lambda_i} \right)^2, \quad (3.19)$$

donde c representa la velocidad de la luz en el vacío.

Una vez se conoce la nueva permitividad efectiva, el siguiente paso consiste en calcular la impedancia característica de la estructura periódica. Dicho cálculo supone un problema importante. En principio, se puede asumir que la impedancia característica de una estructura periódica de longitud infinita es la misma que la impedancia de Bloch (Z_B) calculada en los terminales de la celda [129, 139]. Sin embargo, como la configuración del campo de un modo Bloch/Floquet no es constante a lo largo del periodo, la impedancia de Bloch Z_B puede cambiar dependiendo de donde se fijen los terminales de la celda. Si esto ocurre, no es posible definir una única impedancia de Bloch para cada sección. Afortunadamente, en el caso bajo estudio se ha demostrado de forma empírica que la impedancia de Bloch Z_B apenas cambia cuando se calcula en diferentes cortes transversales a lo largo de la celda. Esto se ilustra en la Fig. 3.22, donde la impedancia de Bloch de la primera sección del acoplador (para $D_1 = 280 \mu m$, $G_1 = 1.72 mm$ y $\eta = 0.5$) se calcula fijando el comienzo de la celda en diferentes posiciones d/Λ_1 del periodo. En dicha figura se muestran los resultados obtenidos para tres periodos distintos, observándose que la impedancia del modo Bloch es casi independiente de la posición donde éste se calcula. Por otro lado, en la Fig. 3.22 también se muestra que la impedancia de Bloch no cambia de forma significativa con el periodo.

A lo largo de las diferentes pruebas realizadas en el análisis de este tipo de estructuras, se ha observado que para $\eta = 0.5$ y un amplio rango de profundidades de corrugado (D_i), la impedancia de Bloch del modo par se mantiene muy próxima a la impedancia característica del modo par de una sección acoplada z-invariante con un ancho de ranura S_{eqi} , tal que

$$S_{eqi} = G_i + D_i = S_i. \quad (3.20)$$

Esto se muestra en la Fig. 3.23, donde se presenta impedancia de Bloch del modo par de la primera sección calculada para diferentes profundidades de corrugación (D_1), pero manteniendo el valor de S_{eq1} fijo al del valor de la Tabla 3.8 ($S_{eq1} = 2 mm$), lo que asegura un valor de impedancia próximo al $Z_{oe1} = 88.06 \Omega$ de la Tabla 3.7. Como se puede observar, al cumplir la ecuación (3.20), el valor de la impedancia de Bloch sólo se modifica ligeramente al incrementarse la profundidad del diente (86Ω en el caso peor). Así, fijando (3.20) como criterio de diseño, la profundidad de los dientes y el periodo se pueden utilizar para ecualizar las velocidades de fase de los modos par

3.6. Técnicas de compensación para el acoplador direccional acoplado por ranura de múltiples secciones

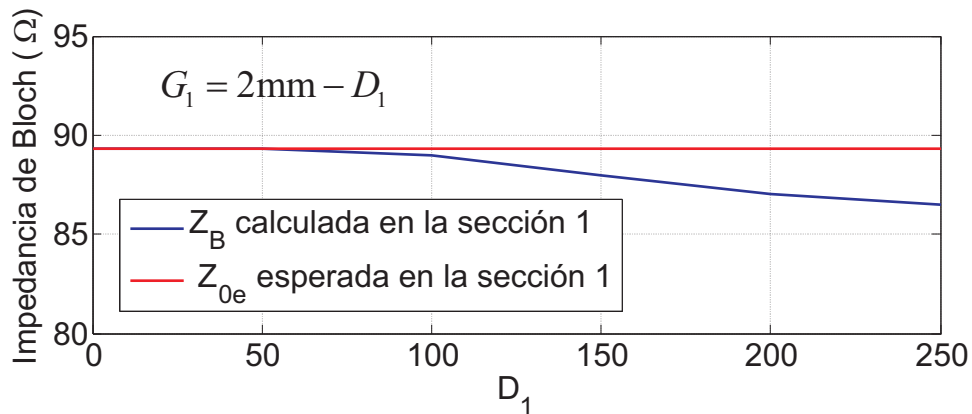


Figura 3.23.: Impedancia de Bloch calculada en la primera sección en función de la profundidad del corrugado D_1 para $\eta = 0.5$, $\Lambda_1 = 240 \mu\text{m}$ y manteniendo la anchura equivalente de la ranura (S_{eq1}) invariante a 2 mm (i.e. $G_1 = 2\text{mm} - D_1$).

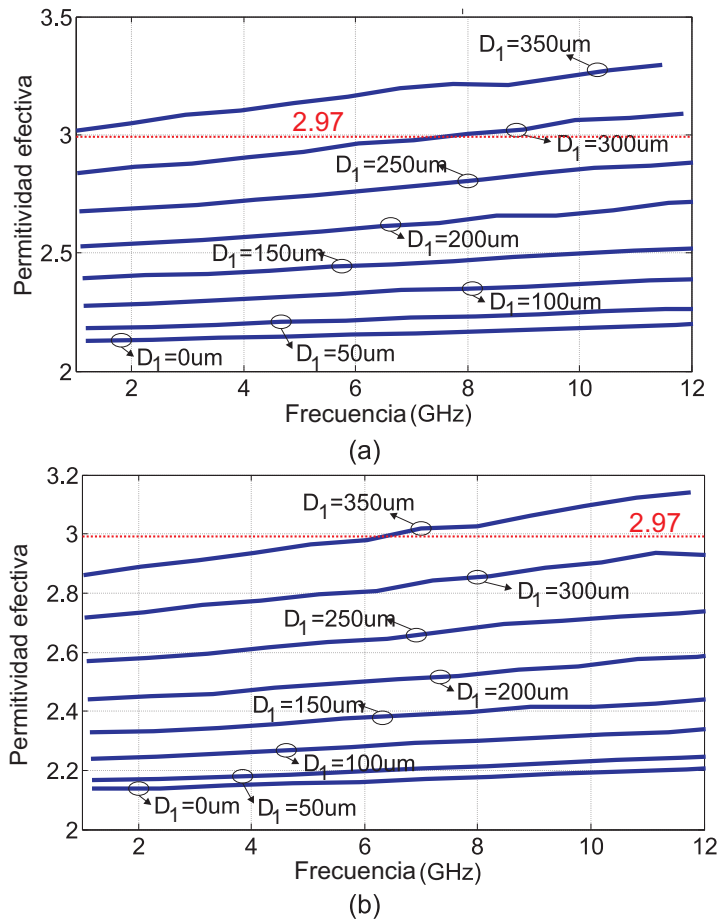


Figura 3.24.: Permittividad efectiva del modo par en la primera sección del acoplador (ϵ_{eff}^1) para diferentes profundidades de corrugado (D_1), asumiendo que $\eta=0.5$ y $G_1=2\text{mm} - D_1$ (3.20). a) $\Lambda_1=240 \mu\text{m}$. b) $\Lambda_1=480 \mu\text{m}$.

3. Acopladores direccionales en tecnología planar integrada

e impar casi sin afectar a las impedancias de las diferentes secciones. Esto permite desacoplar el problema de la ecualización de los modos par e impar, del problema del ajuste de las impedancias, haciendo muy robusta esta estrategia de diseño.

Efectivamente, como W_i y S_{eqi} se conocen del análisis modal 2-D previamente realizado, las únicas dimensiones desconocidas que se tienen que calcular son la profundidad (D_i) y el periodo (Λ_i) de los dientes rectangulares en cada sección. Así, realizando rápidas simulaciones de una única celda en función de D_i para dos o tres periodos (Λ_i), se obtienen de forma sencilla los valores de estos parámetros para ecualizar las velocidades de fase de ambos modos (i.e. $\varepsilon_{effo}^i = \varepsilon_{effe}^i$).

En la Fig. 3.24 se muestran los resultados obtenidos para la primera sección (caso peor). Analizando la Fig. 3.24(a) se observa que para $\Lambda_1 = 240 \mu m$ es suficiente con utilizar una profundidad en los dientes de $300 \mu m$ para conseguir el valor requerido de $\varepsilon_{effe}^1 = 2.97$ (ver Tabla 3.8) y así compensar ambos modos a la frecuencia de 6.6 GHz. Sin embargo, para un periodo $\Lambda_1 = 480 \mu m$, hay que recurrir a la utilización de dientes más profundos ($350 \mu m$) para conseguir la misma permitividad efectiva. Haciendo este tipo de simulaciones en todas las secciones del acoplador direccional, se obtienen directamente los valores de D_i y Λ_i de todas las secciones corrugadas de una forma computacionalmente eficiente.

En comparación con las tradicionales líneas acopladas serpenteantes, la técnica propuesta requiere una estructura de capas más compleja (por el acoplamiento por ranura), pero supera las principales limitaciones de dicha técnica: i) puede conseguir un mayor nivel de acoplamiento, ii) la ecualización de las velocidades de fase no sufre de las limitaciones de las líneas serpenteantes [115, 126, 127], ya que la ranura es completamente transparente al modo impar, y iii) su validez no se restringe a un pequeño número de sustratos con una muy alta constante dieléctrica (como la Alúmina [115, 126, 127]) para conseguir ranuras y pistas fabricables.

3.7. Metodología de diseño de acopladores de múltiples secciones acopladas por ranura compensados

En las secciones anteriores de este capítulo se ha estudiado el comportamiento del acoplador direccional acoplado por ranura y se han mostrando sus principales ventajas e inconvenientes. Posteriormente, se ha presentado una metodología de modelado y análisis que es capaz obtener el modelo circuital de cualquier acoplador direccional acoplado por ranura de múltiples secciones. Con este modelo es posible simular las prestaciones del acoplador en diferentes circunstancias e identificar de forma precisa como las discontinuidades y la diferencia entre las velocidades de fase de los modos están afectando al mismo. Por último, en la sección anterior se han presentado dos técnicas que han sido desarrolladas a lo largo de esta Tesis para superar las limitaciones del acoplador direccional acoplado por ranura. Dependiendo de las características del acoplador a diseñar, en algunos casos sólo será necesario usar alguna de las técnicas propuestas, pero en otros puede ser necesario combinar la utilización de ambas para optimizar el comportamiento de la estructura. Así, en esta sección se presenta una nueva metodología de diseño muy robusta que incluye el uso de ambas técnicas de compensación. Su diagrama de flujo se muestra en la Fig.

3.7. Metodología de diseño de acopladores de múltiples secciones acopladas por ranura compensados

3.25 y comprende las siguientes fases:

1. Seleccionar el número de secciones y el conjunto de impedancias que ha de tener el acoplador en función del nivel de acoplamiento, el ancho de banda y la respuesta deseados.
2. Obtener las dimensiones iniciales del acoplador y su modelo circuital (incluyendo discontinuidades) siguiendo la metodología presentada en la sección 3.4.
3. Realizar las simulaciones necesarias con el modelo circuital (con y sin discontinuidades) para establecer la causa del deterioro de las prestaciones de la estructura.
4. Ajustar la respuesta del modo impar a partir de su modelo circuital, modificando la longitud y la impedancia característica (o la anchura de las pistas si se usa el modelo basado en pistas microstrip) en las diferentes secciones, para conseguir una respuesta en módulo con un rizado uniforme y una respuesta en fase lineal, acorde a las especificaciones de diseño. Si el efecto reactivo de alguna de las discontinuidades afecta al comportamiento en fase del modo impar hay que ir al paso 5, si no, se puede ir al paso 6.
5. Simular electromagnéticamente el circuito equivalente para el modo impar incluyendo transiciones lineales entre las pistas de aquellas discontinuidades cuyos efectos reactivos están afectando al comportamiento en fase de la estructura. Ajustar la longitud de estas transiciones hasta conseguir que el comportamiento en fase del S_{21_o} sea lineal, pero sin estropear su comportamiento en módulo.
6. Ajustar la respuesta del modo par a partir de su modelo circuital, modificando la longitud y la impedancia característica de las secciones para conseguir una respuesta en módulo con un rizado uniforme acorde a las especificaciones de diseño y un comportamiento en fase lineal, con el desfase adecuado respecto a la respuesta del modo impar (180° para el S_{11} y 0° para el S_{21}). En esta fase, i) si el efecto reactivo de alguna de las discontinuidades afecta al comportamiento en fase del modo par hay que ir al paso 7, ii) si las discontinuidades no afectan pero las permitividades efectivas de los modos son muy distintas en algunas secciones y afectan a las prestaciones del acoplador, hay que ir al paso 8, si no, iii) se puede ir al paso 9.
7. Simular electromagnéticamente el circuito equivalente para el modo par incluyendo las nuevas transiciones lineales propuestas entre las ranuras de aquellas discontinuidades cuyos efectos reactivos están afectando al comportamiento en fase de la estructura. Ajustar la longitud de estas transiciones hasta conseguir que el comportamiento en fase del S_{21_e} sea lineal y con una pendiente lo más parecida posible a la del S_{21_o} , pero sin estropear su comportamiento en módulo. Si con esto se consigue que $S_{21_e} \approx S_{21_o}$ y $S_{11_e} \approx -S_{11_o}$ se puede ir al paso 9. En el caso contrario hay que ir al paso 8.

3. Acopladores direccionales en tecnología planar integrada

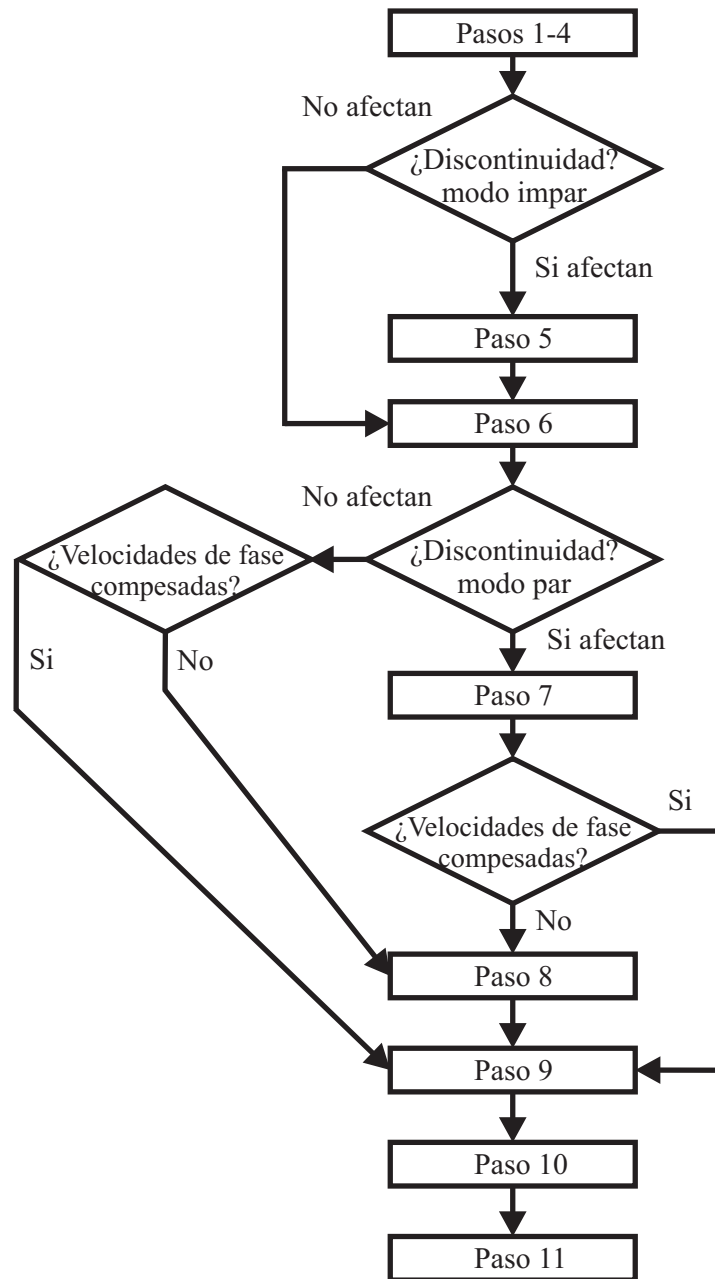


Figura 3.25.: Diagrama de flujo de la metodología de diseño propuesta.

3.8. Acopladores direccionales acoplados por ranura diseñados

RO4350B h=4mils
Prepreg RO4450B h=8mils
RO4350B h=4mils
Prepreg RO4450B h=4mils
RO4350B h=4mils

Figura 3.26.: Estructura de capas utilizada en el diseño de los acopladores.

8. Aplicar la técnica de ecualización propuesta basada en el uso de ranuras corrugadas en aquellas secciones en las que $\epsilon_{eff_o}^i > \epsilon_{eff_e}^i$, para calcular la profundidad (D_i) y el periodo (Λ_i) de los dientes rectangulares necesarios para conseguir $\angle S_{21_e} = \angle S_{21_o}$ y $\angle S_{11_e} = \angle S_{11_o} + 180^\circ$.
9. Simular electromagnéticamente el circuito equivalente para el modo impar y ajustar ligeramente la anchura (W_i) y la longitud (L_i) de las pistas en las distintas secciones en el caso de que sea necesario para conseguir la respuesta adecuada.
10. Simular electromagnéticamente el circuito equivalente para el modo par y ajustar ligeramente la anchura de la ranura (S_i) y la profundidad del corrugado (D_i) (en el caso de que haya utilizado) para conseguir la respuesta adecuada. El periodo (Λ_i) fijado en el paso 8 (en el caso de que haya sido necesaria) no hay que modificarlo en ningún caso.
11. Simular electromagnéticamente el acoplador direccional completo para compensar el efecto del espesor finito del plano de masa, ya que no se puede incluir en los circuitos equivalentes de ambos modos.

3.8. Acopladores direccionales acoplados por ranura diseñados

En esta sección se presentan los acopladores direccionales acoplados por ranura de múltiples secciones que se han implementado en esta Tesis para validar tanto las nuevas técnicas de compensación, como la metodología de análisis y diseño propuesta. En concreto los acopladores diseñados son: un híbrido en cuadratura que trabaja de 4.5 a 16 GHz, un acoplador de 10 dB asimétrico con una década de ancho de banda (de 1.2 a 12 GHz), sobre cuyo diseño se presentó la técnica de corrugado en la subsección 3.6.2, y un híbrido en cuadratura que trabaja de 3.1 a 10.6 GHz mejorando ampliamente las prestaciones del híbrido presentado en la sección 3.5 [49, 52].

El primer paso en la implementación de estos circuitos consiste en la elección de la tecnología de fabricación a utilizar. En los primeros diseños realizados se hizo uso de una tecnología de fabricación PCB monocapa estándar, como ya se comentó en

3. Acopladores direccionales en tecnología planar integrada

Tabla 3.9.: Impedancias características par e impar del híbrido en cuadratura simétrico de tres secciones que cubre la banda de 4.5 a 16 GHz.

Sección	$Z_{0e}(\Omega)$	$Z_{0o}(\Omega)$
1, 3	60	41.67
2	169	14.8

Tabla 3.10.: Dimensiones físicas finales del híbrido en cuadratura simétrico de tres secciones que cubre la banda de 4.5 a 16 GHz.

Sección	W (mm)	S (mm)	L (mm)
1, 3	0.91	0.79	4.57
2	3.56	6.4	3.4
$L_{\text{taper}}^{\text{ranura}}=0.82 \text{ mm}$			
$L_{\text{taper}}^{\text{pista}}=0.5 \text{ mm}$			

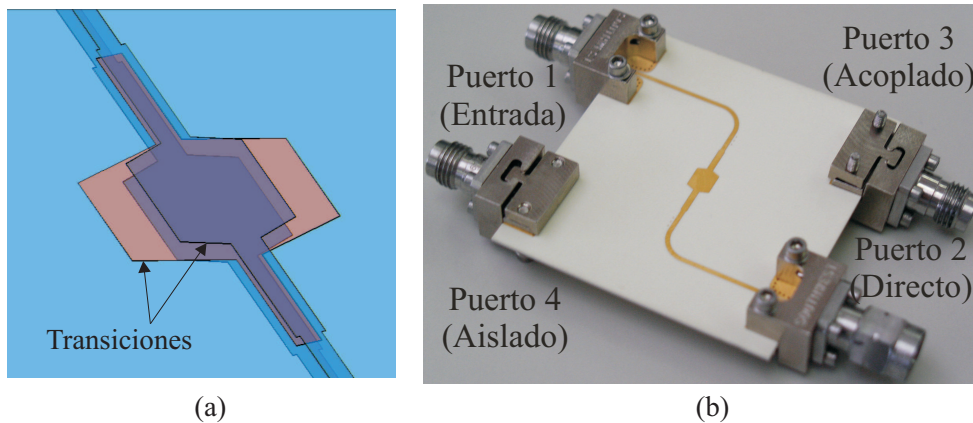


Figura 3.27.: Híbrido en cuadratura simétrico de tres secciones en la banda de 4.5 a 16 GHz. a) Imagen 3-D del circuito. b) Fotografía del prototipo fabricado.

las secciones 3.3 y 3.5 [49, 52]. Sin embargo, la aplicación de las técnicas propuestas requiere de una mayor precisión en la definición de las pistas. Así, dentro de esta Tesis, se ha estudiado la viabilidad de la implementación de estos acopladores tanto en tecnologías plástico multicapa como en LTCC. Del estudio realizado se ha concluido que ambas tecnologías son viables para la implementación de este tipo de circuitos. La tecnología LTCC permite reducir el tamaño de los circuitos y aumentar el ancho de banda de los mismos, al disponer de sustratos con una mayor permitividad relativa. En cambio, la tecnología plástico multicapa está mucho más madura, por lo que es más barata y los tiempos de fabricación son menores.

Dado el carácter experimental de esta fase de diseño e implementación y por razones de coste, en esta Tesis se ha optado por la utilización de la tecnología plástico multicapa. Decidida la tecnología, el siguiente paso es diseñar una estructura de capas simétrica con el espesor mínimo posible, para maximizar el nivel de acoplamiento que el acoplador direccional acoplado por ranura es capaz de conseguir. Debido a

3.8. Acopladores direccionales acoplados por ranura diseñados

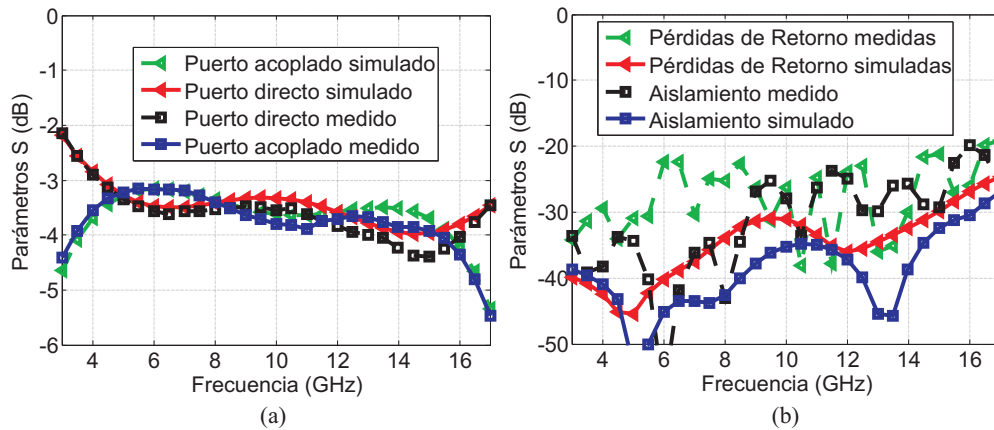


Figura 3.28.: Prestaciones medidas y simuladas del prototipo del híbrido en cuadratura en la banda de 4.5 a 16 GHz. a) Puertos directo y acoplado. b) Pérdidas de retorno y aislamiento.

las limitaciones tecnológicas del sustrato elegido (Rogers 4350B [84]), se ha optado por la estructura de capas mostrada en la Fig. 3.26.

Decidida la tecnología y la estructura de capas, el siguiente paso es abordar el diseño de los distintos circuitos de acuerdo a la metodología propuesta en la sección 3.7. Una vez diseñados y fabricados, los distintos prototipos se han evaluado utilizando un analizador de redes de dos puertos, conectores de 2.4 mm de Southwest [140] y la técnica de calibración TRL (ver apéndice D). Dado que todos los circuitos diseñados tienen más de dos puertos, los puertos no utilizados se han conectado a cargas adaptadas coaxiales para evitar reflexiones. En las siguientes subsecciones se presentan los resultados obtenidos.

3.8.1. Híbrido en cuadratura en la banda de 4.5 a 16 GHz

Este primer circuito se trata de un híbrido en cuadratura que trabaja en la banda de 4.5 a 16 GHz. El objetivo de este diseño ha sido poner al límite la técnica de compensación de las discontinuidades. Para su diseño se ha seguido la metodología propuesta en la sección 3.7. Así, partiendo de las impedancias mostradas en la Tabla 3.9 se ha obtenido el modelo circuital de este acoplador para identificar sus principales limitaciones. En este circuito, al igual que el mostrado en la subsección 3.6.1, el efecto reactivo de las discontinuidades enmascara por completo el efecto de la diferencia entre las velocidades de fase de los modos par e impar. De hecho, el incremento en la altura del sustrato respecto al diseño de la subsección 3.6.1 (de 0.254 mm a 0.305 mm) provoca que el efecto reactivo de las discontinuidades no sólo afecte al comportamiento en fase del modo par, sino también al del impar. Debido a esto, para poder optimizar su comportamiento ha sido necesario utilizar transiciones tanto entre las pistas, como entre las ranuras de las secciones, como se puede observar en la Fig. 3.27(a). El prototipo final del circuito se muestra en la Fig. 3.27(b) y las dimensiones finalmente utilizadas pueden ser consultadas en la Tabla 3.10.

Este circuito ha sido fabricado y medido obteniendo excelentes resultados, muy

3. Acopladores direccionales en tecnología planar integrada

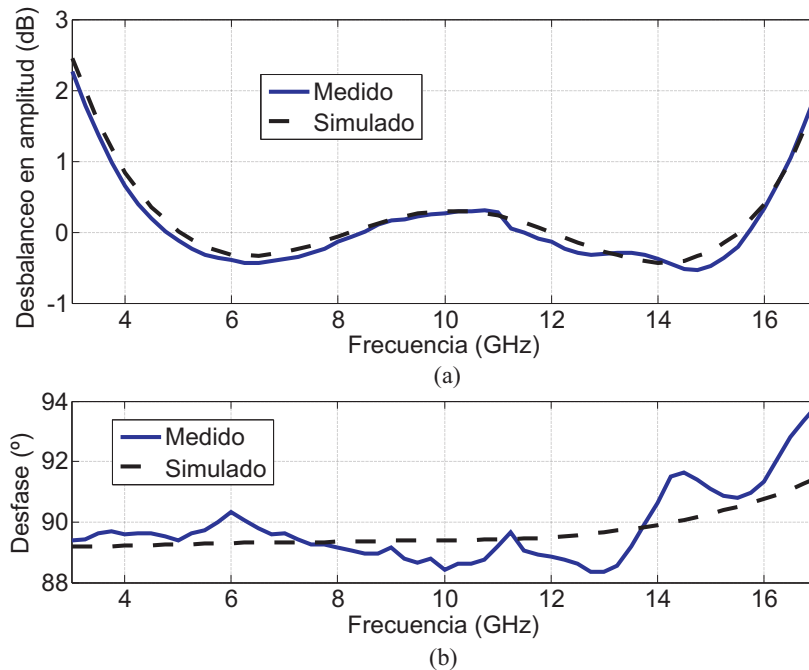


Figura 3.29.: a) Desbalanceo en amplitud medido y simulado del híbrido en cuadratura en la banda de 4.5 a 16 GHz . b) Desfase medido y simulado del híbrido en cuadratura en la banda de 4.5 a 16 GHz.

Tabla 3.11.: Impedancias características par e impar (Z_{0e}^i, Z_{0o}^i) del acoplador direccional de 10 dB asimétrico que opera en la banda de 1.2 a 12 GHz.

Sección	1	2	3	4	5
$Z_{0e}(\Omega)$	88.06	74.56	65.21	58.79	54.51
$Z_{0o}(\Omega)$	28.39	33.53	38.34	42.52	45.86

similares a los obtenidos en simulación, como se muestra en las Fig. 3.28 y 3.29. El circuito presenta unas pérdidas de retorno y aislamiento por encima de 20 dB en toda la banda como se observa en la Fig. 3.28(b), así como un desbalanceo en módulo menor de ± 0.5 dB y un desfase de $90 \pm 1.5^\circ$, como se observa en la Fig. 3.29.

3.8.2. Acoplador asimétrico de 10 dB en la banda de 1.2 a 12 GHz

Este circuito se trata del mismo acoplador que se utilizó para presentar la nueva técnica de ecualización de las velocidades de fase de los modos par e impar en la subsección 3.6.2. Para diseñar este circuito hay que utilizar las impedancias que ya se indicaron en dicho epígrafe, y que se vuelven a mostrar por comodidad en la Tabla 3.11. Como ya se demostró en la subsección 3.6.2, este acoplador no requiere de la técnica de compensación de discontinuidades, por lo que su diseño consiste únicamente en analizar sus secciones mediante la técnica de modos Bloch/Floquet, para ajustar el comportamiento de ambos modos. Aplicando este procedimiento de diseño se deduce que el periodo del corrugado Λ_i hay que fijarlo a $240 \mu\text{m}$ en todas las

3.8. Acopladores direccionales acoplados por ranura diseñados

Tabla 3.12.: Dimensiones físicas finales del acoplador direccional de 10 dB asimétrico que opera en la banda de 1.2 a 12 GHz.

Sección	1	2	3	4	5
W (mm)	1.57	1.25	1.02	0.86	0.76
L (mm)	6.43	6.53	6.62	6.64	6.68
S (mm)	2.07	1.45	1.01	0.69	0.47
D (μm)	280	140	100	100	100
Λ (μm)	240	240	240	580	240

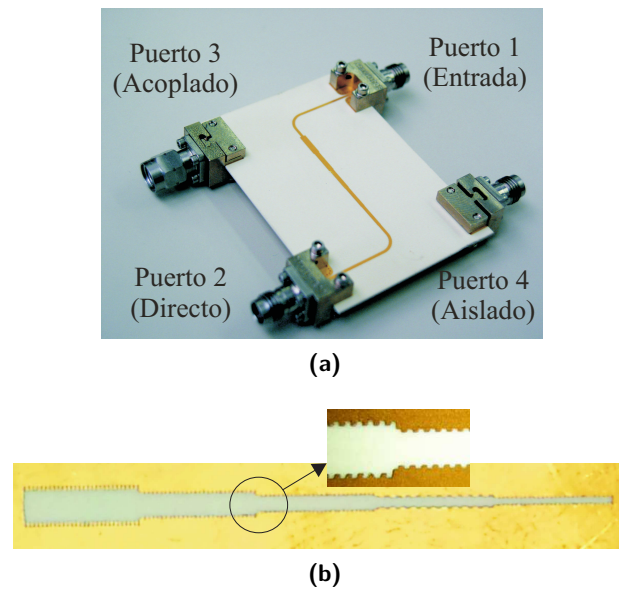


Figura 3.30.: a) Fotografía del prototipo del acoplador direccional de 10 dB asimétrico. b) Fotografía de la ranura interior corrugada del acoplador fabricado.

secciones, salvo en la sección 4 ($\Lambda_4 = 580 \mu\text{m}$). El resto de las dimensiones del acoplador se pueden consultar en la Tabla 3.12.

Para verificar las prestaciones de este acoplador direccional en su banda de diseño (1.2-12 GHz) se ha fabricado un prototipo del mismo, cuya fotografía (junto con su ranura corrugada) se muestra en la Fig. 3.30. La Fig. 3.31 muestra la comparativa entre los resultados obtenidos mediante simulación electromagnética y las prestaciones medidas. El circuito exhibe excelentes prestaciones con una exactitud en el acoplamiento de 10 ± 0.6 dB y unas pérdidas de inserción de 1.35 dB, ambas muy próximas a los resultados obtenidos en simulación (ver Fig. 3.31(a)). Además, éste consigue unas pérdidas de retorno mejores de 23 dB y un aislamiento mejor de 28 dB respectivamente, como se muestra en la Fig. 3.31(b). Estos resultados mejoran claramente las prestaciones y el ancho de banda fraccional de los acopladores anteriormente publicados [120, 121, 141], y demuestra la validez de la nueva técnica de corrugado propuesta, que permite conseguir (en tecnología planar) prestaciones al nivel de un acoplador TEM [50].

3. Acopladores direccionales en tecnología planar integrada

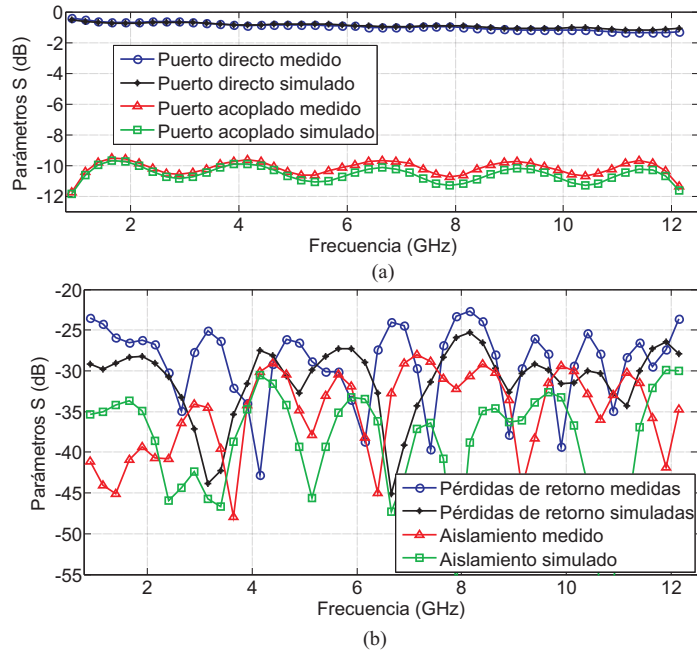


Figura 3.31.: Prestaciones medidas y simuladas del acoplador de 10 dB asimétrico en la banda de 1.2 a 12 GHz. a) Puertos directo y acoplado. b) Pérdidas de retorno y aislamiento.

Tabla 3.13.: Dimensiones físicas finales del híbrido en cuadratura de tres secciones que cubre la banda de 3.1 a 10.6 GHz.

Sección	W (mm)	S (mm)	L (mm)	D (μm)	Λ (μm)
1, 3	0.89	0.79	6.25	—	—
2	3.55	6.05	6.05	750	205
$L_{\text{ranura}}^{\text{taper}} = 0.39$ mm					

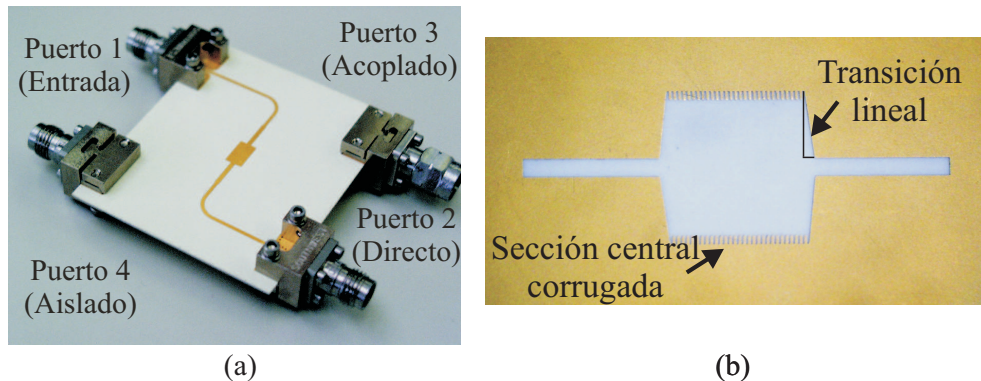


Figura 3.32.: a) Fotografía del prototipo del híbrido en cuadratura en la banda de 3.1 a 10.6 GHz. b) Fotografía de la ranura interior corrugada del prototipo fabricado.

3.8. Acopladores direccionales acoplados por ranura diseñados

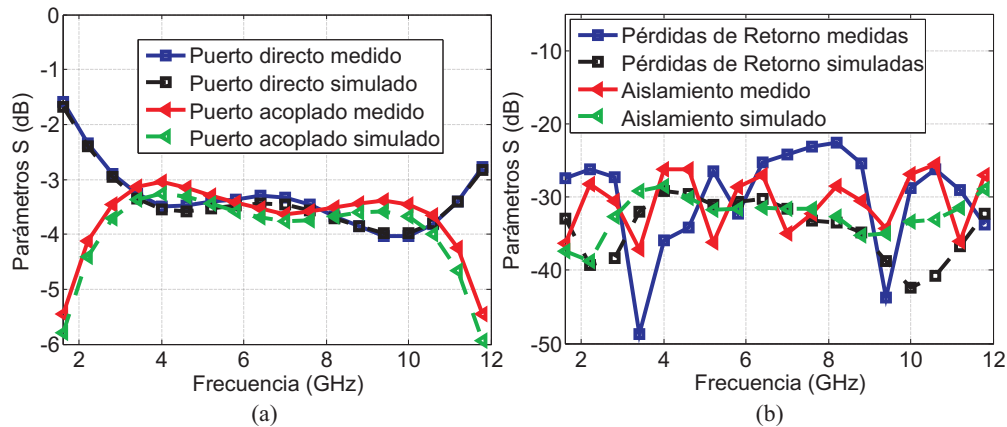


Figura 3.33.: Prestaciones medidas y simuladas del prototipo del híbrido en cuadratura en la banda de 3.1 a 10.6 GHz. a) Puertos directo y acoplado. b) Pérdidas de retorno y aislamiento.

3.8.3. Híbrido en cuadratura en la banda de 3.1 a 10.6 GHz

Este circuito se trata de un híbrido en cuadratura que cubre la misma banda de operación que el híbrido presentado en la sección 3.5 [49]. El objetivo de este diseño es doble, por un lado demostrar cómo las nuevas técnicas de diseño son capaces de mejorar las prestaciones obtenidas en [49], y por el otro, optimizar sus prestaciones de cara a su futura utilización en el demodulador I/Q de seis puertos. Como ya se explicó en el capítulo 2, el híbrido en cuadratura es el elemento más importante de la red de seis puertos utilizada en este tipo de sistemas. Cualquier desbalanceo en módulo o fase entre sus salidas degrada las prestaciones de estos demoduladores, por lo que minimizarlos es prioritario.

El análisis de las características de este acoplador (a través de su modelo circuital), muestra que en este caso afectan tanto las discontinuidades como la diferencia en la velocidad de propagación de los modos par e impar. Este fenómeno permitió en la sección 3.5 [49] compensar en buena medida ambos efectos jugando con las longitudes y el acoplamiento de las distintas secciones. Ahora, el circuito ha sido rediseñado utilizando las nuevas técnicas de compensación propuestas, y optimizado mediante simulación 3-D electromagnética. Las dimensiones finales del nuevo híbrido se pueden consultar en la Tabla 3.13.

Este circuito, cuya fotografía con su ranura corrugada se muestra en la Fig. 3.32, ha sido fabricado y medido obteniendo excelentes resultados muy similares a los obtenidos en simulación, como se muestra en las Fig. 3.33 y 3.34. El circuito presenta en todos sus puertos unas pérdidas de retorno mejores de 21 dB y un aislamiento por encima de 25 dB en toda la banda, como se observa en la Fig. 3.33(b). Centrándonos en los desbalances de la estructura, el prototipo fabricado presenta un desbalanceo en módulo menor de ± 0.6 dB y un desfase de $90 \pm 0.7^\circ$, casi idénticos a los resultados obtenidos en simulación, como se observa en la Fig. 3.34. Estos resultados mejoran claramente las prestaciones de los diseños previamente publicados [49, 108, 109, 113, 125, 142] y permiten ser optimistas de cara a las especificaciones finales del futuro

3. Acopladores direccionales en tecnología planar integrada

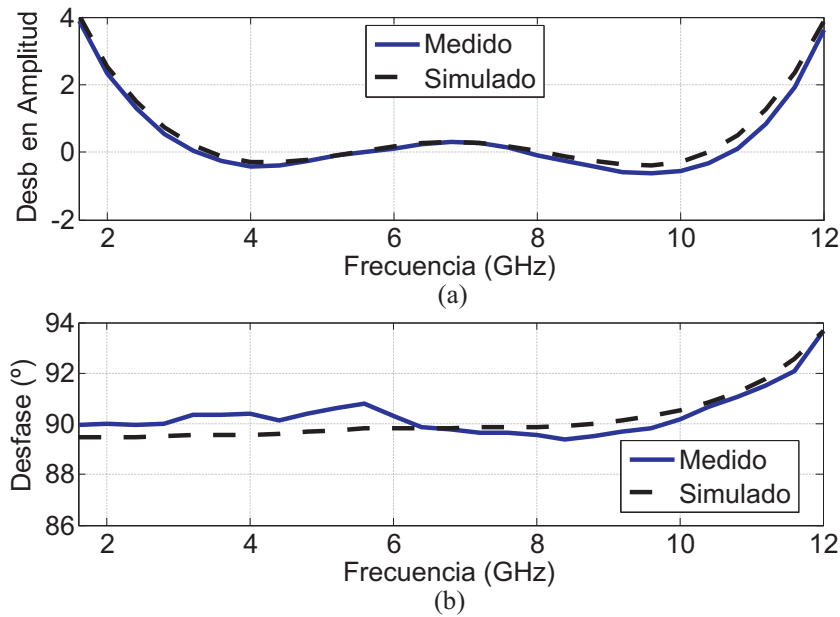


Figura 3.34.: a) Desbalanceo en amplitud medido y simulado del híbrido en cuadratura en la banda de 3.1 a 10.6 GHz . b) Desfase medido y simulado del híbrido en cuadratura en la banda de 3.1 a 10.6 GHz.

demodulador I/Q de seis puertos.

Los resultados mostrados no sólo por este acoplador, sino por los otros dos presentados en las subsecciones anteriores muestran la versatilidad de las técnicas de compensación diseñadas, que permiten la implementación de acopladores de gran ancho de banda de altas prestaciones para diferentes frecuencias de trabajo y niveles de acoplamiento.

3.9. Conclusiones

En este capítulo se ha presentado todo el trabajo realizado en esta Tesis en el ámbito del diseño de acopladores direccionales de banda ultra-ancha, que se ha centrado principalmente en el diseño de estructuras compatibles con la tecnología microstrip, basadas en el acoplador direccional acoplado por ranura.

Dentro del trabajo realizado en el ámbito de los acopladores direccionales acoplador por ranura, inicialmente se propuso metodología de diseño que se basa en buscar un compromiso para compensar las velocidades de fase de los modos y el efecto parásito de las discontinuidades. Sin embargo, esta metodología tiene sus limitaciones y no permite conseguir la directividad que requieren determinados sistemas. Así, para comprender mejor el comportamiento de estos acopladores, se estudió cómo modelar su estructura de forma circuital, y como separar el efecto reactivo de las discontinuidades del efecto de la diferencia entre las velocidades de fase de los modos par e impar.

Una vez determinada de forma clara y precisa cual es la problemática del acoplador

direccionado por ranura de múltiples secciones, se ha realizado una profunda investigación sobre cómo solucionar sus principales limitaciones. Este trabajo ha dado lugar al desarrollo de dos nuevas técnicas de compensación. La primera técnica consiste en suavizar las discontinuidades en la ranura introduciendo una transición que compensa su efecto reactivo de forma transparente al modo impar en la banda de operación del circuito. La segunda técnica consiste en alargar la longitud de la estructura para el caso del modo par introduciendo dientes rectangulares en los laterales de las ranuras (corrugado). La aplicación de esta segunda técnica da lugar a una nueva ranura corrugada que se puede analizar de forma eficiente simulando sólo un periodo de la misma mediante la teoría de los modos Bloch/Floquet, lo que simplifica enormemente su diseño.

Finalmente, el trabajo realizado ha permitido el desarrollo de una nueva metodología de análisis y diseño para estos acopladores muy robusta, que permite la implementación de acopladores de gran ancho de banda y altas prestaciones en diferentes bandas de trabajo y niveles de acoplamiento. Para mostrar cómo las técnicas desarrolladas mejoran de forma sobresaliente las prestaciones de estos acopladores, en este capítulo se ha presentado el diseño, simulación y medida de tres acopladores, un híbrido en la banda de 3.1 a 10.6 GHz, un híbrido en la banda de 4.5 a 16 GHz y un acoplador de 10 dB de una década de ancho de banda (1.2 a 12 GHz), cuyas prestaciones son estado del arte.

En el próximo capítulo se presentará la metodología de diseño de desfases de múltiples secciones y algunas aplicaciones interesantes en las que se ha trabajado haciendo uso tanto de los acopladores como de los desfases de altas prestaciones desarrollados en esta Tesis.

3. Acopladores direccionales en tecnología planar integrada

4

Desfasadores en tecnología planar integrada y aplicaciones de interés

Este capítulo tiene dos objetivos, por un lado presentar el trabajo realizado en el ámbito del diseño de desfasadores de banda ancha (requeridos por algunas de las redes de seis puertos estudiadas en el capítulo 2), y por el otro mostrar algunas aplicaciones en las que se ha trabajado haciendo uso de los acopladores y los desfasadores diseñados en esta Tesis para resolver sus principales problemas y las limitaciones. Así, este capítulo se ha organizado de la siguiente forma. En la sección 4.2 se presenta el diseño de desfasadores de banda ancha basados en el acoplamiento por ranura, que se ha desarrollado a partir de la nueva metodología de diseño de acopladores mostrada en el capítulo anterior. Posteriormente, en la sección 4.3 se muestran dos aplicaciones en las que los acopladores y desfasadores diseñados están siendo utilizados, i) el diseño matrices de Butler en la banda ancha, y ii) el diseño de bucle de enganche en frecuencia para la reducción del ruido de fase de los osciladores locales. Finalmente, en la sección 4.4 se presentan las conclusiones de este capítulo.

4.1. Introducción

Los desfasadores son dispositivos de microondas muy comunes usados en aplicaciones tales como redes de alimentación de arrays de antenas, equipos de instrumentación y medida a frecuencias de microondas, moduladores, etc. En todas estas aplicaciones, los desfasadores son generalmente implementados en tecnologías planares tales como la microstrip o la stripline.

Con el objetivo de aprovechar la experiencia adquirida en el diseño de acopladores direccionales, en esta Tesis se ha considerado únicamente la teoría de diseño de desfasadores mediante líneas de transmisión acopladas. Una de las estructuras más conocidas en este ámbito es el desfasador de Schiffman [143]. El mayor inconveniente de este tipo de desfasadores es que cuando se implementan en tecnologías con un medio no homogéneo (como las pistas microstrip), las diferencias entre las velocidades de fase de los modos par e impar degradan las prestaciones del desfasador. Además, esta estructura puede llegar a presentar un importante rizado en el desfase en función del ancho de banda que se quiera cubrir [143]. Para solventar parcialmen-

4. Desfasadores en tecnología planar integrada y aplicaciones de interés

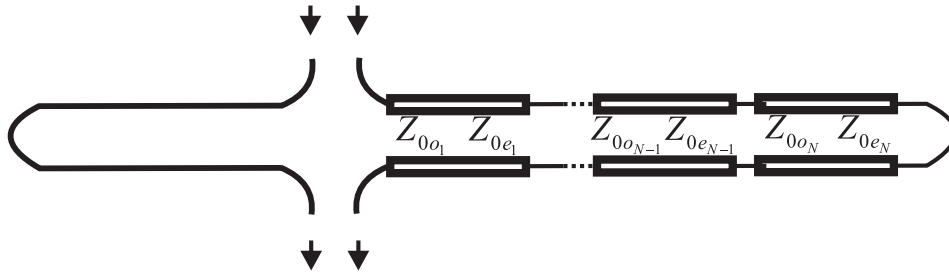


Figura 4.1.: Configuración de un desfasador de Schiffman de múltiples secciones.

te el problema de las velocidades de fase, en [144] se propuso eliminar parte del plano de masa definiendo una ranura muy fina en torno al desfasador. Sin embargo, dicha ranura es difícil de fabricar y no logra ajustar las velocidades de fase de ambos modos por completo.

Para conseguir un mayor ancho de banda de operación sin incrementar el rizado en el desfase se propuso el diseño de desfasadores de múltiples secciones (de forma análoga al diseño de acopladores) [145, 146]. La Fig. 4.1 muestra la configuración básica de estos desfasadores de múltiples secciones. Éste consta de una línea de referencia y el propio desfasador, que está formado por múltiples líneas de transmisión acopladas con una conexión al final de la última sección para unir el puerto directo con el aislado. Modificando el número de secciones, la longitud de la pista de referencia y ajustado las impedancias par e impar de cada una de las secciones, es posible conseguir el desfase deseado con un pequeño rizado en el mismo, mediante técnicas basadas en polinomios de Chebyshev [146]. Los principales inconvenientes en la implementación de este tipo de estructuras en tecnología microstrip son que: i) el ancho de banda de funcionamiento está limitado por el nivel de acoplamiento máximo que se puede conseguir, ii) los efectos parásitos de las discontinuidades y las diferencias de fase entre los modos par e impar en el interior de la región de acoplamiento degradan las prestaciones del desfasador, y iii) idealmente la conexión final tiene una longitud nula, lo que es imposible de conseguir en la realidad. Para intentar eliminar el efecto reactivo de las discontinuidades se propuso el uso de desfasadores no uniformes [147]. Sin embargo, este tipo de estructuras aumentan de forma notable el acoplamiento requerido y el tamaño del desfasador. Por otro lado, para ajustar las diferencias entre las velocidades de fase de los modos se propuso la utilización de las líneas acopladas serpenteantes [148]. El problema de este tipo de estructuras, al igual que en los acopladores, es que complican enormemente el diseño de los desfasadores y no resuelven por completo el problema, como ya se ha comentado anteriormente.

Por otro lado, recientemente se ha propuesto el diseño de desfasadores basados en líneas acopladas mediante ranuras elípticas. En este caso, al contrario que en el desfasador de Schiffman, se propone dejar en circuito abierto los puertos directo y acoplado, por lo que el puerto aislado se convierte en el puerto de salida. Controlando el nivel de acoplamiento de estas estructuras se pueden conseguir desfases de 45° [149], o incluso 90° cascadeando dos estructuras de este tipo [150].

Esta Tesis se abordó inicialmente el diseño de los desfasadores siguiendo una técnica similar a la presentada en [149], pero haciendo uso de ranuras rectangulares [151].

4.2. Desfasador basado en acoplador direccional acoplado por ranura

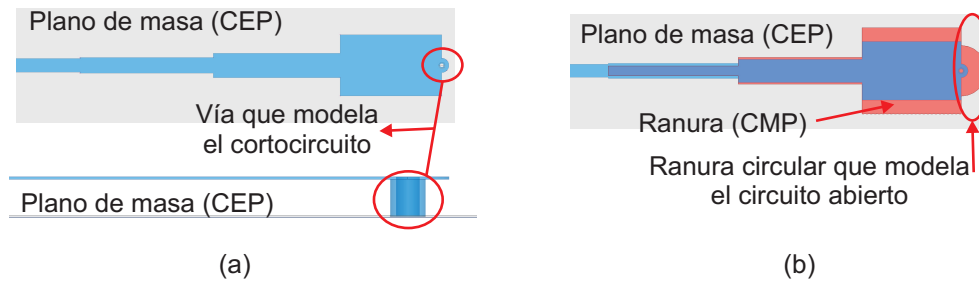


Figura 4.2.: Circuitos equivalente del desfasador propuesto para los modos par e impar. a) Circuito equivalente modo impar. b) Circuito equivalente modo par.

Sin embargo, los estudios y las pruebas realizadas demostraron que este tipo de desfasadores no eran capaces de ofrecer buenas prestaciones utilizando una sola sección, ya que el acoplamiento no sólo controla el desfase, sino también el coeficiente de reflexión. Además, su comportamiento en frecuencia no se podía extender utilizando múltiples secciones, pues el coeficiente de reflexión se deterioraba gravemente. Debido a estas limitaciones, en esta Tesis se ha optado por abordar el diseño de desfasadores de Schiffman de múltiples secciones [145, 146] acopladas por ranura.

4.2. Desfasador basado en acoplador direccional acoplado por ranura

Los desfasadores de Schiffman de múltiples secciones presentan diversos inconvenientes, casi todos ellos heredados de las líneas acopladas en las que se basan. Así, para superar todos estos problemas, se propone el diseño de desfasadores con múltiples secciones acopladas por ranura. Haciendo esto, es posible reutilizar las técnicas de compensación y gran parte de la metodología de análisis y diseño de acopladores direccionales que se propusieron en el capítulo 3, solucionando así muchos de los problemas que presentan este tipo de estructuras. Sin embargo, aún queda por resolver el problema de la conexión final entre los puertos directo y aislado. El análisis de un desfasador de Schiffman mediante la técnica de descomposición par-impar demuestra que dicha conexión final se comporta como un cortocircuito para el caso de modo impar y un circuito abierto para el caso del modo par. Así, en esta Tesis se propone diseñar esta conexión final directamente en el interior de la región de acoplamiento utilizando una vía de señal, como se mostrará en los siguientes párrafos.

Como ya se ha explicado, en esta estructura la ranura en el plano de masa es completamente transparente para el modo impar. Así, su circuito equivalente consiste en una simple pista microstrip y el cortocircuito se puede modelar con una vía de señal que conecta la pista microstrip de la última sección con el plano de masa (ver Fig. 4.2(a)). Sin embargo, el circuito equivalente para el modo par es más complicado. Éste consiste en un circuito microstrip con una capa de conductor magnético perfecto (CMP) situada en el plano de masa, que modela cómo el modo par se ve afectado por la ranura (ver Fig. 4.2(b)). En este caso, la vía de señal próxima al final de la ranura no modela correctamente un circuito abierto a alta frecuencia debido al acoplamiento

4. Desfasadores en tecnología planar integrada y aplicaciones de interés

que se produce entre ambos. Esto se resuelve añadiendo una ranura circular al final de la última sección para separar el plano de masa de la vía de señal de forma suave, como se muestra en la Fig. 4.2(b).

En el diseño del desfasador, inicialmente se decide el número de secciones y el acoplamiento necesario en cada una de ellas para conseguir un desfase con rizado uniforme en la banda de operación [146]. Posteriormente, se obtiene el modelo circuital de cada uno de los modos del desfasador (a partir del análisis modal 2-D de las diferentes secciones), modelando la conexión final como un cortocircuito ideal para el caso del modo impar y como un circuito abierto ideal en el caso del modo par. Esto permite separar inicialmente el problema de la conexión final, de los problemas asociados a las líneas acopladas, simplificando el diseño del desfasador. Conocidos los modelos circuitales, la respuesta del desfasador se puede calcular fácilmente combinando sus parámetros S

$$\begin{aligned} S_{11} = S_{22} &= \frac{S_{11}^{\text{even}} + S_{11}^{\text{odd}}}{2} \\ S_{21} = S_{12} &= \frac{S_{11}^{\text{even}} - S_{11}^{\text{odd}}}{2} \end{aligned} \quad (4.1)$$

A partir de aquí, el diseño del desfasador es análogo al de un acoplador direccional. Primero, se identifica cómo afectan al comportamiento de la estructura las discontinuidades entre las secciones y la diferencia entre las velocidades de los modos par e impar. Posteriormente, se utilizan las técnicas de compensación propuestas en la sección 3.6 para ajustar el comportamiento del desfasador.

Una vez que el desfasador funciona de forma apropiada, hay que abordar el problema de la conexión final. Para ello, inicialmente se simula electromagnéticamente el circuito equivalente del modo impar, introduciendo una vía al final de la estructura (ver Fig. 4.2(a)), y se ajusta tanto el diámetro de la vía, como la longitud de la última sección, hasta conseguir un comportamiento lo más próximo posible al que se tenía antes de incluir esta conexión final. En segundo lugar, se simula el circuito equivalente del modo par (utilizando las dimensiones de las pista obtenidas previamente para el modo impar), para ajustar las dimensiones de la ranura de la última sección, incluyendo el corrugado (si lo hubiese) y el radio de la ranura circular situada en torno a la vía de la conexión final (ver Fig. 4.2(b)). Finalmente, el desfasador completo se puede simular electromagnéticamente para incluir tanto el espesor de las pistas, como las pérdidas en el comportamiento del circuito, ajustando así las prestaciones finales.

4.2.1. Desfasador de 90° en la banda de 3.1 a 10.6 GHz

Este circuito se trata del desfasador de 90° necesario para implementar algunas de las arquitecturas de seis puertos estudiadas en el capítulo 2. El objetivo con este diseño es minimizar el error de fase, por lo que se ha optado por el diseño un desfasador de tres secciones. Esto permite cubrir la banda de 3.1 a 10.6 GHz con un rizado reducido en el desfase, pero sin introducir excesivas pérdidas en las arquitecturas de seis puertos.

En el diseño de este circuito se parte de las impedancias mostradas en la Tabla 4.1 [146]. Conocidos estos valores es posible obtener el modelo circuital del desfasador a partir del análisis modal 2-D de cada una de las secciones. En este caso, debido al gran ancho de banda y el alto desfase que tiene que introducir la estructura, está requiere

4.2. Desfasador basado en acoplador direccional acoplado por ranura

Tabla 4.1.: Impedancias características par e impar (Z_{0e}^i, Z_{0o}^i) del desfasador de 90 grados de tres secciones que opera en la banda de 3.1 a 10.6 GHz.

Sección	1	2	3
$Z_{0e}(\Omega)$	54.6	73.3	148.5
$Z_{0o}(\Omega)$	45.78	34.11	16,84

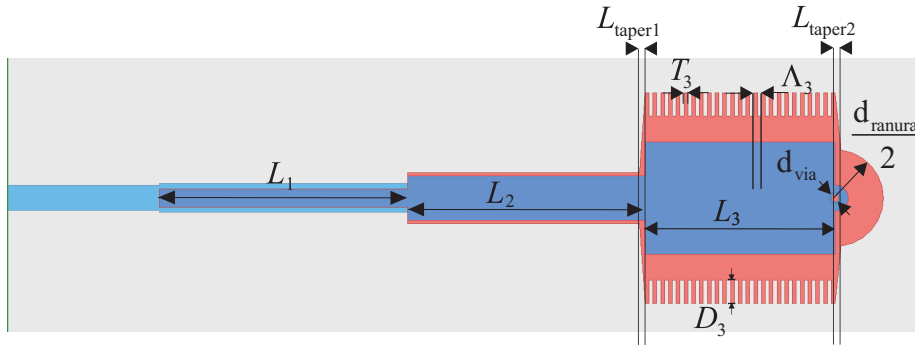


Figure 4.3.: Dibujo detallado de la pista superior (azul) y de la ranura corrugada (morado) con las transiciones lineales en el desfasador de 90°.

Tabla 4.2.: Dimensiones físicas finales del desfasador de 90 grados de tres secciones que opera en la banda de 3.1 a 10.6 GHz.

Sección	1	2	3
$W(mm)$	0.76	1.18	2.95
$L(mm)$	6.5	6.25	4.95
$S(mm)$	0.5	1.37	5

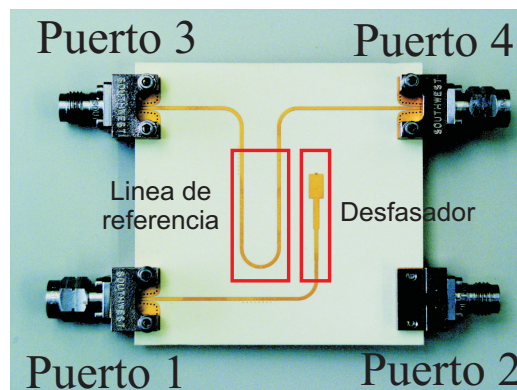


Figura 4.4.: Fotografía del prototipo del desfasador fabricado.

4. Desfasadores en tecnología planar integrada y aplicaciones de interés

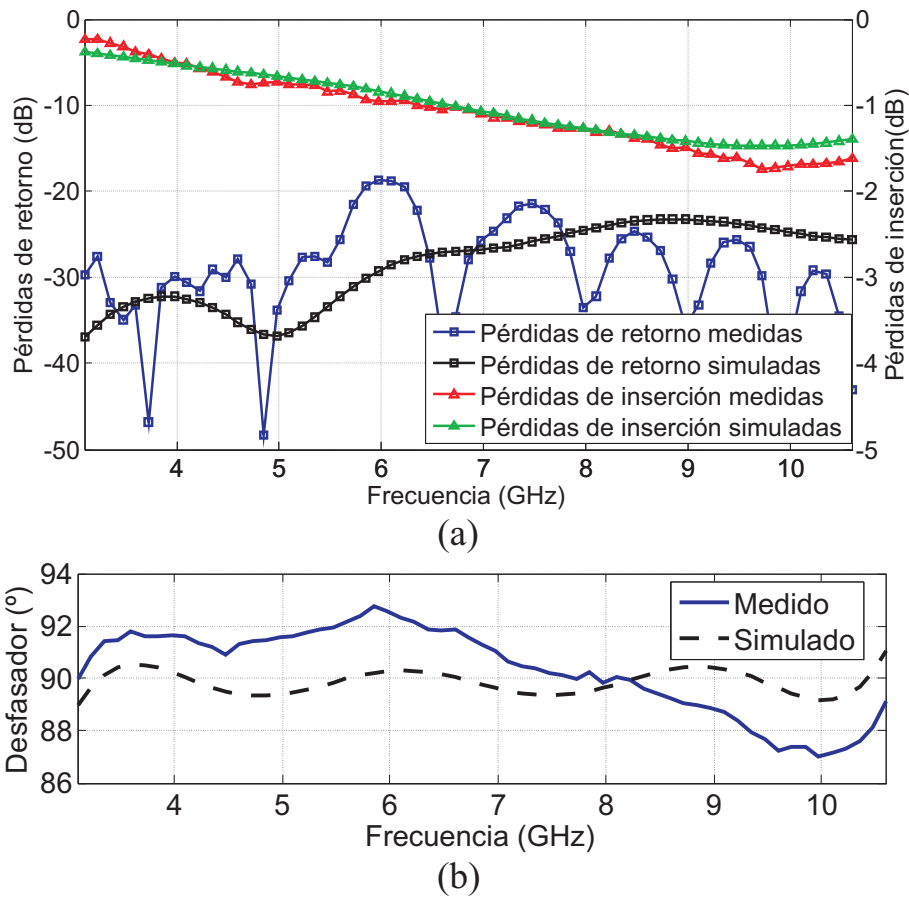


Figura 4.5.: Prestaciones del desfasador de 90 grados en la banda de 3.1 a 10.6 GHz. a) Pérdidas de inserción y pérdidas de retorno medidos y simulados. b) Desfase medido y simulado.

un altísimo acoplamiento en la tercera sección. Así, del análisis del modelo circuital se concluye que: i) es necesario utilizar la nueva técnica de corrugado en la tercera sección para ajustar las velocidades de fase de los modos par e impar, y ii) hay que utilizar transiciones suaves en las ranuras a ambos lados de la tercera sección para que los efectos reactivos de las discontinuidades no estropeen el comportamiento en fase del circuito, como se muestra en la Fig. 4.3.

Utilizando la metodología de diseño comentada anteriormente en esta misma sección, se obtiene que el comportamiento de este circuito se optimiza cuando la conexión final consiste en una vía (de diámetro $d_{vía} = 0.2$ mm) que pasa a través de una ranura circular (de diámetro $d_{ranura} = 2.55$ mm) situada justo a continuación de la tercera sección. Además, una buena elección para el corrugado de la tercera sección es: un periodo $\Lambda_3 = 240$ μm , con profundidad $D_3 = 610$ μm . Respecto a las transiciones entre las discontinuidades de las ranuras, hay que introducir una transición tanto entre las ranuras de las secciones 2 y 3 (de longitud $L_{taper1} = 0.18$ mm) como entre la ranura de la tercera sección y la ranura circular (de longitud $L_{taper2} = 0.36$ mm). El resto de las dimensiones finales que optimizan el comportamiento de este circuito se

4.2. Desfasador basado en acoplador direccional acoplado por ranura

Tabla 4.3.: Impedancias características par e impar (Z_{0e}^i, Z_{0o}^i) del desfasador de 45 grados de dos secciones que opera en la banda de 3.1 a 10.6 GHz.

Sección	1	2
$Z_{0e}(\Omega)$	55.69	80.33
$Z_{0o}(\Omega)$	44.89	31.12

Tabla 4.4.: Dimensiones físicas finales del desfasador de 45 grados de dos secciones que opera en la banda de 3.1 a 10.6 GHz.

Sección	$W(mm)$	$L(mm)$	$S(mm)$
1	0.8	6.54	0.57
2	1.36	6	1.58

incluyen en la Tabla 4.2.

Este circuito ha sido fabricado y medido y su fotografía se muestra en la Fig. 4.4. El prototipo fabricado ha presentado unas pérdidas de retorno mejores de 19 dB, unas pérdidas de inserción menores de 1.5 dB y un desfase de $90 \pm 2.5^\circ$ en la banda de 3.1 a 10.6 GHz, como se muestra en la Fig. 4.5. Estos excelentes resultados permiten superar las principales limitaciones que tenían algunas de las arquitecturas de seis puertos que se presentaron en el capítulo anterior, haciendo factible su diseño. Además, estos resultados superan las prestaciones incluso de algunos de los desfasadores publicados más recientemente [147, 149, 152, 153].

Aunque en principio es posible conseguir desfasadores con un error en la fase menor de un grado, en esta estructura tanto el desfase como las pérdidas de retorno son muy dependientes de los errores en la fabricación de la vía situada en la última sección. Así, este prototipo sirve para hacerse una idea de cuánto puede estropearse el desfase respecto a lo obtenido en simulación debido a los pequeños errores que pueden surgir en el proceso de fabricación.

4.2.2. Desfasador de 45° en la banda de 3.1 a 10.6 GHz

Este circuito se trata del desfasador de 45° necesario para implementar la matriz de Butler que se presenta en la siguiente sección. En este caso, el objetivo es conseguir un desfase con el menor error posible, pero reduciendo al máximo tanto el tamaño del circuito, como el tamaño de su línea de referencia. El motivo de querer reducir el tamaño del desfasador se hará patente en la próxima sección. Las redes de Butler son circuitos que requieren la utilización de muchos elementos interconectados, por lo que reducir el tamaño de los mismos es muy importante para conseguir un circuito final de un tamaño razonable. Debido a esto, se ha optado por el diseño de un desfasador de dos secciones. Esto permite cubrir la banda de 3.1 a 10.6 GHz con un rizado acotado en el desfase (menor de 2°), y a la vez reducir en gran medida el tamaño respecto al desfasador de 90° de la subsección anterior.

Como siempre, para el diseño de este desfasador de dos secciones, se parte del cálculo de las impedancias de cada una de las secciones, las cuales se incluyen en la Tabla 4.3. Conocidos estos valores, se obtiene el modelo circuital del desfasador a

4. Desfasadores en tecnología planar integrada y aplicaciones de interés

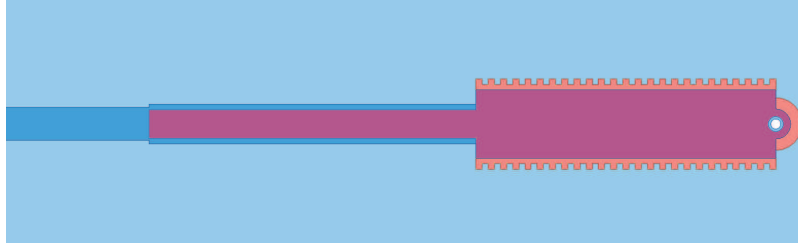


Figura 4.6.: Planta del desfasador de 45 grados de dos secciones que opera en la banda de 3.1 a 10.6 GHz.

partir del análisis modal 2-D de cada una de las secciones. En este caso, aunque el ancho de banda se mantiene respecto al desfasador de 90° , este circuito tiene que introducir un desfase mucho menor y hace uso de un menor número de secciones, lo que simplifica mucho su diseño. Así, del análisis del modelo circuital se concluye que no es necesario utilizar la técnica de compensación de las discontinuidades, y que sólo hay que aplicar la técnica de corrugado de forma muy leve en la segunda sección.

El diseño de este circuito (mediante la metodología ya presentada) muestra que el comportamiento del mismo se ajusta en gran medida (consiguiendo un desfase con un rizado uniforme) cuando la conexión final consiste en una vía (de diámetro $d_{via} = 0.2 \text{ mm}$) que pasa a través de una ranura circular (de diámetro $d_{ranura} = 1.05 \text{ mm}$) situada justo a continuación de la segunda sección. Respecto al corrugado de la segunda sección, en este caso las velocidades de fase de ambos modos se ajustan para un periodo $\Lambda_2 = 250 \mu\text{m}$ y profundidad $D_2 = 110 \mu\text{m}$. El resto de las dimensiones de este circuito se incluyen en la Tabla 4.4 y la visión en planta de este desfasador se muestra en la Fig. 4.6. Los resultados obtenidos en la simulación 3-D electromagnética de este circuito se muestran en la Fig. 4.7. Este circuito presenta unas pérdidas de retorno mejores de 30 dB, unas pérdidas de inserción menores de 0.4 dB y un desfase de $45 \pm 1.5^\circ$ en la banda de 3.1 a 10.6 GHz.

En el momento de la escritura de esta Tesis este circuito se encontraba en fase de fabricación, por lo que no se disponen de resultados experimentales. Sin embargo, dado que el desfasador de 90° (más complejo) ha funcionado perfectamente, no cabe ninguna duda de que las excelentes prestaciones obtenidas en simulación serán corroboradas cuando este circuito sea evaluado experimentalmente.

4.3. Aplicación de los acopladores y desfasadores diseñados

En esta sección se describen brevemente dos subsistemas que aunque no formaban parte de los objetivos iniciales de la Tesis, se han realizado basándose en los circuitos acopladores y desfasadores previamente descritos. El objetivo es mostrar la utilidad y la validez de los circuitos diseñados para resolver los problemas y las limitaciones que se presentan habitualmente en la implementación de este tipo de subsistemas. En concreto, los dos subsistemas implementados son una matriz de Butler y un bucle de enganche en frecuencia o FLL (Frequency Locked Loop), los cuales se

4.3. Aplicación de los acopladores y desfasadores diseñados

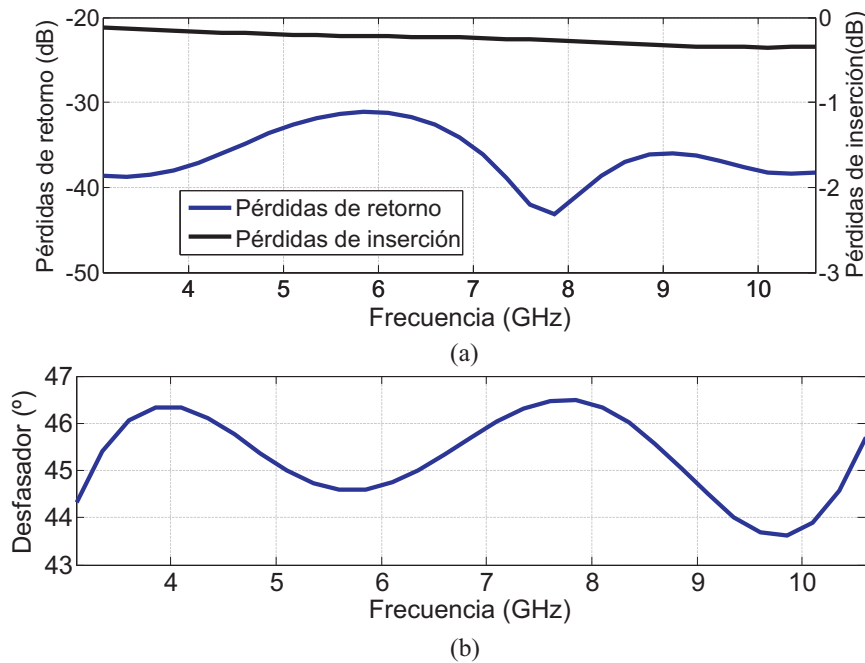


Figura 4.7.: Prestaciones obtenidas en simulación por el desfasador de 45 grados en la banda de 3.1 a 10.6 GHz. a) Pérdidas de inserción y pérdidas de retorno. b) Desfase.

describen en las siguientes subsecciones.

4.3.1. Matrices de Butler en la banda de 3.1 a 10.6 GHz

Los sistemas de comunicaciones inalámbricos se ven a menudo muy afectados por fenómenos tales como el desvanecimiento de la señal (por efecto multi-camino) o las interferencias, lo que disminuye de forma importante la eficiencia espectral y la capacidad de estos sistemas. Para superar estos problemas una solución simple consiste en utilizar arrays de antenas con haces conmutados. Un subsistema de arrays de antenas con haces conmutados consiste en una red formadora de haces fija, un conmutador de RF para seleccionar la entrada de la red y un array de antenas conectadas al final de la red, que determina un haz distinto en función de la entrada de la red seleccionada. Este tipo de subsistemas pueden ser usados para incrementar la capacidad de un canal que está limitado por las interferencias, conmutando entre los diferentes haces de recepción para utilizar el que tenga una mejor relación entre la potencia de la señal y la interferente.

Para implementar las redes formadoras de haces se han propuesto diferentes alternativas, pero la red de múltiples haces con un array lineal más importante es la basada en la matriz de Butler [154]. La matriz de Butler fue descrita por primera vez por Jesse Butler y Ralph Lowe en [155]. En términos generales, una matriz de Butler es una red con múltiples entradas y salidas que, al ser excitada por una de sus entradas, divide la señal por igual entre todos sus puertos de salida con un determinado desfase (que depende de la entrada seleccionada). Esta propiedad única hace que la

4. Desfasadores en tecnología planar integrada y aplicaciones de interés

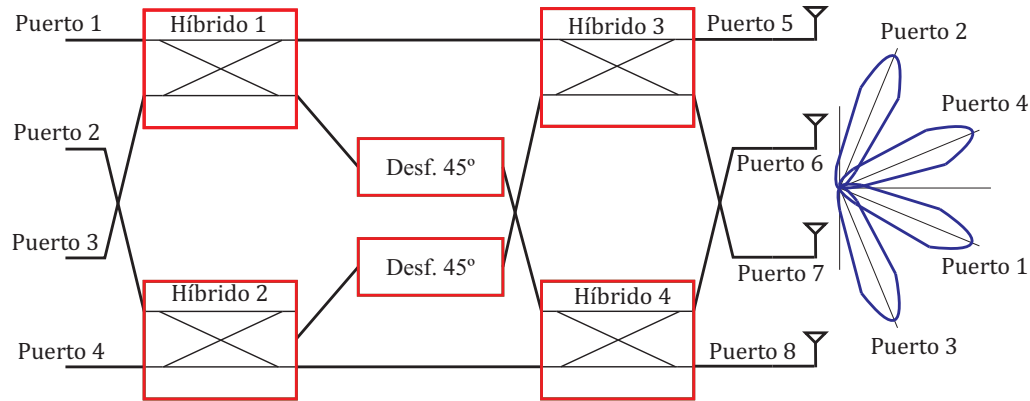


Figura 4.8.: Diagrama de bloques de una matriz de Butler conectada a un array de cuatro antenas a la salida junto con el diagrama de radiación que proporciona este sistema.

Tabla 4.5.: Tabla con los desfases que introduce la matriz de Butler en los puertos de salida del diagrama de bloques de la Fig, 4.8 en función del puerto de entrada seleccionado.

	Puerto 5	Puerto 6	Puerto 7	Puerto 8	$\Delta\phi$
Puerto 1	180°	135°	90°	45°	-45°
Puerto 2	90°	225°	0°	135°	135°
Puerto 3	135°	0°	225°	90°	-135°
Puerto 4	45°	90°	135°	180°	45°

red de Butler sea muy útil en múltiples aplicaciones hoy día, no sólo para redes de alimentación de arrays de antenas multi-haz, sino para sistemas de localización de señales radio o para amplificadores multi-canal.

Dada su importancia, en los últimos años ha habido mucho interés en el desarrollo de la matriz de Butler 4x4, que consta de cuatro híbridos en cuadratura y dos desfases de 45°. Este tipo de redes han sido desarrolladas tanto en tecnología LTCC [156], como plástico monocapa [157] y multicapa [158, 159]. Además, en los últimos años, para conseguir que estos circuitos sean más compactos se han propuesto diferentes alternativas basadas en el acoplamiento por ranura, usando tanto pistas coplanares [154, 160] como pistas microstrip [161, 162]. Sin embargo, las prestaciones de estas estructuras se degradan en gran medida en anchos de banda elevados, observándose importantes errores en el desfase que consiguen todas estas propuestas.

El diagrama de bloques de una matriz de Butler 4x4 se muestra en la Fig. 4.8. Este circuito está formado por cuatro híbridos, dos desfases y tres cruces de señal, que permiten situar en el orden correcto los puertos de la estructura. En este circuito, en función de la entrada elegida, se observa un desfase distinto entre sus cuatro puertos de salida. Así, cuando se entra por el puerto 1, la red proporciona a la salida un desfase de -45° entre sus puertos de salida. De forma análoga, eligiendo cualquiera de las otras entradas se consigue un desfase entre sus puertos de salida de 45°, 135° o -135°. La distribución de fases a la salida en función del puerto de entrada se muestra en

4.3. Aplicación de los acopladores y desfasadores diseñados

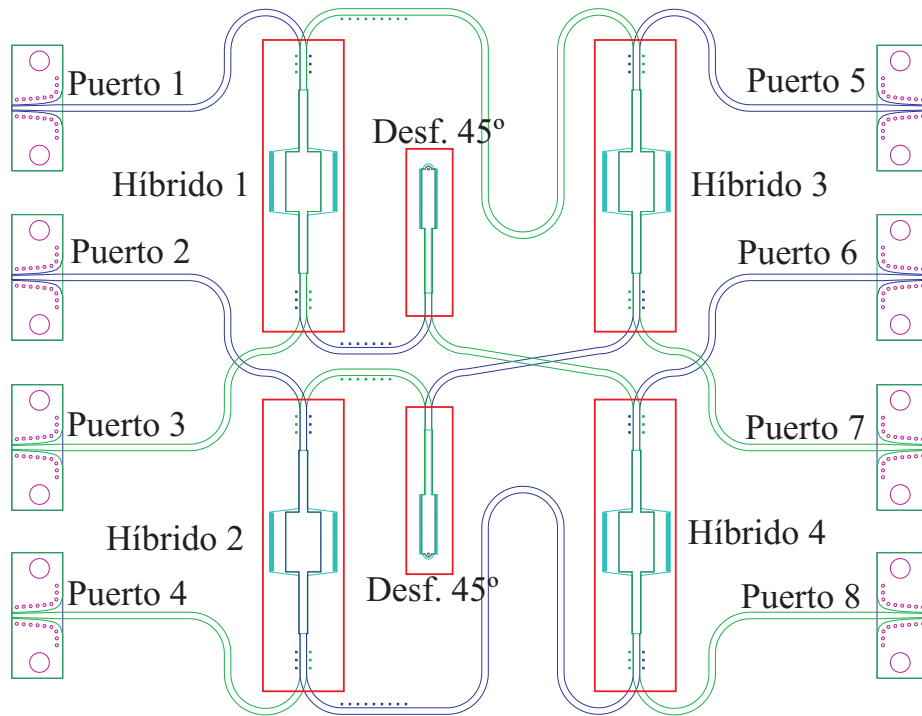


Figura 4.9.: Layout de a matriz de Butler diseñada. El tamaño total del circuito (sin incluir los “thru” de la calibración TRL) es 62mm x 71mm.

la Tabla 4.5. Esta distribución de fases permite implementar a la salida un array de cuatro antenas con un diagrama de radiación formado por cuatro lóbulos distintos, los cuales se seleccionan en función del puerto de entrada por el que se introduce la señal (ver Fig. 4.8).

El diseño de la matriz de Butler realizado en esta Tesis se basa en el esquema mostrado en la Fig. 4.8. El objetivo de este diseño es conseguir un circuito lo más compacto posible que minimice el error de los desfases entre los puertos de salida del circuito, ya que ésta es la característica fundamental que consigue separar correctamente los lóbulos del diagrama de radiación (asumiendo que el array de las antenas funciona correctamente). En este circuito, tanto el ancho de banda de operación, como sus prestaciones finales, vienen fijados por el comportamiento de sus elementos constituyentes (acoplador y desfasador), por lo que el diseño de los mismos es crucial. Así, en este caso se ha decidido hacer uso del híbrido en cuadratura de tres secciones presentado en la subsección 3.8.3 y del desfasador de 45° de dos secciones presentado en la subsección 4.2.2. Dicha elección se debe a que ambos circuitos no son excesivamente grandes y proporcionan errores en la fase muy reducidos.

Una vez se dispone de los dos elementos circuitales, la dificultad de este subsistema radica en que es necesario ajustar la longitud eléctrica de todos los caminos, desde cualquier entrada hasta cualquier salida, para balancear en fase el comporta-

4. Desfasadores en tecnología planar integrada y aplicaciones de interés

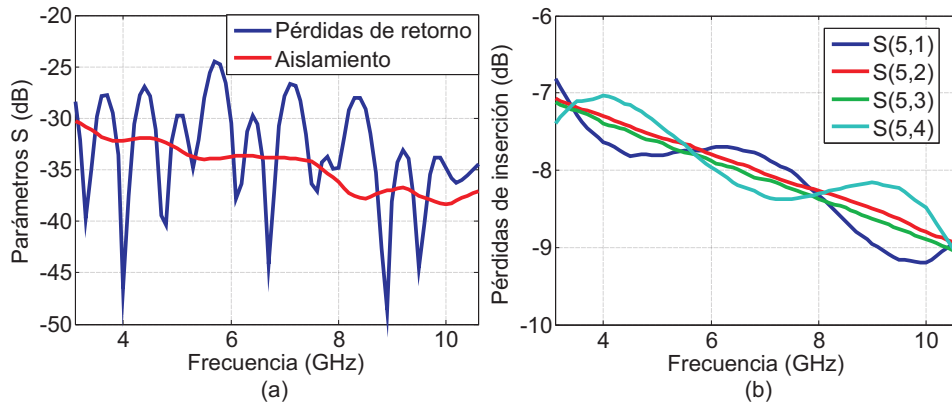


Figura 4.10.: Prestaciones en simulación de la matriz de Butler diseñada. a) Pérdidas de retorno y aislamiento. b) Pérdidas de inserción (idealmente serían -6 dB).

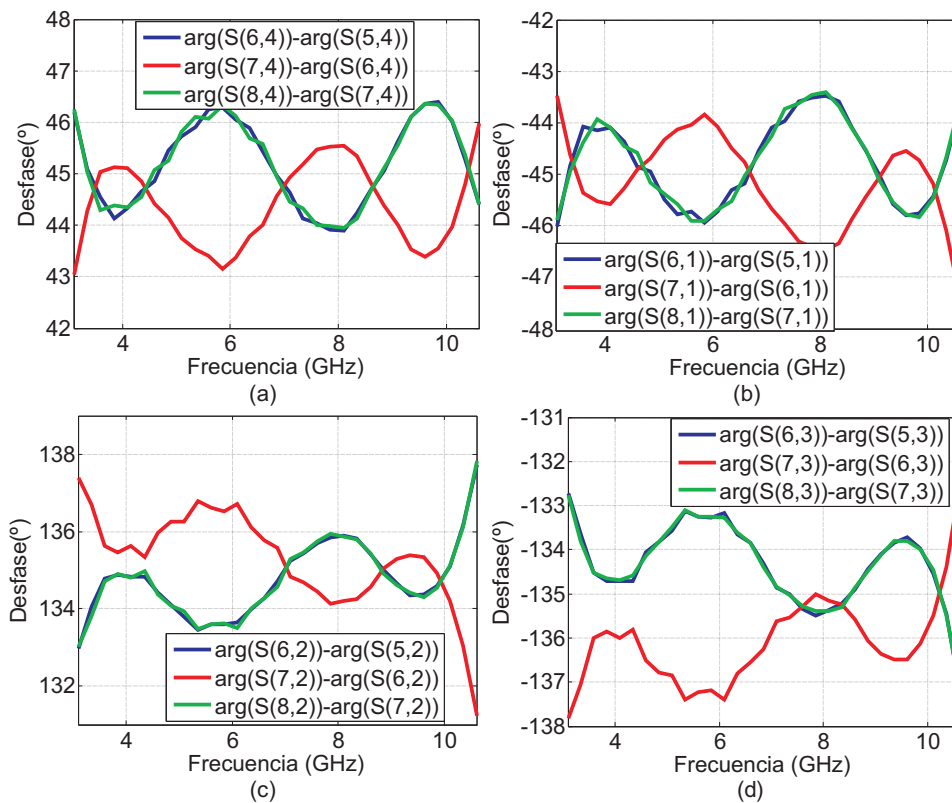


Figura 4.11.: Desfases entre los puertos de salida en función del puerto de entrada seleccionado. a) Desfase de 45° (entrada por el puerto 4). b) Desfase de -45° (entrada por el puerto 1). c) Desfase de 135° (entrada por el puerto 2). d) Desfase de -135° (entrada por el puerto 3).

4.3. Aplicación de los acopladores y desfasadores diseñados

miento de la estructura con la frecuencia. Además, hay que conseguir que todas las salidas estén equiespaciadas en el eje del array, para que la red funcione correctamente y permita formar cada uno de los cuatro lóbulos en función de la entrada seleccionada (ver Fig. 4.8)).

En la Fig 4.9 se muestra el layout de la matriz de Butler 4x4 diseñada. Para su diseño se han simulado electromagnéticamente todas y cada una de las líneas de interconexión que se muestran en el layout de la Fig. 4.9. A partir de estas simulaciones, se ha construido un modelo circuital con el que se ha ajustado la longitud de cada uno de los caminos, hasta conseguir que todos estén balanceados en fase en toda la banda de operación (de 3.1 a 10.6 GHz). Los resultados finalmente obtenidos en simulación se muestran en las Fig. 4.10 y 4.11. Como se puede observar, este circuito presenta unas pérdidas de retorno mejores de 24 dB, un aislamiento entre puertos de entrada (o de salida) mejor de 30 dB, y unas pérdidas de inserción en torno a 9 dB al final de la banda, tomando como referencia cualquiera de las entradas (ver Fig. 4.10). Además, el circuito consigue ajustar los desfases en función de la entrada seleccionada muy bien, con valores de $45 \pm 2^\circ$, $-45 \pm 2.5^\circ$, $135 \pm 3^\circ$ y $-135 \pm 3^\circ$, como se observa en la Fig. 4.11. En consecuencia, este circuito consigue reducir en gran medida los errores en los desfases entre los puertos de salida presentados en [154, 158–162] (siendo ésta la característica fundamental de las matrices de Butler), a costa de incrementar un poco el tamaño de la red.

Al igual que el desfasador de 45° presentado en la sección anterior, en el momento de la escritura de esta Tesis este circuito se encontraba en fase de fabricación, por lo que no se disponen de resultados experimentales.

4.3.2. Bucle de enganche en frecuencia

Dentro del grupo de investigación en el que se ha desarrollado esta Tesis, una de las líneas de investigación actualmente en marcha se trata del diseño de un bucle de enganche en frecuencia o FLL (Frequency Locked Loop). Este sistema permite reducir el ruido de fase de los osciladores locales de los equipos de instrumentación, pero requiere de un hardware pasivo de microondas de altas prestaciones para funcionar de forma adecuada. Así, como parte de esta Tesis, se ha colaborado con otros miembros del grupo de investigación en la implementación de este sistema diseñando algunos de los circuitos pasivos de microondas que éste utiliza.

El desarrollo y evaluación de los nuevos sistemas de comunicaciones inalámbricas hace imprescindible que las empresas dispongan de los equipos de medida adecuados para poder evaluar los terminales implementados. Actualmente, las prestaciones de estos equipos de instrumentación están limitadas por los osciladores locales de los transceptores de banda ancha. Además, este problema se agrava conforme aparecen nuevos estándares que proponen cada vez mayores frecuencias de trabajo.

El sistema de reducción de ruido de fase más utilizado es el bucle de enganche en fase o PLL (Phase Locked Loop). Sin embargo, con estos sistemas sólo es posible reducir el ruido de los osciladores hasta las decenas de KHz respecto a la frecuencia de la portadora. Una tecnología muy interesante para mejorar las prestaciones de los osciladores locales consiste en utilizar lazos de enganche en frecuencia o FLL [163–165], que no están disponibles de forma comercial. Las ventajas de implementar un FLL al-

4. Desfasadores en tecnología planar integrada y aplicaciones de interés

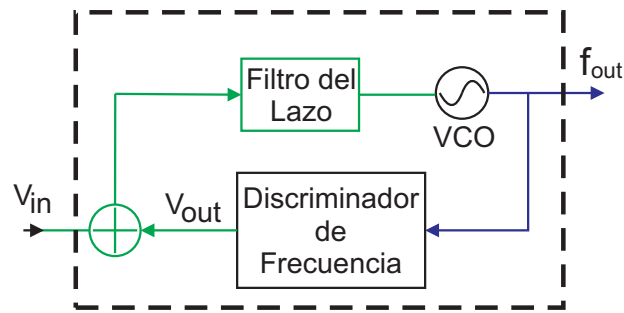


Figura 4.12.: Diagrama de bloques de un FLL. Las flechas en azul indican caminos de señal de RF mientras que las de color verde indican caminos de baja frecuencia.

rededor de un oscilador controlado por tensión o VCO (Voltage Controlled Oscillator) conjuntamente con un PLL son las siguientes: i) el FLL consigue que el nuevo bloque VCO sea más lineal de lo que lo era el VCO de forma independiente, y ii) el FLL se puede diseñar con un ancho de banda mucho mayor, por lo que permite reducir el ruido de fase del VCO hasta una frecuencia mucho mayor respecto de la portadora [163, 165]. Además, es posible añadir incluso FLL adicionales para disminuir aún más el ruido del VCO. El fundamento de tal mejora es que al incluir un VCO dentro de un FLL, una vez el FLL se engancha en frecuencia, la frecuencia de salida del VCO depende del discriminador de frecuencia del FLL, que es quien controla el lazo.

El diagrama de bloques del FLL se muestra en la Fig. 4.12. El bucle está formado por un discriminador de frecuencia, un sumador y un filtro paso-bajo (filtro de lazo). A la salida del VCO, las fluctuaciones de su frecuencia instantánea (debidas al ruido de fase) son detectadas por el discriminador de frecuencia, que genera a la salida una tensión (V_{out}) proporcional a la frecuencia del VCO. Esta tensión se resta a la tensión de control del VCO procedente del PLL (V_{in}), lo que permite compensar estas fluctuaciones. La señal de salida del sumador es filtrada con un filtro de primer orden paso-bajo antes de la entrada del VCO, para evitar que el FLL se vuelva inestable.

El componente más crítico en el diseño del FLL es el discriminador de frecuencia, ya que éste debe de conseguir un gran ancho de banda, un bajo nivel de ruido y una elevada sensibilidad (para detectar pequeñas variaciones en la frecuencia instantánea del VCO debido al ruido de fase). Aunque existen diferentes alternativas para realizar el discriminador de frecuencia [166, 167], los clásicos discriminadores basados en línea de retardo son la alternativa más interesante, por su elevado ancho de banda potencial, su alta sensibilidad y su bajo nivel de ruido [163].

El trabajo desarrollado por el grupo de investigación en este ámbito consiste en la implementación de un FLL (ver Fig. 4.12) para reducir el ruido de fase del VCO comercial Hittite HMC587LC4B [168]. Dicho FLL hace uso de un discriminador de frecuencias basado en línea de retardo en la etapa realimentada, con el objetivo de cubrir la banda de operación de 5 a 10 GHz y reducir el ruido de fase de este VCO en un margen de separación de hasta 1 MHz respecto a la frecuencia del tono fundamental.

En la Fig. 4.13 se muestra la arquitectura del FLL con el discriminador de frecuencias basado en línea de retardo diseñado. El discriminador se compone de dos bloques fundamentalmente: i) un convertor frecuencia-fase (formado por el divisor de

4.3. Aplicación de los acopladores y desfasadores diseñados

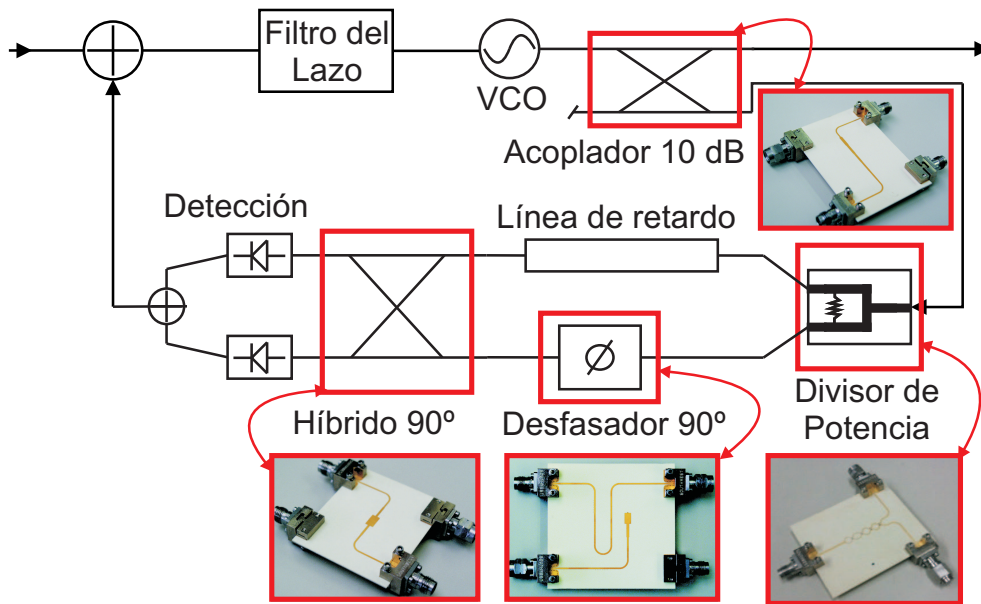


Figura 4.13.: Diagrama de bloques del FLL diseñado basado en un discriminador de frecuencia de línea de retardo incluyendo las fotos de los circuitos que han sido implementados en el seno de esta Tesis.

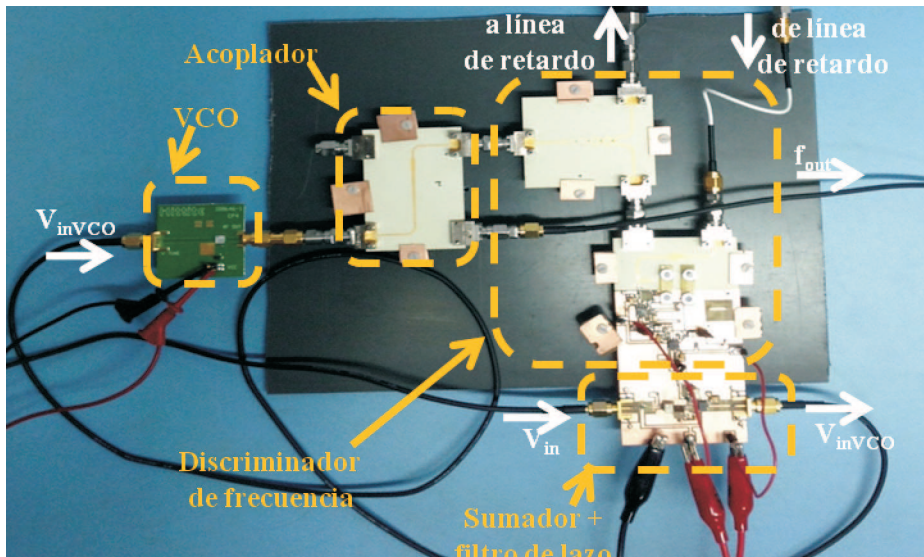


Figura 4.14.: Fotografía del prototipo del FLL.

4. Desfasadores en tecnología planar integrada y aplicaciones de interés

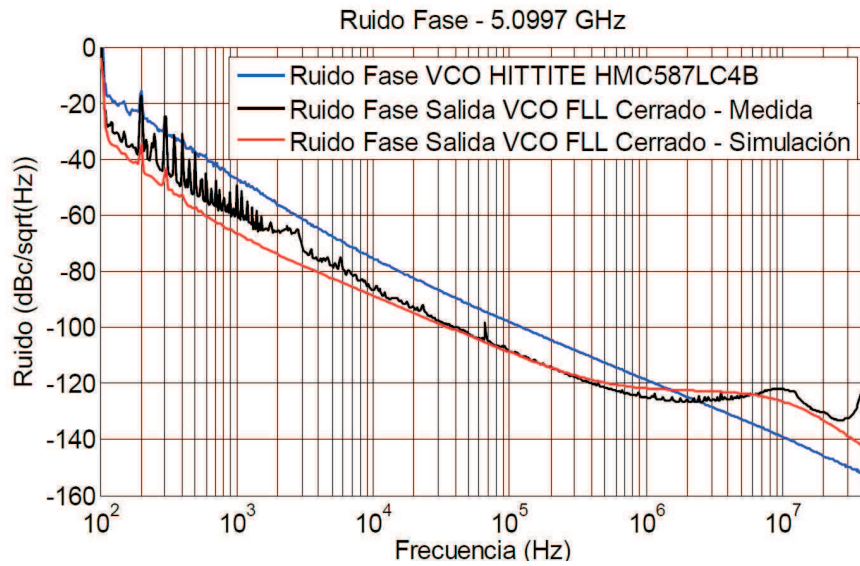


Figura 4.15.: Resultado obtenido en la medida de la reducción del ruido de fase que proporcional el FLL.

potencia, el desfasador y la línea de retardo) que transforma las variaciones de frecuencia a la entrada del discriminador a variaciones de fase, y ii) un detector de fase (formado por el híbrido y la etapa de detección) que genera una tensión proporcional al desfase entre sus entradas. La colaboración realizada en el desarrollo de este sistema queda expuesta claramente en la Fig. 4.13. El FLL hace uso de muchos de los circuitos pasivos de microondas que se han desarrollado dentro de esta Tesis y que ya han sido presentados (en su mayoría) en este capítulo y en el capítulo 3. Así este sistema utiliza: i) el acoplador direccional de 10 dB asimétrico de 5 secciones presentado en la subsección 3.8.2 [50], para realimentar parte de la señal del VCO hacia el discriminador de frecuencia, ii) un divisor de potencias Wilkinson de cuatro secciones (que será presentado en el próximo capítulo [55]), para dividir la señal realimentada entre las dos ramas del conversor frecuencia-fase, iii) el desfasador de 90° presentado en la sección 4.2.1 [56], dentro de una de las ramas del conversor frecuencia-fase, y iv) el híbrido en cuadratura de tres secciones que se presentó en la subsección 3.8.3 [55,56], dentro del detector de fase.

Actualmente ya existe una primera versión del prototipo de este FLL, cuyo objetivo es evaluar la capacidad de reducción de ruido del discriminador diseñado en un entorno real. La fotografía del mismo se muestra en la Fig. 4.14. Se han realizado diferentes medidas de la reducción de ruido que proporciona el FLL diseñado trabajando en diferentes puntos de cuadratura entre 5 y 7 GHz. En la Fig. 4.15 se presentan los resultados de ruido medidos para la frecuencia de 5.0997 GHz (resultados similares se han medido para otros puntos de cuadratura). La curva azul corresponde al ruido de fase del VCO antes de incluirlo en el FLL. La curva negra corresponde al ruido de fase obtenido a la salida del FLL cuando el bucle está cerrado (y por tanto, funcionando), y la curva roja se corresponde con los resultados obtenidos en la simulación del modelo circuital del sistema con la herramienta ADS. Como se puede observar, se

consigue una reducción de ruido de 10 dB hasta 400 KHz y de 6.5 dB a 1 MHz, mejorando incluso los resultados obtenidos en la simulación del modelo circuital [58, 59].

Los excelentes resultados obtenidos en la evaluación del prototipo inicial del FLL, no sólo demuestran la validez de este sistema, sino que muestran la utilidad de los circuitos diseñados en esta Tesis para la implementación de sistemas de instrumentación de altas prestaciones y gran ancho de banda de operación.

4.4. Conclusiones

En la parte inicial de este capítulo se ha presentado todo el trabajo realizado en esta Tesis en el ámbito del diseño de desfasadores de banda ultra-ancha. Así, se ha mostrado la metodología de diseño de desfasadores de Schiffman de múltiples secciones acopladas por ranura propuesta, que hace uso de las técnicas de compensación implementadas, así como una novedosa conexión final entre los puertos directo y aislado que logra reducir su longitud en gran medida. Esta metodología se ha utilizado para diseñar un desfasador de 90° y otro de 45° en la banda de 3.1 a 10.6 GHz, obteniendo excelentes resultados medidos y simulados, respectivamente.

Posteriormente, en este capítulo se han mostrado algunas de las aplicaciones en las que se ha hecho uso de los acopladores y desfasadores diseñados a lo largo de esta Tesis. La primera aplicación se trata del diseño de una matriz de Butler 4x4, para la implementación de arrays de antenas con haces conmutados. La segunda de ellas se trata de un bucle de enganche en frecuencia o FLL que está siendo desarrollado dentro del grupo de investigación para reducir el ruido de fase de los osciladores de los equipos de instrumentación. Ambas aplicaciones han permitido mostrar la validez de los circuitos diseñados en la implementación de sistemas de mayor complejidad.

En el próximo capítulo se presentará el diseño y evaluación de las arquitecturas de seis puertos que fueron estudiadas en el capítulo 2. Dichas arquitecturas han sido implementadas gracias a los acopladores direccionales y desfasadores de banda ancha y altas prestaciones presentados en el capítulo 3 y en este mismo capítulo.

4. Desfasadores en tecnología planar integrada y aplicaciones de interés

5

Arquitecturas de seis puertos en tecnología planar integrada

Como ya se ha comentado anteriormente, uno de los principales hitos de esta Tesis es la implementación de un demodulador I/Q analógico de seis puertos capaz de cubrir toda la banda UWB (3.1 a 10.6 GHz). En este tipo de sistemas, la red pasiva de seis puertos es el elemento fundamental, ya que es la que combina las señales de RX y LO con las relaciones de amplitud y fase necesarias para conseguir la generación analógica de las señales I/Q.

Este capítulo tiene como objetivo presentar el trabajo desarrollado en esta Tesis en el ámbito del diseño de arquitecturas de seis puertos de banda ancha en tecnología planar integrada. Así, este capítulo se ha organizado de la siguiente forma. En la sección 4.2 se presenta el diseño del divisor de potencia de banda ancha que requieren algunas de las arquitecturas implementadas. En la sección 4.3 se trata la problemática de la interconexión de los diferentes elementos circuitales que componen las redes de seis puertos. En la sección 4.4 se presenta el diseño y la evaluación de las tres arquitecturas de seis puertos que se han implementado dentro de esta Tesis, comparando los resultados obtenidos. Finalmente, en la sección 4.5 se incluyen las conclusiones de este capítulo.

5.1. Introducción

En el capítulo 2 de esta Tesis se ha demostrado la importancia de la red pasiva o unión de seis puertos en las prestaciones finales del demodulador I/Q de seis puertos. Los primeros demoduladores fueron implementados con éxito en [39, 40] a partir de la arquitectura formada por la unión pasiva de tres híbridos y un divisor de potencia. En esta arquitectura, como ya se ha demostrado, el híbrido y el divisor de la etapa de entrada son los elementos claves, pues sus desbalances en amplitud y fase son los que afectan a los ejes de referencia del receptor, haciendo que su comportamiento se degrade. En [39, 40] el ancho de banda fraccional de las arquitecturas utilizadas no supera el 30%. Esto hace que sea posible diseñar híbridos y divisores en diferentes tecnologías con desbalances de amplitud y fase controlados.

5. Arquitecturas de seis puertos en tecnología planar integrada

Recientemente, gracias al desarrollo de las tecnologías multicapa, están apareciendo nuevas implementaciones, como las presentadas en [18, 19, 22, 41–44], que consiguen aumentar el ancho de banda de estas estructuras, pero los resultados obtenidos aún no son demasiado buenos. Esto se debe a que logran incrementar el ancho de banda a costa de: i) degradar enormemente las pérdidas de retorno en los puertos de la arquitectura, ii) degradar el aislamiento entre los puertos de LO y RF, y iii) permitir desbalances excesivos en amplitud ($> 2\text{ dB}$) y fase ($> 10^\circ$) en los centros de la arquitectura. Con estos errores en los centros de la arquitectura, no es posible la demodulación de la señales I/Q con una baja probabilidad de error sin utilizar procedimientos de calibración. Por ello, el diseño de arquitecturas de seis puertos de banda ancha es un problema de gran relevancia en la actualidad que dista mucho de estar resuelto.

En este capítulo se presenta el diseño y evaluación de tres arquitecturas de seis puertos que cubren la banda de 3.1 a 10.6 GHz con el objetivo de evaluar sus prestaciones, haciendo uso de las fórmulas propuestas en el capítulo 2, y seleccionar la más adecuada para la implementación del demodulador I/Q de seis puertos. Las arquitecturas implementadas hacen uso del desfasador de 90° y el híbrido en cuadratura presentados anteriormente. Además, algunas de las arquitecturas requieren del uso de un divisor de potencia de banda ancha, cuyo diseño se aborda en la próxima sección.

5.2. Divisor de potencia en tecnología planar integrada

Los divisores de potencia son elementos pasivos de gran utilidad a frecuencias de microondas. Se utilizan en muchos subsistemas, tales como arrays de antenas, amplificadores de potencia, mezcladores, etc.

Estos circuitos presentan un problema adicional respecto a los acopladores direccionales. Por tratarse de redes de tres puertos, no pueden ser dispositivos recíprocos, sin pérdidas y con sus tres puertos adaptados a la vez, como ocurre con los acopladores direccionales (que son redes de cuatro puertos) [129]. Una estructura muy interesante es el divisor de potencia Wilkinson [169]. Esta estructura tiene la propiedad de que cuando sus puertos de salida están adaptados se comporta como una red sin pérdidas, por lo que sólo la potencia reflejada es disipada. Además, este circuito consigue un buen aislamiento entre sus puertos de salida. El principal inconveniente de este divisor de potencia es que su ancho de banda es muy pequeño y no es capaz de cubrir la banda UWB. Para aumentar su ancho de banda de operación, es posible diseñar divisores de potencia Wilkinson de múltiples secciones [170–173]. En la Fig. 5.1 se muestra la configuración básica de este tipo de divisores.

El divisor de potencia Wilkinson es un dispositivo planar clásico que fue presentado hace cincuenta años. Desde entonces han surgido diferentes propuestas de diseño. Recientemente, con el desarrollo de las tecnologías multicapa han surgido nuevos circuitos que presentan las ventajas de ser más compactos y de permitir una interconexión más sencilla con los acopladores direccionales acoplados por ranura [174–177]. Sin embargo, las prestaciones que estas alternativas ofrecen en cuanto al desbalanceo en amplitud y fase entre los puertos de salida son muy inferiores a las

5.2. Divisor de potencia en tecnología planar integrada

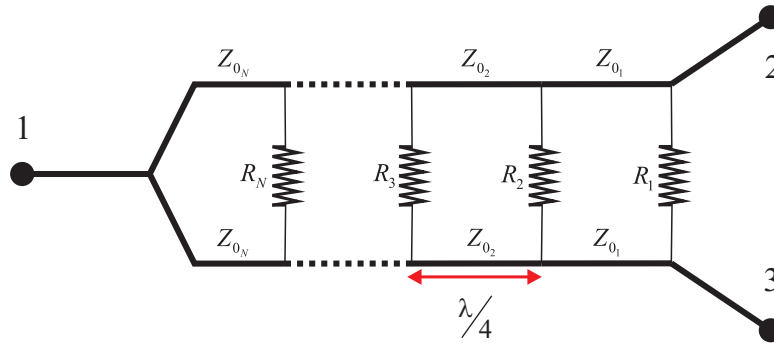


Figura 5.1.: Esquema de un divisor Wilkinson de N secciones.

Tabla 5.1.: Impedancias características (Z_{0_i}) y resistencias (R_i) del divisor de potencia Wilkinson de cuatro secciones que cubre la banda de 3.1 a 10.6 GHz

$Z_{0_1}(\Omega)$	$Z_{0_2}(\Omega)$	$Z_{0_3}(\Omega)$	$Z_{0_4}(\Omega)$	$R_1(\Omega)$	$R_2(\Omega)$	$R_3(\Omega)$	$R_4(\Omega)$
55.79	64.79	77.18	89.63	482	291	172	103

que ofrecen los divisores de potencia Wilkinson de múltiples secciones, por lo que su utilización disminuiría las prestaciones finales de las arquitecturas de seis puertos.

El diseño de un divisor Wilkinson de banda ancha de múltiples secciones parte del estudio de la estructura mostrada en la Fig. 5.1, y hace uso del método de las excitaciones par e impar y de los polinomios de Chebyshev (permitiendo un rizado uniforme en el coeficiente de reflexión). Para el caso de la excitación par, los puertos 2 y 3 son alimentados con generadores de igual amplitud y fase. En este caso, no circula corriente por las resistencias, por lo que el circuito equivalente es un transformador $\lambda/4$ de múltiples secciones. Así, mediante el uso de las tablas incluidas en [171, 172], se observa que para cubrir la banda entre 3.1 y 10.6 GHz (109% ancho de banda fraccional) es necesario utilizar al menos cuatro secciones. Dichas tablas proporcionan las impedancias características (Z_{0_i}) de las líneas de transmisión en las diferentes secciones. Una vez conocidas las impedancias características de las líneas, es posible obtener los valores de las resistencias mediante las fórmulas incluidas en [173], que han demostrado ser un buen punto de partida. Los valores de las impedancias y las resistencias usadas en este diseño se incluyen en la Tabla 5.1.

Utilizando los valores incluidos en la Tabla 5.1 como punto de partida, se calculan la anchura (W_i) y la longitud (L_i) de las pistas microstrip de cada una de las secciones y se realiza un primer ajuste simulando el modelo circuital del dispositivo. A partir de aquí, la principal dificultad radica en generar un layout que no degrade mucho las prestaciones del divisor. En este circuito, las pistas de las dos ramas deben estar separadas para que no se acoplen, pero hay que acercarlas periódicamente para poder colocar las resistencias. Así, hay que alejar y acercar las pistas de forma suave en cada sección. En este caso se ha optado por utilizar curvas suaves y adaptar sus tamaños mediante simulación 3-D electromagnética (ver Fig. 5.2(a)), incluyendo las resistencias mediante condiciones de contorno de tipo impedancia. Las dimensiones finales de este circuito y los valores de las resistencias usadas se muestran en la Tabla 5.2.

5. Arquitecturas de seis puertos en tecnología planar integrada

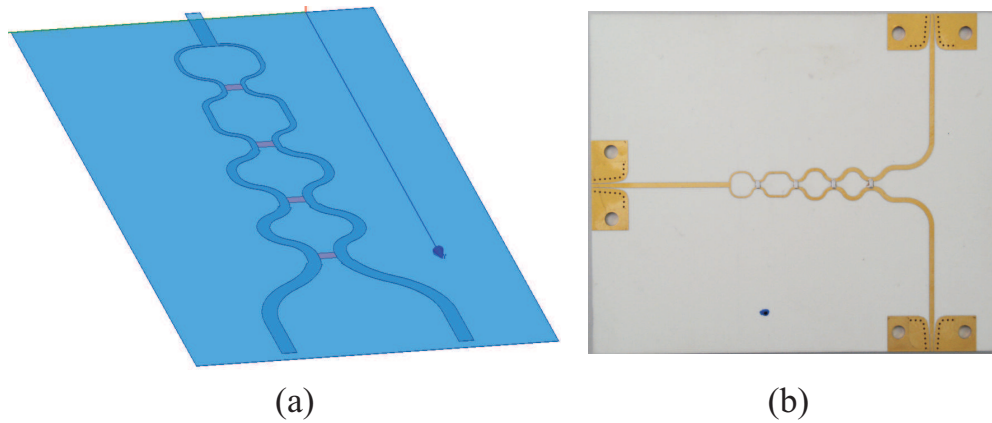


Figura 5.2.: a) Modelo 3-D del divisor Wilkinson de cuatro secciones. b) Fotografía del divisor Wilkinson de cuatro secciones.

Tabla 5.2.: Dimensiones finales y valores de las resistencias utilizadas en el diseño del divisor Wilkinson de cuatro secciones que cubre la banda de 3.1 a 10.6 GHz.

Secciones	1	2	3	4
$W(\mu\text{m})$	555	420	282	197
$L(\text{mm})$	5.9	6.7	6.5	6.67
$R(\Omega)$	500	270	200	100

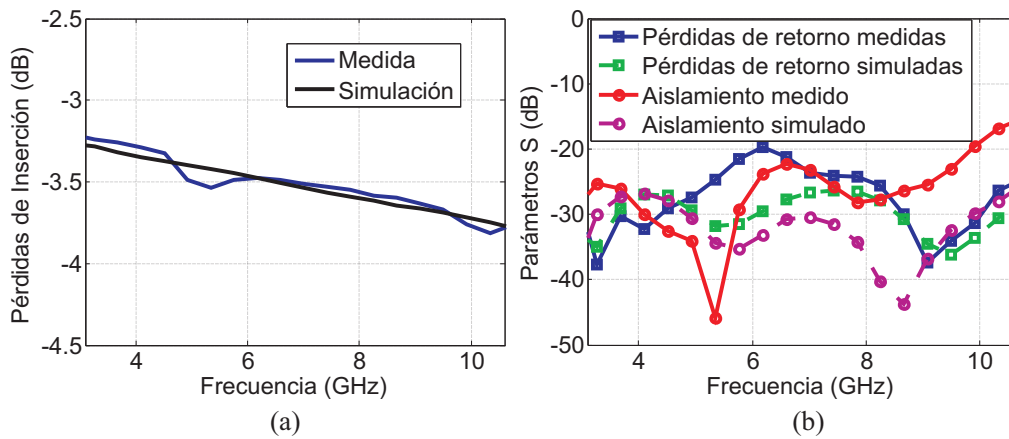


Figura 5.3.: Prestaciones de divisor de potencia Wilkinson de cuatro secciones en la banda de 3.1 a 10.6 GHz. a) Pérdidas de inserción. b) Pérdidas de retorno y aislamiento.

5.3. Definición del layout: El problema de la interconexión

Este circuito ha sido fabricado y medido, y su fotografía se muestra en la Fig. 5.2(b). El prototipo fabricado ha presentado unas pérdidas de inserción mejores de 3.8 dB (ver Fig. 5.3(a)), unas pérdidas de retorno mejores de 20 dB y un aislamiento mejor de 21 dB en toda la banda salvo al final, donde éste decrece hasta los 16 dB (ver Fig. 5.3(b)). Además, el circuito presenta un desbalanceo en módulo y fase prácticamente nulos entre los puertos de salida (característica intrínseca de estas estructuras). Existe una buena correlación entre la simulación y medidas en cuanto a las pérdidas de inserción, pero las pérdidas de retorno y el aislamiento son algo mayores de lo esperado. Esto se debe seguramente a que no se modeló el comportamiento de las resistencias utilizadas de una forma lo suficientemente precisa. En todo caso, los resultados obtenidos son satisfactorios y válidos para las arquitecturas de seis puertos a implementar.

5.3. Definición del layout: El problema de la interconexión

Una vez se han diseñado los diferentes elementos necesarios para implementar las diferentes arquitecturas de seis puertos, éstos hay que conectarlos correctamente. En principio, la simulación de estas arquitecturas puede parecer sencilla una vez sus elementos circuitales ya han sido diseñados. Sin embargo, su correcta simulación es muy laboriosa. Para asegurar que tras su fabricación estas arquitecturas tendrán el comportamiento esperado, es necesario seguir los siguientes pasos:

1. Decidir de qué forma se van a conectar los componentes. El objetivo es minimizar la superficie del dispositivo y facilitar la interconexión de los circuitos.
2. Simular todos los elementos de interconexión necesarios, esto es, codos, líneas de referencia y pistas, teniendo en cuenta que la estructura multicapa tiene una permitividad eficaz (ϵ_{eff}) ligeramente diferente en cada lado del plano de masa.
3. Construir el modelo circuital y el layout de cada una de las arquitecturas a la vez. El objetivo es balancear las arquitecturas en fase, ajustando los distintos caminos de señal para que la posición de sus centros no gire con la frecuencia.

5.3.1. Vía de señal en la banda de 3.1 a 10.6 GHz

Los elementos circuitales propuestos para la implementación de las arquitecturas de seis puertos son, tanto circuitos multicapa (híbrido, desfasador), como circuitos monocapa (divisor de potencia). En consecuencia, a la hora de trazar el layout estos circuitos no se pueden conectar directamente, pues algunas pistas quedan en niveles diferentes de la placa. Para solucionarlo es posible diseñar una vía a través del plano de masa que conecte ambas pistas. Los requisitos que debe cumplir esta vía son: i) tener un coeficiente de reflexión pequeño, ii) tener bajas pérdidas de inserción, y iii) no estropear el comportamiento en fase de la señal.

El diseño de transiciones a través de un plano de masa mediante el uso de vías ya ha sido abordado anteriormente por otros autores. En [92] se propone el uso de varias vías en paralelo lo suficientemente cerca para que se comporte como una pared

5. Arquitecturas de seis puertos en tecnología planar integrada

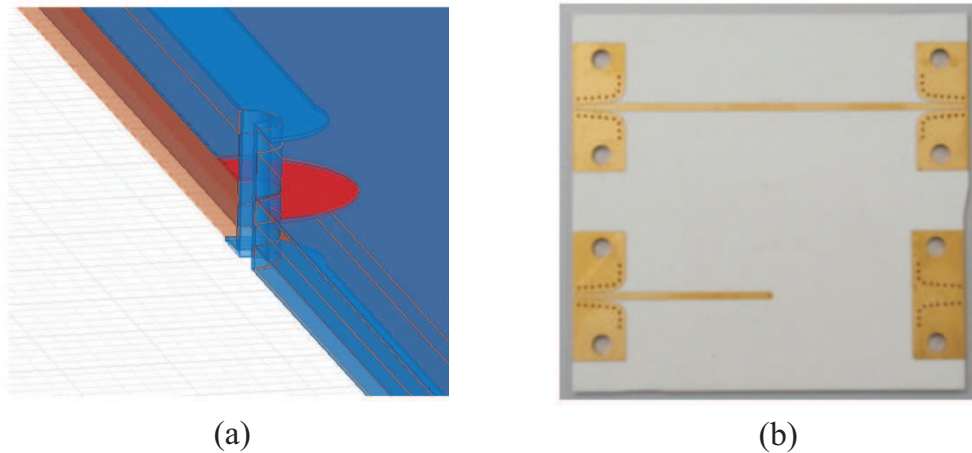


Figura 5.4.: a) Corte longitudinal del modelo 3-D de la vía de señal a través de un plano de masa . b) Fotografía de la vía de señal a través de un plano de masa.

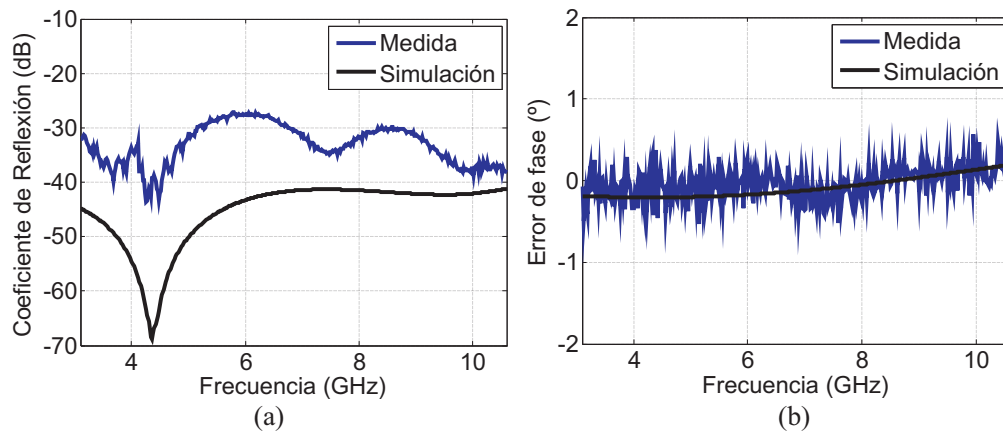


Figura 5.5.: Prestaciones de la vía de señal a través del plano de masa en la banda de 3.1 a 10.6 GHz. a) Coeficiente de reflexión. b) Desfase.

metálica vertical, uniendo las pistas que están a ambos lados del plano de masa. El problema de esta estructura es que dependiendo de la anchura de la pista donde se quiera realizar la transición, no siempre es posible usar más de una vía debido a restricciones que imponen los procesos fabricación.

En este caso se ha optado por una única vía a través del plano de masa de la estructura multicapa, ya que para estructuras de capas con un espesor muy pequeño en comparación con la longitud de onda, este tipo de transiciones presentan un buen comportamiento. Este circuito se ha diseñado mediante simulación 3-D electromagnética (ver Fig. 5.4(a)), modificando el diámetro de la vía y de la ranura circular con el objetivo de minimizar las pérdidas de retorno. Finalmente, se ha decidido utilizar un diámetro en la vía de $300 \mu\text{m}$ y un diámetro en la ranura de 1 mm.

Este circuito ha sido fabricado y medido y su fotografía se muestra en la Fig. 5.4(b). Tras su caracterización el circuito ha presentado un coeficiente reflexión por debajo

5.4. Diseño de las arquitecturas de seis puertos en la banda de 3.1 a 10.6 GHz

de -28 dB y desfase menor de $\pm 0.2^\circ$, como se muestra en la Fig. 5.5. En consecuencia, este circuito proporciona una transición entre los dos niveles de señal casi transparente para las arquitecturas de seis puertos.

5.4. Diseño de las arquitecturas de seis puertos en la banda de 3.1 a 10.6 GHz

En esta sección se presenta el diseño y evaluación de tres arquitecturas de seis puertos que cubren la banda de 3.1 a 10.6 GHz. Estas arquitecturas se basan en las estructuras que se estudiaron en capítulo 2, y hacen uso de algunos de los componentes que han sido presentados a lo largo de esta Tesis. El objetivo de esta sección es doble, i) por un lado, seleccionar la arquitectura a utilizar en el demodulador I/Q de seis puertos, y ii) por el otro, corroborar los resultados obtenidos del análisis teórico realizado en el capítulo 2, calculando el EVM de las tres arquitecturas mediante simulación y utilizando la ecuación propuesta (2.30), que repetimos aquí por comodidad:

$$\text{EVM}_i = \left| \frac{\alpha}{|u'|} |\Gamma_i^{RX}|^{-1} + \frac{\gamma}{|u'|} |\Gamma_i^{RX}| + \frac{\varepsilon}{2|u'|} \frac{(\Gamma_i^{RX})^*}{|\Gamma_i^{RX}|} \right|. \quad (5.1)$$

5.4.1. Arquitectura formada por tres híbridos y un divisor de potencia

Esta arquitectura de seis puertos se ha implementado usando el híbrido en cuadratura presentado en la subsección 3.8.3, el divisor de potencia presentado en la sección 5.2 y una vía de señal a través del plano de masa como la presentada en la subsección 5.3.1. El esquema circuital y la fotografía del prototipo fabricado se muestran en la Fig. 5.6.

Para verificar su funcionamiento este prototipo ha sido medido usando un analizador de redes (Vector Network Analyser, VNA) de dos puertos y cargas adaptadas en los puertos que no estaban siendo medidos. Los resultados obtenidos se muestran en las Fig. 5.7 y 5.8. Esta red de seis puertos ha conseguido muy buenos resultados con unas pérdidas de retorno mejores de 21 dB y un aislamiento entre los puertos de RX y LO mejor de 30 dB, como se muestra en la Fig. 5.7(b). Además, los centros de esta red están perfectamente posicionados en 0° , 90° , 180° y 270° (ver Fig. 5.7(a)), y presentan un desbalanceo en amplitud menor de ± 0.75 dB y un desbalanceo en fase menor de $\pm 5^\circ$ en la banda de 3.1 a 10.6 GHz, como se muestra en la Fig. 5.8. Hay que tener en cuenta que el desbalanceo en fase de los centros de esta arquitectura no se debe a los errores de fase absolutos que introducen sus diferentes elementos, sino que se debe al error de fase relativo con la frecuencia entre el divisor de potencia y el híbrido en cuadratura de su etapa de entrada. Dicho comportamiento ya se predijo en el análisis teórico de esta estructura en el capítulo 2. Pese a todo, en este diseño el error de fase se ha mantenido acotado por debajo de los 5° .

5. Arquitecturas de seis puertos en tecnología planar integrada

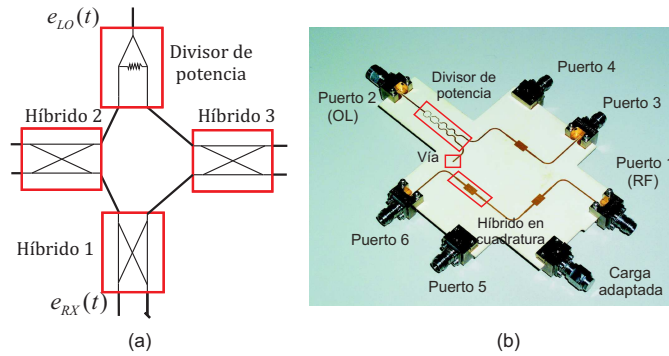


Figura 5.6.: Arquitectura de seis puertos formada por tres híbridos y un divisor de potencia. a) Esquema circuital. b) Fotografía (tamaño total: 79x42 mm²).

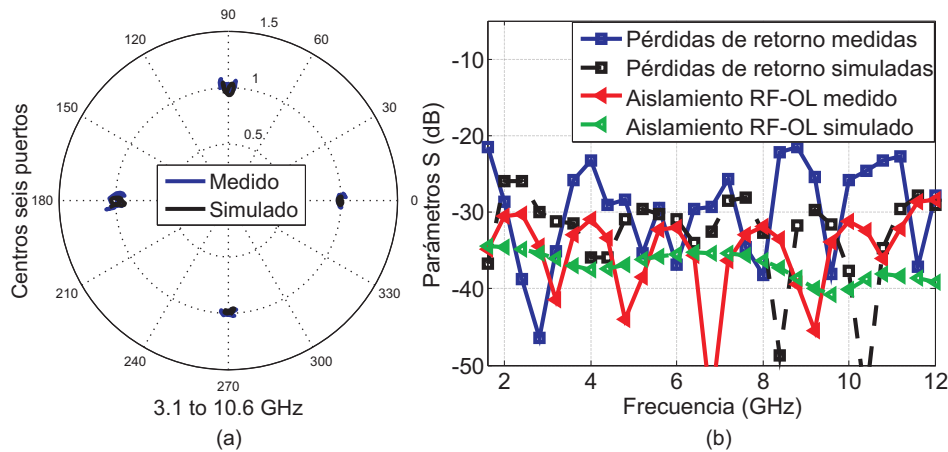


Figura 5.7.: Arquitectura de seis puertos formada por tres híbridos y un divisor de potencia. a) Centros en representación polar. b) Pérdidas de retorno y aislamiento.

Para comprender como pueden afectar los resultados obtenidos por esta arquitectura al futuro demodulador I/Q, se ha calculado el EVM de la misma respecto a la frecuencia, simulando la demodulación de los símbolos de la modulación QPSK en ausencia de ruido para cada punto de frecuencia. Además, se ha usado la ecuación propuesta para el cálculo del EVM (5.1), con el objetivo de corroborar su validez para analizar el comportamiento de redes de seis puertos reales. Los resultados obtenidos se muestran en la Fig. 5.9. Como se puede observar, en todos los casos los resultados obtenidos en simulación y los predichos por la ecuación (5.1) son casi coincidentes. Cuando se considera el término de DC ($R_{DC} \neq 0$) el comportamiento del demodulador se optimiza cuando la potencias de RX y LO toman valores muy próximos, consiguiendo un EVM menor del 2.5% (ver Fig. 5.9(a)). Dicho fenómeno ya se predijo de forma teórica en el análisis realizado en la subsección 2.4.2. Por otro lado, cuando se elimina el término de DC ($R_{DC} = 0$), el EVM del demodulador se minimiza cuando se usan valores reducidos del cociente P_{RX}/P_{LO} (i.e. $P_{RX}/P_{LO} \approx -15$ dB) hasta el 2.5% (ver Fig. 5.9(b)). En consecuencia, pese a que los errores de fase entre el híbrido y el divisor de potencia de la etapa de entrada podían haber sido una limitación impor-

5.4. Diseño de las arquitecturas de seis puertos en la banda de 3.1 a 10.6 GHz

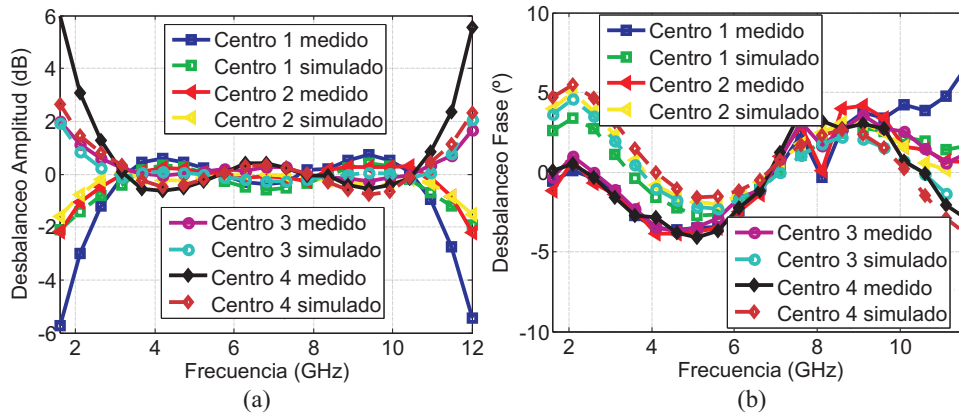


Figura 5.8.: Arquitectura de seis puertos formada por tres híbridos y un divisor de potencia. a) Desbalanceo en amplitud de los centros. b) Desbalanceo en fase de los centros.

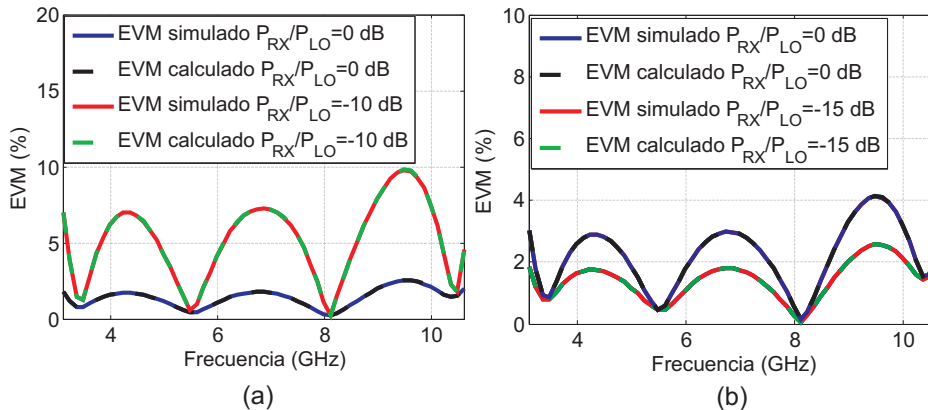


Figura 5.9.: EVM simulado y calculado (5.1) de la arquitectura de seis puertos formada por tres híbridos y un divisor de potencia. a) Considerando el término de DC ($R_{DC} \neq 0$). b) Sin considerar el término de DC ($R_{DC} = 0$).

tante, finalmente dicho error se ha mantenido acotado por debajo de los 5° , permitiendo a esta arquitectura conseguir un EVM por debajo del 2.5% en toda la banda UWB cuando se usa el cociente de potencias P_{RX}/P_{LO} adecuado. Los resultados conseguidos por esta arquitectura han sido publicados en [55].

5.4.2. Arquitectura formada por cuatro híbridos y un desfasador de 90°

Esta arquitectura de seis puertos se ha implementado usando el híbrido en cuadratura presentado en la subsección 3.8.3, el desfasador de 90° presentado en la subsección 4.2.1 y una vía de señal a través del plano de masa como la presentada en la subsección 5.3.1. El esquema circuital y la fotografía del prototipo fabricado se muestran en la Fig. 5.10.

Para verificar su funcionamiento este prototipo ha sido medido usando un VNA de dos puertos y cargas adaptadas en los puertos que no estaban siendo medidos, al

5. Arquitecturas de seis puertos en tecnología planar integrada

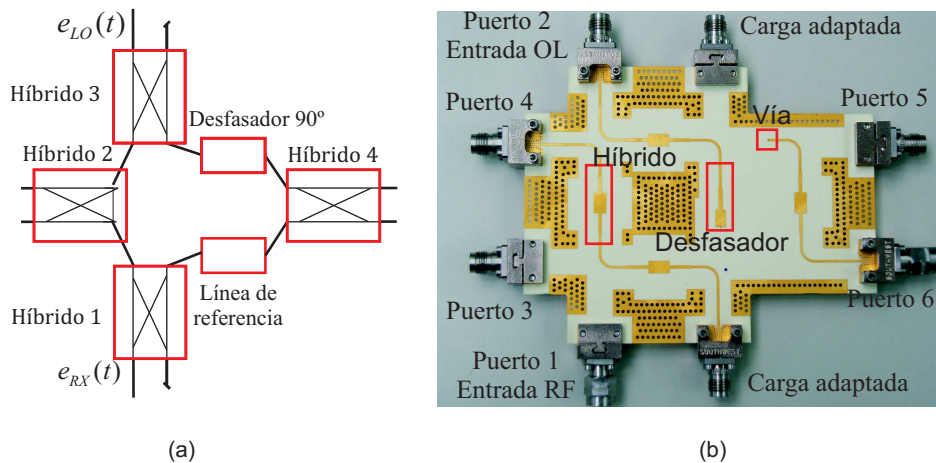


Figura 5.10.: Arquitectura de seis puertos formada por cuatro híbridos y un desfasador de 90° . a) Esquema circuital. b) Fotografía (tamaño total $66 \times 45 \text{ mm}^2$).

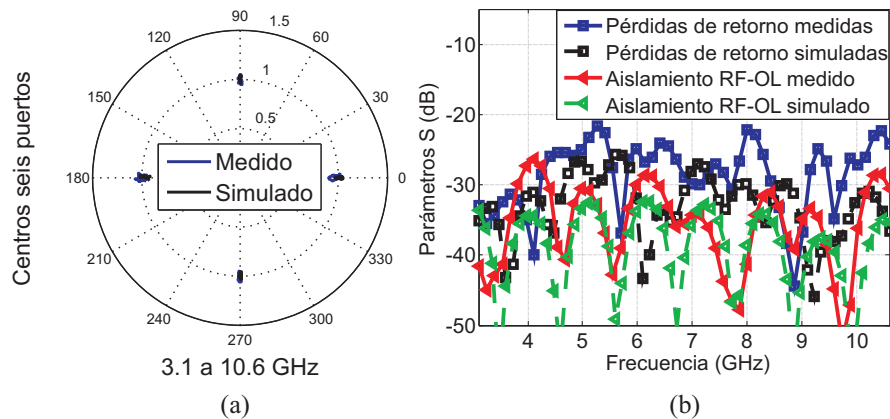


Figura 5.11.: Arquitectura de seis puertos formada por cuatro híbridos y un desfasador de 90° . a) Centros en representación polar. b) Pérdidas de retorno y aislamiento.

igual que se hizo con la arquitectura anterior. Los resultados obtenidos se muestran en las Fig. 5.11 y 5.12. Esta red de seis puertos ha conseguido excelentes resultados con unas pérdidas de retorno mejores de 22.5 dB y un aislamiento entre los puertos de RX y LO mejor de 28 dB, como se muestra en la Fig. 5.11(b). Además, los centros de esta red están perfectamente posicionados en 0° , 90° , 180° y 270° (ver Fig. 5.11(a)), y presentan un desbalanceo en amplitud menor de $\pm 0.8 \text{ dB}$ y un desbalanceo en fase menor de $\pm 2.5^\circ$ en la banda de 3.1 a 10.6 GHz, como se muestra en la Fig. 5.12. Estos resultados muestran claramente que esta nueva arquitectura no sólo mantiene los excelentes resultados obtenidos por la anterior, sino que reduce a la mitad el desbalanceo en fase de sus centros. Dicha mejora se consigue gracias a la especial configuración de este circuito, que permite eliminar el error de fase común de sus cuatro híbridos (como ya se explicó en el capítulo 2), y a las excelentes prestaciones de desfasador que utiliza, con un error de fase menor de $\pm 2.5^\circ$ en la banda UWB.

Al igual que en la subsección anterior, se ha calculado el EVM de esta arquitectura

5.4. Diseño de las arquitecturas de seis puertos en la banda de 3.1 a 10.6 GHz

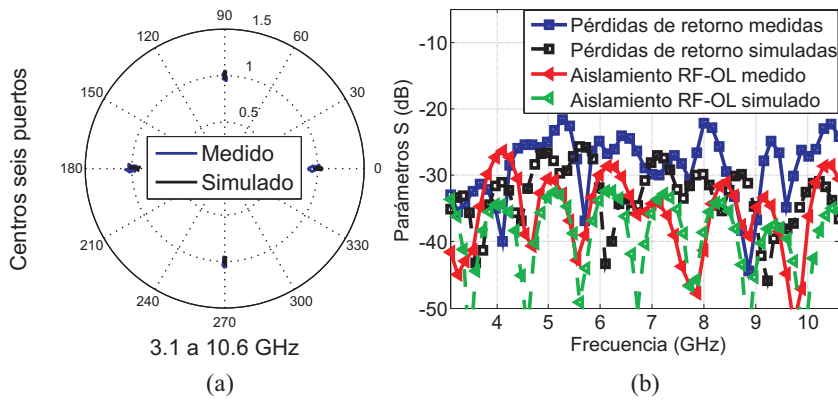


Figura 5.12.: Arquitectura de seis puertos formada por cuatro híbridos y un desfasador de 90° . a) Desbalanceo en amplitud de los centros. b) Desbalanceo en fase de los centros.

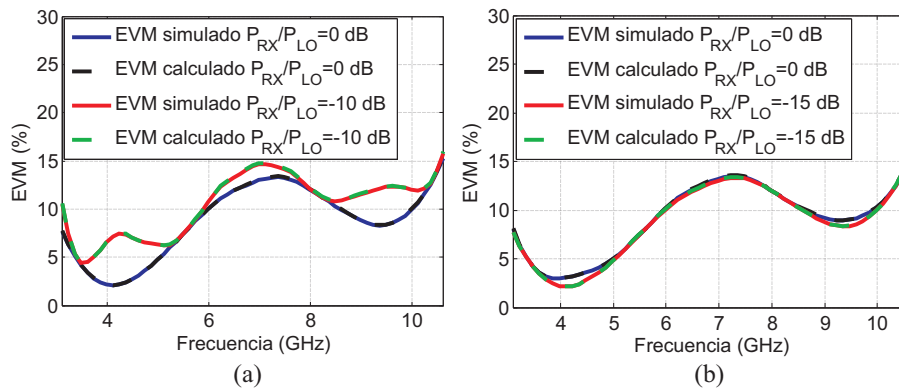


Figura 5.13.: EVM simulado y calculado (5.1) de la arquitectura de seis puertos formada por cuatro híbridos y un desfasador de 90° cuando el AGC es común para los canales I/Q. a) Considerando el término de DC ($R_{DC} \neq 0$). b) Sin considerar el término de DC ($R_{DC} = 0$).

respecto a la frecuencia mediante simulación y usando la ecuación propuesta (5.1). Sin embargo, en este caso se han considerado dos situaciones distintas: i) la utilización de un AGC común para los canales I/Q, y ii) la utilización de un AGC diferente para cada canal, pudiéndose ver los resultados obtenidos en ambos casos en las Fig. 5.13 y 5.14. Si se considera un AGC común para los canales I/Q, esta arquitectura presenta un EVM muy elevado de hasta el 15% para cualquier relación de potencias P_{RX}/P_{LO} , como se observa en la Fig. 5.13. Además, se observa que en este caso eliminar la componente de DC no mejora los resultados (ver Fig. 5.13(b)). La causa de esta degradación del EVM está en las pérdidas de inserción adicionales que introducen el desfasador y su línea de referencia, como se explicó en la subsección 2.6.2. Dichas pérdidas de inserción atenúan uno de los ejes de referencia respecto al otro, contrayendo y deformando la constelación en ese eje. Esto incrementa el error producido por el desbalanceo de los ejes de referencia (I_A), que se convierte en el error dominante. Por el contrario, si se considera un AGC distinto para cada canal, los resultados

5. Arquitecturas de seis puertos en tecnología planar integrada

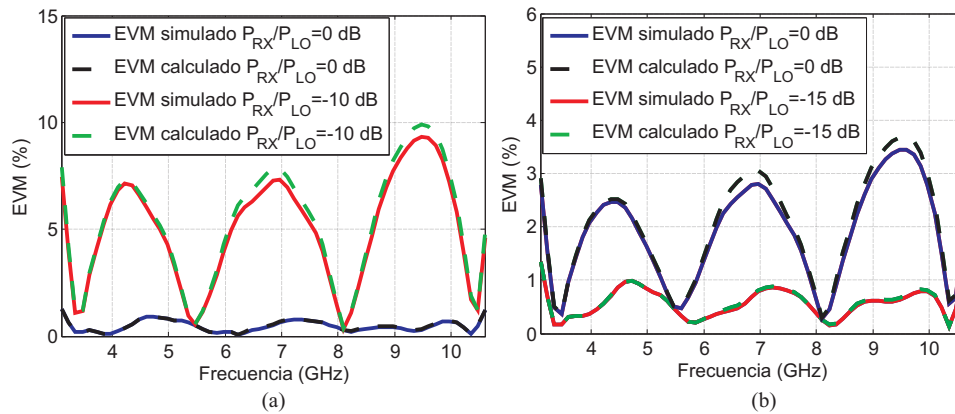


Figura 5.14.: EVM simulado y calculado (5.1) de la arquitectura de seis puertos formada por cuatro híbridos y un desfasador de 90° cuando el AGC es diferente en cada canal. a) Considerando el término de DC ($R_{DC} \neq 0$). b) Sin considerar el término de DC ($R_{DC} = 0$).

mejoran drásticamente, como se puede observar en la Fig. 5.14. En esta situación, si se considera el término de DC ($R_{DC} \neq 0$) el comportamiento del demodulador se optimiza cuando la potencias de RX y LO toman valores muy próximos, consiguiendo un EVM menor del 1.4% (ver Fig. 5.14(a)). Además, si se elimina el término de DC ($R_{DC} = 0$), el EVM del demodulador mejora cuando se usan valores reducidos del cociente P_{RX}/P_{LO} hasta el 1.3% (ver Fig. 5.14(b)). En definitiva, definiendo únicamente un AGC diferente en cada canal para compensar las pérdidas introducidas por el desfasador (cuyo valor es conocido a priori), esta arquitectura consigue un EVM por debajo del 1.4% en toda la banda UWB cuando se usa el cociente de potencias P_{RX}/P_{LO} adecuado. Los resultados conseguidos por esta arquitectura han sido publicados en [56].

5.4.3. Arquitectura formada por dos híbridos, dos divisores de potencia y un desfasador de 90°

Esta arquitectura de seis puertos se ha implementado haciendo uso del híbrido en cuadratura, del divisor de potencia y de la vía de señal a través del plano de masa. El esquema circuital y la fotografía de esta arquitectura se muestran en la Fig. 5.15.

Para verificar su funcionamiento este prototipo ha sido medido siguiendo el mismo procedimiento que con las anteriores arquitecturas, y los resultados obtenidos se muestran en las Fig. 5.16 y 5.17. Esta red de seis puertos ha conseguido buenos resultados con unas pérdidas de retorno mejores de 19 dB y un aislamiento entre los puertos de RX y LO mejor de 30 dB, como se muestra en la Fig. 5.16(b). Respecto a los centros de la arquitectura, los centros de esta red están perfectamente posicionados en 0° , 90° , 180° y 270° (ver Fig. 5.16(a)), y presentan un desbalanceo en amplitud menor de ± 0.8 dB y un desbalanceo en fase menor de $\pm 3^\circ$ en la banda de 3.1 a 10.6 GHz, como se muestra en la Fig. 5.17.

Al igual que en la subsección anterior, se ha calculado el EVM de esta arquitectura respecto a la frecuencia mediante simulación y usando la ecuación propuesta

5.4. Diseño de las arquitecturas de seis puertos en la banda de 3.1 a 10.6 GHz

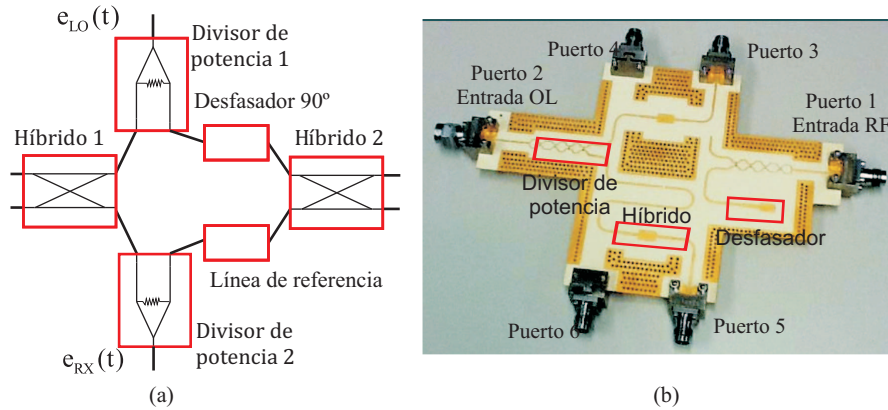


Figura 5.15.: Arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfasador de 90° . a) Esquema circuital. b) Fotografía (tamaño total: $110 \times 55 \text{ mm}^2$).

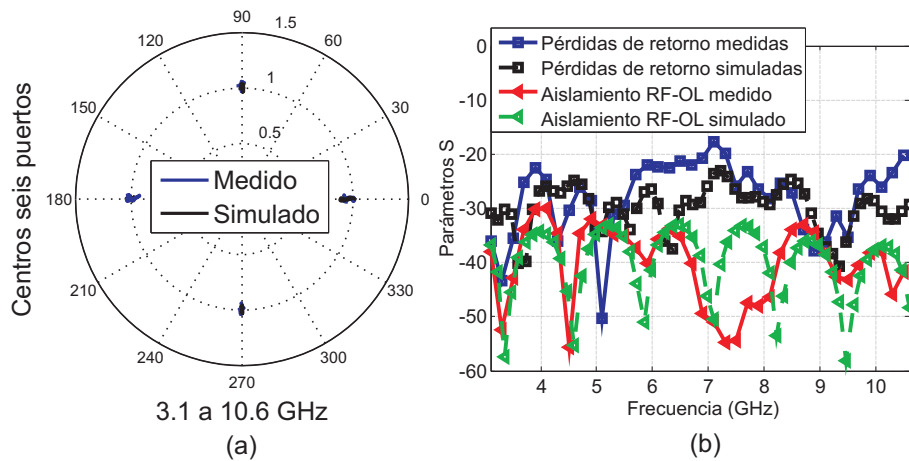


Figura 5.16.: Arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfasador de 90° . a) Centros en representación polar. b) Pérdidas de retorno y aislamiento.

(5.1) considerado dos situaciones distintas: i) la utilización de un AGC común para los canales I/Q, y ii) la utilización de un AGC diferente para cada canal. Los resultados obtenidos en ambos casos se muestran en las Fig. 5.18 y 5.19. Si se considera un AGC común para los canales I/Q, esta arquitectura presenta un EVM muy elevado de hasta el 14% para niveles bajos del cociente P_{RX}/P_{LO} cuando no se elimina el término de DC ($R_{DC} \neq 0$), como se observa en la Fig. 5.18(a). Sin embargo usando el cociente de potencias P_{RX}/P_{LO} adecuado o eliminando el término de DC ($R_{DC} = 0$), el EVM baja hasta el 12% (ver Fig. 5.18). En consecuencia, las pérdidas de inserción del desfasador y su línea de referencia también incrementan el error producido por el desbalanceo de los ejes de referencia (I_A) en este caso. Sin embargo, este circuito tiene dos divisores de potencia en su etapa de entrada que no introducen desbalanceo en amplitud, por lo que el EVM no se degrada tanto como en la arquitectura presentada de la

5. Arquitecturas de seis puertos en tecnología planar integrada

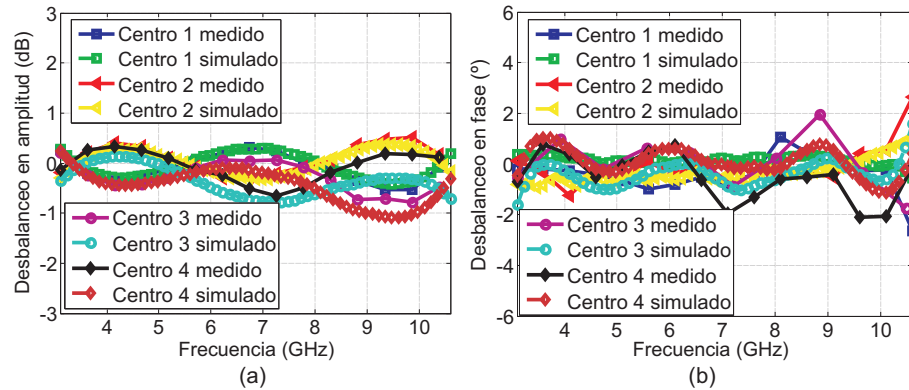


Figura 5.17.: Arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfasador de 90° . a) Desbalanceo en amplitud de los centros. b) Desbalanceo en fase de los centros.

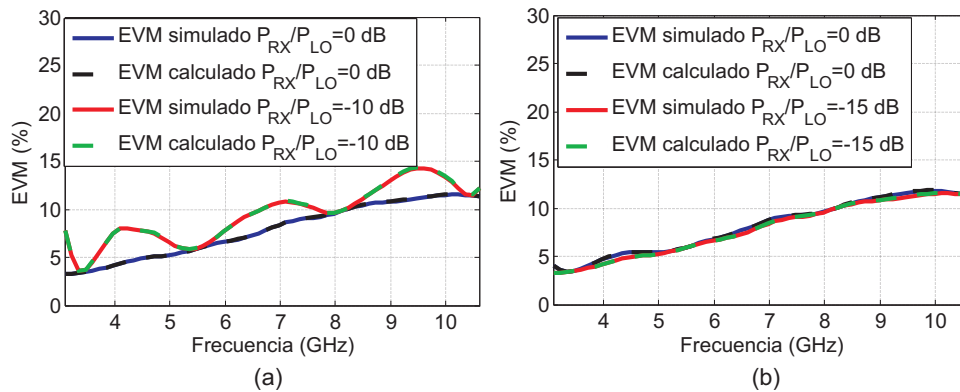


Figura 5.18.: EVM simulado y calculado (5.1) de la arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfasador de 90° cuando el AGC es común para los canales I/Q. a) Considerando el término de DC ($R_{DC} \neq 0$). b) Sin considerar el término de DC ($R_{DC} = 0$).

anterior subsección. Si se considera un AGC distinto para cada canal, los resultados mejoran drásticamente, como se puede observar en la Fig. 5.19. En esta situación, si se considera el término de DC ($R_{DC} \neq 0$) el comportamiento del demodulador se optimiza cuando la potencias de RX y LO toman valores muy próximos, consiguiendo un EVM menor del 1% (ver Fig. 5.18(a)). Además, si se elimina el término de DC ($R_{DC} = 0$), el EVM del demodulador mejora cuando se usan valores reducidos del cociente P_{RX}/P_{LO} hasta llegar también al 1% (ver Fig. 5.19(b)).

5.4.4. Comparativa

Esta sección tiene como objetivo comparar los resultados obtenidos de las diferentes arquitecturas en detalle, poniendo de manifiesto las ventajas e inconvenientes de cada una de ellas de cara a su incorporación final en el demodulador I/Q de seis puertos a desarrollar.

5.4. Diseño de las arquitecturas de seis puertos en la banda de 3.1 a 10.6 GHz

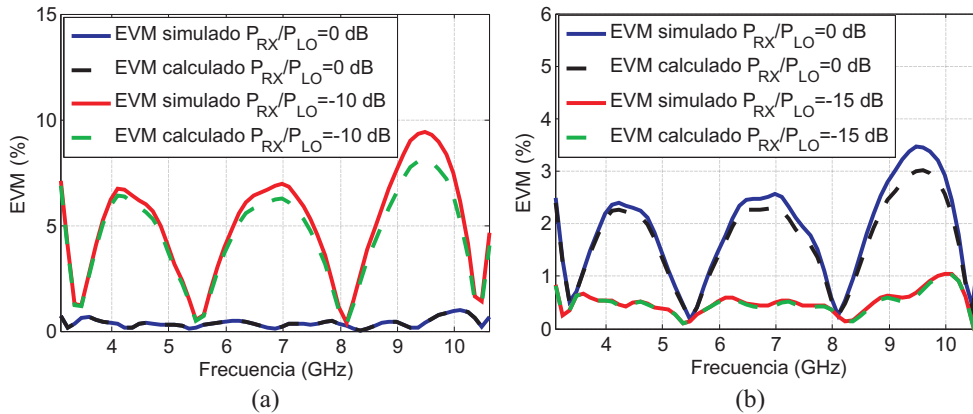


Figura 5.19.: EVM simulado y calculado ((5.1) de la arquitectura de seis puertos formada por dos híbridos, dos divisores y un desfasador de 90° cuando el AGC es diferente en cada canal. a) Considerando el término de DC ($R_{DC} \neq 0$). b) Sin considerar el término de DC ($R_{DC} = 0$).

En general las tres arquitecturas han mostrado un muy buen comportamiento en toda la banda UWB (desde 3.1 hasta 10.6 GHz), mejorando los resultados anteriormente publicados [18, 19, 22, 41–44], y haciendo posible el diseño de demoduladores I/Q con un bajo nivel de EVM sin necesidad de recurrir a la calibración del hardware. Centrándonos en la comparativa, los tres parámetros en consideración son los resultados obtenidos de las medidas de cada una de ellas, el EVM calculado y el tamaño de los circuitos:

1. Analizando los parámetros S, todas las arquitecturas han presentado resultados similares en cuanto a pérdidas de retorno y aislamiento. Además, todas presentan un desbalanceo en amplitud similar en sus centros, apareciendo las principales diferencias en el desbalanceo en fase. En este caso, la arquitectura formada por tres híbridos y un divisor de potencia presenta el peor resultado (5°) debido al diferente comportamiento en fase con la frecuencia del divisor de potencia y del híbrido en cuadratura de su etapa de entrada. Por el contrario, la arquitectura formada por cuatro híbridos y un desfasador es la que presenta mejores resultados con un desbalanceo en fase menor de 2.5° gracias a la especial configuración de este circuito, que permite eliminar el error de fase común de sus cuatro híbridos.
2. Analizando el EVM calculado, la arquitectura formada por tres híbridos y un divisor de potencia (subsección 5.4.1) es la única opción viable (con un EVM menor del 2.5%) si sólo se implementa un AGC común para los canales I/Q. Las otras dos arquitecturas presentan un EVM mayor del 12%, debido a las pérdidas de inserción adicionales que introducen el desfasador y su línea de referencia. Sin embargo, dada la naturaleza determinista de dichas pérdidas, la implementación de un AGC distinto para cada canal que compense dicho efecto no parece un impedimento importante. Así, si se considera un AGC distinto para cada canal, los resultados de las arquitecturas presentadas en las subsecciones 5.4.2

5. Arquitecturas de seis puertos en tecnología planar integrada

y 5.4.3 mejoran drásticamente hasta el 1.4% y el 1% respectivamente, superando nuevamente los resultados que ha conseguido la arquitectura formada por tres híbridos y un divisor de potencia.

3. Analizando el tamaño de los tres circuitos (incluidos en los pies de figura de las Fig. 5.6, 5.10 y 5.15), la arquitectura formada por cuatro híbridos y un desfasador es claramente la más compacta, con un tamaño de $66 \times 45 \text{ mm}^2$ que reduce casi a la mitad el área de la arquitectura formada por dos híbridos, dos divisores y un desfasador ($110 \times 55 \text{ mm}^2$).

En conclusión, la arquitectura formada por cuatro híbridos y un desfasador demuestra ser la arquitectura más interesante siempre que sea posible implementar un AGC distinto para cada canal, ya que es el circuito más compacto y que mejores resultados ofrece. Sin embargo, si no es posible implementar dicho AGC, la red de seis puertos formada por tres híbridos y un divisor de potencia se convierte en la opción más viable para diseñar el demodulador de seis puertos con generación I/Q analógica.

5.5. Conclusiones

En esta capítulo se ha presentado el diseño del divisor de potencia en la banda de 3.1 a 10.6 GHz. Dicho elemento era el único que faltaba por diseñar para poder implementar la arquitecturas analizadas en el capítulo 2. En su diseño se ha optado por la realización de un divisor Wilkinson de cuatro secciones. Esta elección se debe a que este tipo de dispositivos consiguen que sus salidas estén perfectamente balanceadas en amplitud y fase, lo que reduce los posibles desbalances de los centros de las redes de seis puertos. Este circuito ha sido fabricado y medido presentando unas pérdidas de inserción mejores de 3.8 dB, unas pérdidas de retorno mejores de 20 dB y un aislamiento mejor de 21 dB en toda la banda salvo al final, donde este decrece hasta los 16 dB. Además, el circuito ha presentado un desbalanceo en módulo y fase prácticamente nulos entre sus puertos de salida.

Utilizando el divisor de potencia, así como el híbrido en cuadratura y el desfasador de 90° presentados en los capítulos 3 y 4, se han implementado, evaluado y comparado las tres arquitectas de seis puertos que se analizaron en el capítulo 2. Todas ellas han presentado excelentes resultados mejorando las anteriores propuestas, pero la arquitectura formada por cuatro híbridos y un desfasador es la que ha conseguido mejores resultados. Este circuito ha conseguido unas pérdidas de retorno mejores de 22.5 dB y un aislamiento entre los puertos de RX y LO mejor de 28 dB. Además, los centros de esta red están perfectamente posicionados en 0° , 90° , 180° y 270° y presentan un desbalanceo en amplitud menor de $\pm 0.8 \text{ dB}$ y un desbalanceo en fase menor de $\pm 2.5^\circ$ en su banda de operación (3.1 a 10.6 GHz).

A partir de los resultados obtenidos en la caracterización de las tres redes de seis puertos se ha calculado el EVM de los tres prototipos implementados, mediante simulación y usando la fórmula propuesta. En todos los casos se ha obtenido una excelente correlación entre los resultados simulados y los estimados, lo que demuestra la validez de dicha fórmula para evaluar el comportamiento de una arquitectura de seis puertos real. En cuanto a los resultados obtenidos, las redes que hacen uso de un

5.5. Conclusiones

desfasador de 90° presentan un EVM muy grande (mayor del 12%) cuando se utiliza un AGC común para los canales I/Q. Dicho resultado ya se predijo en el capítulo 2 y se debe a las pérdidas adicionales que introducen el desfasador y su línea de referencia, que deforman la constelación recibida. Sin embargo, implementando un AGC distinto para cada canal, dichas arquitecturas mejoran los resultados obtenidos por la red formada por tres híbridos y un desfasador, consiguiendo un EVM menor de 1.4% en toda la banda UWB cuando se usa la relación de potencias P_{RX}/P_{LO} adecuada.

De la comparativa realizada se ha deducido que la opción más interesante para la implementación del demodulador de seis puertos con generación I/Q analógica es la red formada por cuatro híbridos y un desfasador, ya que éste es el circuito más compacto y que mejores resultados ofrece. Así, esta arquitectura ha sido la finalmente seleccionada para la implementación del demodulador, como se mostrará en el próximo capítulo.

5. *Arquitecturas de seis puertos en tecnología planar integrada*

6

Demodulador I/Q basado en una arquitectura de seis puertos

Una vez se ha diseñado la red pasiva de seis puertos capaz de cubrir toda la banda UWB (3.1 a 10.6 GHz), en este capítulo se aborda finalmente la implementación y evaluación del demodulador I/Q de seis puertos. Con este objetivo, el capítulo 6 se ha organizado de la siguiente forma. En la sección 6.2 se estudian las especificaciones que deben cumplir las etapas de detección y amplificación del demodulador para acondicionar la señal de salida al equipo de medida disponible. En la sección 6.3 se aborda el diseño de la etapa de de detección del demodulador. En la sección 6.4 se aborda el diseño de la etapa de amplificación banda base del demodulador. En la sección 6.5 se presenta el prototipo final del demodulador I/Q de seis puertos implementado. En la sección 6.6 se explica en detalle el funcionamiento de la estación de medida automatizada empleada en la evaluación del demodulador. En la sección 6.7 se presentan los resultados obtenidos en la demodulación de diferentes constelaciones. Finalmente, en la sección 6.8 presentan las conclusiones de este capítulo.

6.1. Introducción

En el capítulo 5 de esta Tesis se han implementado, evaluado y comparado tres arquitecturas de seis puertos diferentes. De la comparativa realizada se ha decidido seleccionar la red formada por cuatro híbridos y un desfasador para el diseño del demodulador, ya que ésta presenta el circuito más compacto y es la que mejores resultados ofrece. Así, el siguiente paso para la implementación del demodulador I/Q de seis puertos consiste en diseñar las etapas de detección y amplificación que permitan recuperar las señales I/Q a partir de las cuatro salidas que proporciona esta red de seis puertos.

Como ya se comentó en el capítulo 2, el demodulador I/Q de seis puertos analógico permite reducir a la mitad el número de conversores A/D necesarios. Sin embargo, éste requiere a su vez un hardware con unos requisitos más exigentes, ya que a la salida del demodulador sólo se dispone de los símbolos I/Q para realizar las operaciones de post-procesado tras la conversión analógico-digital. Esta exigencia en el hardware no se reduce únicamente a diseñar la red de seis puertos de forma apropiada (míni-

6. Demodulador I/Q basado en una arquitectura de seis puertos

mo desbalanceo en sus centros), sino que también requiere una etapa de detección de altas prestaciones. De hecho, el diseño de la etapa de detección es considerado uno de los principales retos en el diseño del demodulador. Ésta tiene que ser capaz de cubrir toda la banda UWB (3.1 a 10.6 GHz) con un buen nivel de adaptación a la entrada, un margen dinámico aceptable y una sensibilidad lo más constante posible dentro de la banda de operación. Además, el conjunto de las etapas de detección y amplificación tienen que acondicionar el nivel de la señal de salida del demodulador al requerido por los equipos de medida disponibles. Así, como paso inicial en el diseño de las etapas de detección y acondicionamiento, en la siguiente sección se estudian las especificaciones que ambas etapas deben cumplir para permitir un correcto funcionamiento del demodulador y su posterior evaluación.

6.2. Consideraciones previas y especificaciones de las etapas de detección y amplificación

El elemento clave en las etapas de detección y amplificación es el detector de potencia. Éste debe cubrir todo el ancho de banda del demodulador (3.1 a 10.6 GHz) cumpliendo los siguientes requisitos:

- Tener una sensibilidad lo más constante posible dentro de la banda de operación.
- Ofrecer un margen dinámico de funcionamiento razonable dentro de la zona cuadrática.
- Presentar una impedancia de entrada de $50\ \Omega$, para que las salidas de la red de seis puertos estén correctamente adaptadas.

Sin embargo, estos requisitos son muy difíciles de conseguir debido a las prestaciones que ofrecen los detectores de potencia comerciales. En primer lugar, estos circuitos presentan resonancias en su respuesta en frecuencia (debido a sus reactancias parásitas) que hacen que la sensibilidad del detector deje de ser constante en las frecuencias próximas a las mismas. Así, para conseguir una sensibilidad constante hasta los 10.6 GHz es necesario buscar un detector cuyas reactancias parásitas sean lo más pequeñas posibles. En concreto, este tipo de circuitos suelen presentar en su modelo circuital una inductancia parásita a la entrada que controla en gran medida la posición de la primera frecuencia de resonancia, por lo que es prioritario encontrar un detector cuya inductancia parásita de entrada sea lo menor posible. En segundo lugar, la teoría de seis puertos requiere que los detectores trabajen en zona cuadrática para que el demodulador presente el comportamiento adecuado. Esto limita en gran medida el margen dinámico de funcionamiento de los detectores, ya que hay una potencia mínima de entrada en la que la señal se hace comparable al ruido, y una potencia máxima en la que el detector deja de trabajar en la zona cuadrática. Para maximizar este margen dinámico es necesario buscar un detector que introduzca poco ruido y que sea capaz de trabajar con la mayor potencia posible a la entrada sin dejar de trabajar en su zona cuadrática. Finalmente, los detectores de potencia presentan típicamente una alta impedancia de entrada de varios miles de ohmios, lo que desadapta por

completo las salidas de la red de seis puertos. Para solucionar este problema se suele introducir una red de adaptación a la entrada del detector y una resistencia de $50\ \Omega$ en paralelo. Sin embargo, esta solución reduce de forma notoria la potencia de señal que llega a los detectores.

Una vez se conocen las especificaciones y principales limitaciones de los detectores de potencia, es importante considerar cuál es el equipo de medida con el que se va a evaluar las prestaciones del demodulador. La explicación es simple, el equipo de medida impone unas restricciones en cuanto al ancho de banda y el nivel de señal que las salidas I/Q del demodulador deben cumplir para poder evaluar su comportamiento de forma adecuada. Así, la etapa de amplificación debe de acondicionar el nivel de las señales I/Q del demodulador al requerido por el equipo de medida.

En esta Tesis se hace uso de la tarjeta de adquisición de datos Adlink PCI-9812 [178] para realizar la conversión analógico-digital de las señales I/Q banda base. Las principales características eléctricas de esta tarjeta son:

- Tensión de entrada en el rango de $\pm 1V$ o $\pm 5V$.
- Impedancia de entrada de $50\ \Omega$.
- Máxima frecuencia de muestreo de 20 Mmuestras/sg.
- Cuatro canales de entrada configurables.

Dado que los detectores de potencia suelen ofrecer tensiones en torno a 10-30 mV al límite de la zona cuadrática, la etapa de amplificación tiene de ser capaz de ofrecer una amplificación en torno a 100 V/V con un ancho de banda mínimo de 10 MHz. Así, las características principales que debe cumplir el amplificador seleccionado son:

- Producto ganancia ancho de banda (GBW) mayor de 1 GHz si se usa una sola etapa o mayor de 200 MHz si se usan dos etapas.
- Bajo nivel de ruido.
- Bajo nivel de offset.
- Un alto nivel de slew-rate que soporte señales con tensiones de salida hasta 5V y frecuencias hasta 10 MHz.

6.3. Diseño etapa de detección

Los detectores de potencia son utilizados en el ámbito de los receptores para convertir señales moduladas en alta frecuencia a banda base. En estos circuitos el diodo introduce una respuesta no lineal de tipo exponencial entre la potencia de entrada y la tensión/corriente de salida. Sin embargo, ante excitaciones de baja intensidad, este comportamiento exponencial se puede aproximar por un comportamiento cuadrático. Este fenómeno es perfectamente comprensible si se aproxima el comportamiento exponencial de diodo mediante una serie de Taylor, ya que ante señales de baja intensidad todos los términos de la serie de Taylor a partir del segundo se anulan prácticamente.

6. Demodulador I/Q basado en una arquitectura de seis puertos

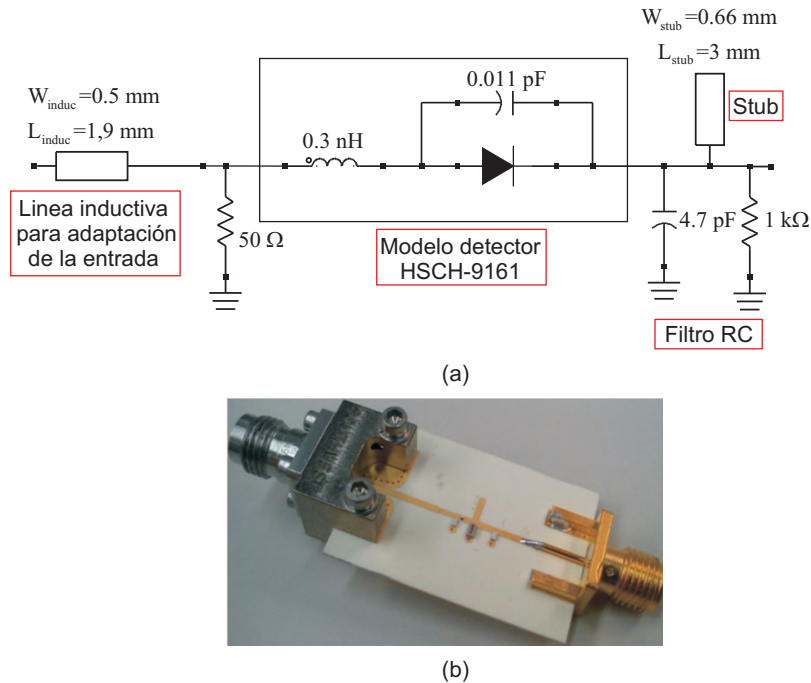


Figura 6.1.: Detector simple o “single ended”. a) Esquema circuital. b) Fotografía del prototipo fabricado.

Como ya se comentó en la sección anterior, el detector de potencia tiene que cubrir el ancho de banda del demodulador (3.1 a 10.6 GHz) con una sensibilidad constante con la frecuencia. Después de realizar un minucioso estudio sobre las características de los detectores de potencia de banda ancha que ofertan los fabricantes, se ha optado por utilizar el detector HSC-9161 de Avago [179]. Éste presenta una muy baja inductancia de entrada (menor de 0.3 nH) y una baja capacidad de la unión ($C_j = 0.035 \text{ pF}$), que permiten trabajar en todo el ancho de banda del demodulador con una sensibilidad relativamente constante. Mediante el uso de este diodo se ha diseñado el detector simple o “single ended” que se muestra en la siguiente subsección.

6.3.1. Etapa de detección simple

Este circuito sólo se encarga de detectar las señales de las cuatro salidas de la red de seis puertos de forma independiente. Así, el uso de esta etapa de detección requiere de circuitería adicional que realice la resta analógica de las cuatro salidas dos a dos para obtener las señales I/Q. Dado que este circuito se conecta a los puertos de salida de la red de seis puertos, es fundamental que presente una impedancia de entrada de 50Ω que asegure el correcto funcionamiento del demodulador. Sin embargo, el detector de potencia el HSC-9161 presenta a su entrada una impedancia de vídeo entre 2.5 y 7 K Ω . Como ya se ha dicho anteriormente, este problema se soluciona introduciendo una resistencia de 50Ω en paralelo a la entrada del detector de potencia. El gran inconveniente de esta solución es la notable pérdida de sensibilidad que provoca, ya que la mayor parte de la potencia se disipa en forma de calor en la resistencia

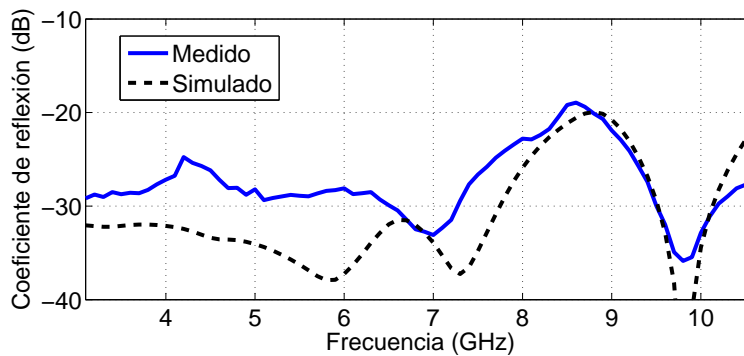


Figura 6.2.: Coeficiente de reflexión medido y simulado del detector simple o “single ended”.

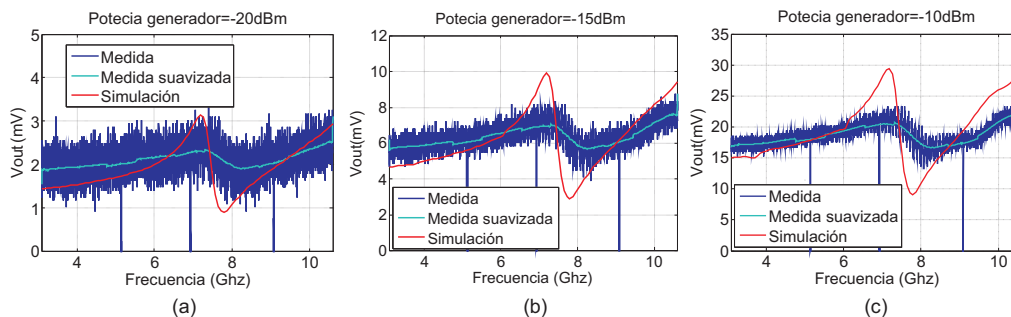


Figura 6.3.: Tensión a la salida en función de la frecuencia para diferentes niveles de la potencia del generador. a) Potencia = -20 dBm. b) Potencia = -15 dBm. c) Potencia = -10 dBm.

de 50Ω y no pasa por el diodo detector de potencia. Existen soluciones intermedias basadas en utilizar cargas de $100\text{-}200\Omega$, pero éstas provocan una importante degradación del coeficiente de reflexión.

En el diseño realizado, cuyo esquema circuital se muestra en la Fig. 6.1(a), se ha introducido una carga de 50Ω en paralelo a la entrada del detector de potencia junto con una red de adaptación muy simple basada en una pista que modela una pequeña inductancia, pero que es capaz de conseguir un buen nivel de adaptación en la banda de 3.1 a 10.6 GHz. Además, se ha colocado un filtro RC paso bajo a la salida de este circuito con el objetivo de i) filtrar la señal de RF, y ii) convertir a tensión la corriente de salida del detector de potencia (mediante la resistencia del filtro RC) maximizando el margen dinámico en régimen cuadrático del mismo. Por último, en este circuito se ha introducido un “stub” en circuito abierto a la salida del detector de potencia para ayudar al condensador del filtro RC a cortocircuitar la señal de RF y conseguir que el detector de potencia presente una sensibilidad más estable en la banda de operación. Todos los valores y dimensiones de los elementos circuitales utilizados se incluyen en el esquema de la Fig. 6.1(a).

Una vez diseñado, este circuito ha sido fabricado y medido para evaluar sus prestaciones de cara a su utilización en el prototipo final del demodulador. La fotografía del

6. Demodulador I/Q basado en una arquitectura de seis puertos

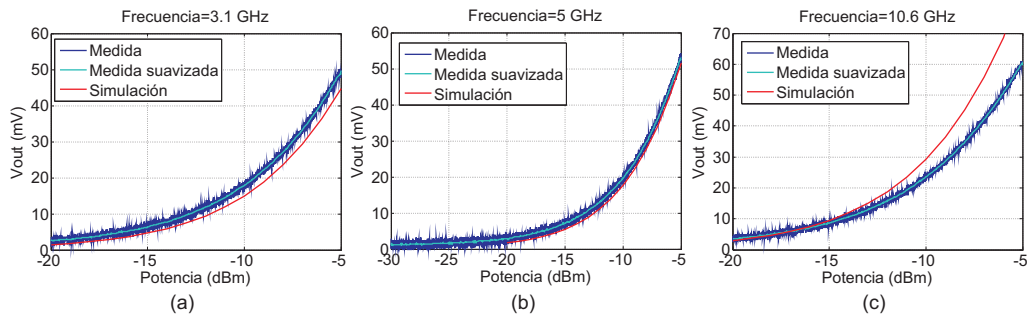


Figura 6.4.: Tensión a la salida en función de la potencia del generador para diferentes puntos de frecuencia. a) $f_o=3.1$ GHz. b) $f_o=5$ GHz. c) $f_o=10.6$ GHz.

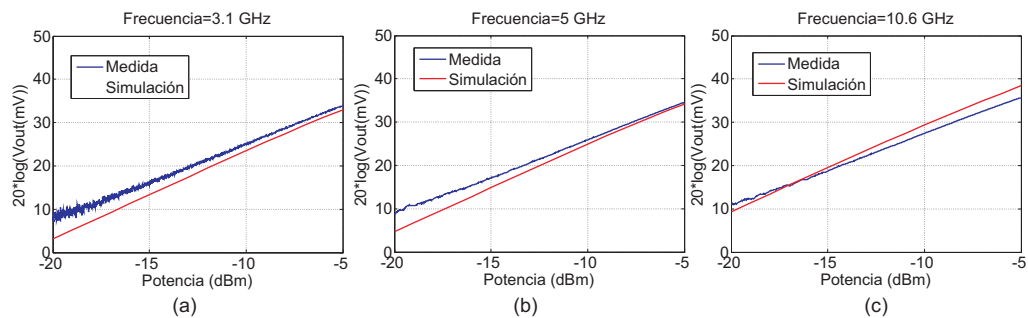


Figura 6.5.: Tensión a la salida en escala logarítmica en función de la potencia del generador para diferentes puntos de frecuencia. a) $f_o=3.1$ GHz. b) $f_o=5$ GHz. c) $f_o=10.6$ GHz.

circuito implementado se muestra en la Fig. 6.1(b) y la comparativa entre los resultados medidos y simulados se presenta en las Fig. 6.2, 6.3, 6.4 y 6.5. La Fig. 6.2 muestra que el circuito diseñado presenta un buen coeficiente de reflexión mejor de -20 dB en la banda de 3.1 a 10.6 GHz, muy similar a los resultados obtenidos en simulación. Esto asegura que la utilización de esta etapa no afecta a las prestaciones de la red de seis puertos. En la Fig. 6.3 se presenta la tensión de este circuito a la salida al barrer con un tono toda la banda de operación para distintas potencias del generador. Como se puede observar, el detector presenta una sensibilidad aceptablemente constante en toda la banda que varía entre los 2 mV para una potencia del generador de -20 dBm, y los 20 mV para una potencia del generador de -10 dBm. Las diferencias observadas entre la medida y la simulación de la sensibilidad del diodo con la frecuencia se deben a las limitaciones del modelo circuital implementado. Así, se decidió fabricar el circuito para tener más información sobre el comportamiento del mismo. Finalmente, se comprobó que los resultados medidos eran mejores de los esperados, por lo que se ha mantenido este diseño original. En la Fig. 6.4 se presenta el comportamiento de la tensión de salida del detector en función de la potencia del generador para distintos puntos de la banda de frecuencia. En estas figuras se aprecia una buena concordancia entre las medidas y la simulación, salvo a la frecuencia de 10.6 GHz (ver Fig. 6.4(c)). Aquí las diferencias apreciadas ya en la Fig. 6.3 al final de la banda se hacen evidentes y se deben a que el modelo circuital ya no se ajusta de forma tan precisa en la

6.4. Diseño de la etapa de amplificación y acondicionamiento

banda de frecuencias cercana a los 10 GHz. Por último, en la Fig. 6.5 se muestra la tensión del detector en función de la potencia del generador en forma logarítmica. Esta figura muestra el excelente comportamiento cuadrático de este circuito detector hasta potencias de entrada de -8 dBm, ofreciendo casi 30 mV a la salida sin necesidad de amplificación. En general, los resultados obtenidos muestran claramente que el detector simple o “single-ended” es una opción muy interesante para el diseño del demodulador I/Q de seis puertos, por lo que es el circuito que se ha decidido utilizar en su implementación.

6.4. Diseño de la etapa de amplificación y acondicionamiento

Una vez elegido tanto el detector de potencia HSCH-9161 como la configuración de detección simple o “single-ended”, el siguiente paso consiste en la elección del amplificador operacional y el diseño de la etapa amplificación y acondicionamiento a utilizar. Para ello, es necesario tener en cuenta tanto las prestaciones del detector diseñado, como las características de la tarjeta de adquisición de datos Adlink PCI-9812 [178] (incluidas en la sección 6.2).

Para decidir la amplificación que debe proporcionar la etapa amplificadora hay que estudiar tanto la tensión que pueden ofrecer a la salida de los detectores de potencia, como la tensión que puede soportar la tarjeta de adquisición de datos. Por un lado, el circuito detector diseñado es capaz de ofrecer a la salida unos 28 mV al límite de la zona cuadrática, por el otro la tarjeta de adquisición de datos puede trabajar con un rango de tensiones a la entrada de $\pm 1V$ o $\pm 5V$. Comparando ambos datos se deduce que lo más adecuado es fijar una amplificación en torno a 90 V/V. Esto permitiría trabajar con la tarjeta usando todos sus bits cuando está configurada para tensiones de $\pm 1V$, o sólo desperdiciando dos de sus bits cuando está configurada para tensiones de $\pm 5V$.

Una vez decidida la amplificación, el segundo parámetro importante a decidir es el ancho de banda de la etapa de amplificación. Dado que la tarjeta de adquisición de datos seleccionada sólo puede muestrear señales de hasta 10 MHz de ancho de banda, la etapa de amplificación debe tener un ancho de banda y un slew-rate capaz de soportar señales con una frecuencia máxima de 10 MHz y $\pm 2V$ de amplitud.

Conocidas tanto la ganancia como el ancho de banda necesarios, el siguiente paso es decidir el número de etapas de amplificación a utilizar. Dado que la etapa amplificadora no sólo tiene que amplificar la señal de salida de los detectores, sino que también tiene que realizar la resta analógica para obtener las señales I/Q, lo más sencillo es usar dos etapas: i) una primera etapa formada por dos amplificadores no inversores, y ii) una segunda etapa formada por un amplificador diferencial que realice la resta analógica. Esto permite relajar notablemente los requisitos del GBW del amplificador a elegir hasta los 200 MHz.

Después de estudiar las prestaciones de diversos amplificadores operacionales se ha optado por utilizar el OPA656 de Texas Instruments [180], que tiene las siguientes características:

- GBW de 230 MHz para ganancias mayores de 10 V/V.

6. Demodulador I/Q basado en una arquitectura de seis puertos

- Tensión de offset de ± 0.25 mV.
- Tensión de ruido menor de $7 \text{ nV}/\sqrt{\text{Hz}}$.
- Slew-rate típico de $290 \text{ V}/\mu\text{s}$.
- Alimentación máxima de ± 6.5 V.
- CMRR (rechazo al modo común) de 86 dB.
- Baja capacidad a la entrada (0.7 pF en modo diferencial y 2.8 pF en modo común).

Con estas especificaciones el OPA656 cumple sobradamente los requisitos de la etapa de amplificación y acondicionamiento del demodulador I/Q. Si en algún momento se dispusiese de una tarjeta de adquisición con una mayor frecuencia de muestreo, el OPA656 se podría sustituir por el OPA657 de Texas Instrument [181], que presenta características similares al OPA656 pero con un GBW de 1.6 GHz.

Una vez decidido el amplificador a usar, el diseño circuital es muy sencillo. Usando el modelo que proporciona el fabricante se pueden simular las dos etapas de amplificación por separado y de forma conjunta usando la herramienta de simulación ADS. La mayor dificultad del diseño consiste en definir correctamente el layout para que los resultados simulados y medidos coincidan. Este proceso es delicado ya que si no se define el layout de acuerdo a las recomendaciones del fabricante [180], los parásitos que introducen las pistas con el plano de masa pueden reducir el ancho de banda o incluso hacer que los amplificadores oscilen. A continuación se describe el diseño de cada una de las etapas de amplificación y la comparativa entre la simulación y las medidas del prototipo final fabricado.

El amplificador no inversor se encarga de conectar la salida de los detectores con las entradas del amplificador diferencial. En esta configuración la salida del detector de potencia se conecta directamente a la entrada del amplificador operacional, que presenta una alta impedancia de entrada con una baja capacidad parásita. Para su diseño se han utilizado una resistencia de 390Ω y otra de 47Ω . Dichos valores son similares a los usados por el fabricante en la hoja de características [180] y permiten obtener una ganancia de 9.3 V/V con un ancho de banda de 30 MHz en simulación.

El amplificador diferencial se encarga de realizar la resta analógica para eliminar los términos de señal indeseados que hay a la salida de los detectores y obtener las señales I/Q (como se demostró en capítulo 2). Para su diseño se han utilizado resistencias de 470Ω y 47Ω . Dichos valores de resistencias permiten igualar tanto la impedancia de entrada, como la ganancia que presenta la estructura desde sus dos entradas, consiguiendo una ganancia de 10 V/V con un ancho de banda de 26 MHz en simulación.

Una vez se han definido los valores de las resistencias del amplificador no inversor y del amplificador diferencial, se puede modelar el comportamiento de la etapa amplificadora completa usando el esquema circuital mostrado en la Fig. 6.6(a). La parte más complicada de esta fase de diseño es el trazado del layout. A los requisitos impuestos por los fabricantes para conseguir el correcto funcionamiento de los diferentes componentes hay que unir el hecho de que la red de seis puertos tiene una

6.4. Diseño de la etapa de amplificación y acondicionamiento

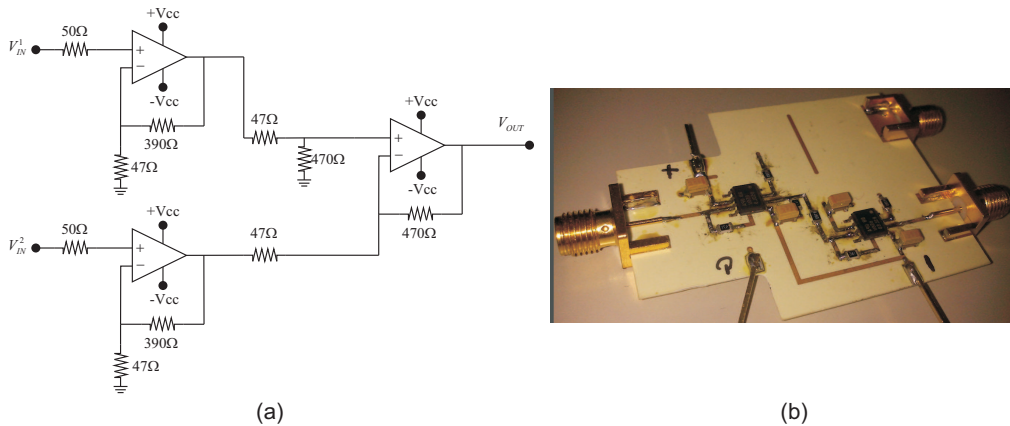


Figura 6.6.: Etapa amplificadora. a) Esquema circuital. b) Fotografía del prototipo fabricado.

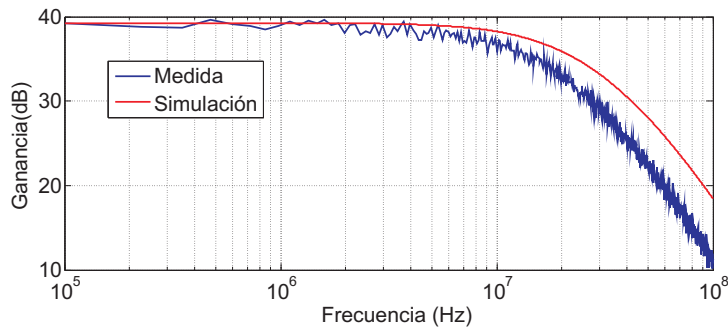


Figura 6.7.: Simulación y medida de la respuesta en frecuencia de la etapa amplificadora diseñada.

estructura multicapa con salidas a ambos lados de la placa. Así, es necesario diseñar un layout con etapas de amplificación no inversora a ambos lados de la placa. Esto implica que hay que unir tanto las pistas de señal como las de alimentación de ambos lados de la placa usando vías, minimizando el área de la etapa de amplificación y los tamaños de las pistas para reducir los parásitos.

Este circuito ha sido fabricado y medido para evaluar sus prestaciones de cara a su utilización en el prototipo final del demodulador. La fotografía del circuito implementado se muestra en la Fig. 6.6(b) y la comparativa entre los resultados medidos y simulados se presenta en las Fig. 6.7 y 6.8. El circuito presenta una ganancia de 39 dB (92 V/V) igual que la obtenida en simulación, pero con un ancho de banda de 13 MHz menor que el esperado, como se muestra en la Fig. 6.7. Sin embargo, dado que el ancho de banda final está por encima de los 10 MHz que permite la tarjeta de adquisición de datos, esto no supone ningún inconveniente. Además, el circuito presenta un CMRR medido mejor de 35 dB a la frecuencia de corte del circuito como se muestra en la Fig. 6.8(a). Si bien este resultado difiere del obtenido en simulación hay que tener en cuenta que la realización de esta medida es complicada y que mínimos errores en la instrumentación externa utilizada pueden empeorar notablemente la medida. Por

6. Demodulador I/Q basado en una arquitectura de seis puertos

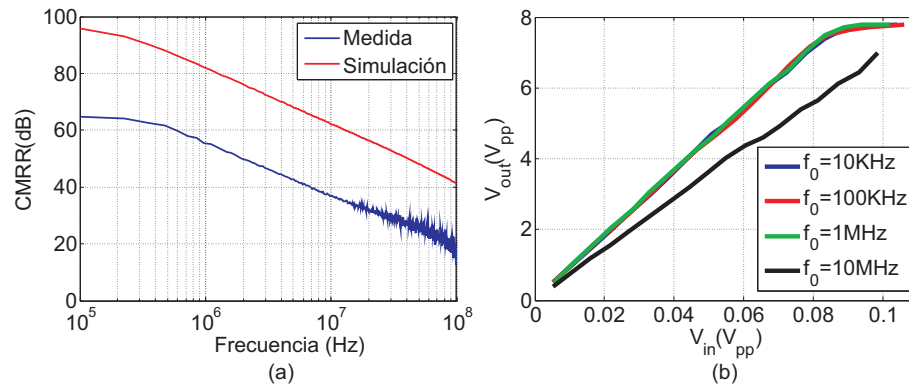


Figura 6.8.: a) Simulación y medida del CMRR de la etapa amplificadora diseñada. b) Medida del comportamiento lineal de la etapa amplificadora diseñada a diferentes frecuencias.

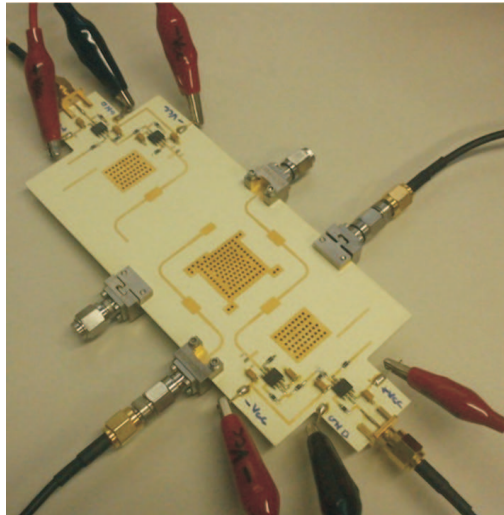


Figura 6.9.: Fotografía del prototipo del demodulador I/Q de seis puertos.

último, en la Fig. 6.8(b) se incluyen las medidas de la linealidad del circuito para diferentes frecuencias en función de la tensión de entrada. En dicha figura se observa un comportamiento perfectamente lineal dentro del margen de tensiones y frecuencias con las que trabaja en el demodulador I/Q en banda base.

Los resultados obtenidos en las secciones 6.3 y 6.4 demuestran que esta etapa de amplificación y acondicionamiento junto con los detectores simples o “single-ended” conforman una etapa de detección y amplificación idónea para su utilización en el demodulador I/Q de seis puertos. Así, ésta es la configuración que finalmente se ha seleccionado para su utilización en el prototipo final del demodulador.

6.5. Prototipo del demodulador I/Q de seis puertos

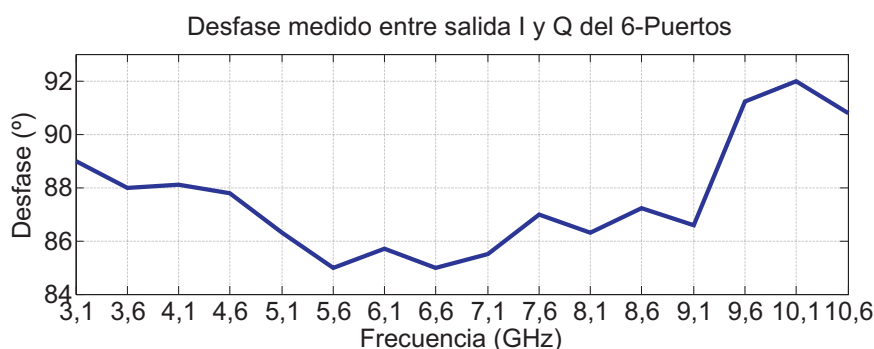


Figura 6.10.: Desfase entre los canales I/Q del prototipo del demodulador I/Q fabricado en la banda de 3.1 a 10.6 GHz.

6.5. Prototipo del demodulador I/Q de seis puertos

Tras todo el trabajo realizado, finalmente se ha llegado a la fabricación del prototipo del demodulador I/Q de seis puertos, cuya fotografía se muestra en la Fig. 6.9. Para ello se han utilizado los siguientes subsistemas que previamente han sido fabricados y verificados:

- Una red de seis puertos formada por cuatro híbridos y un desfasador, como la presentada en la subsección 5.4.2.
- Cuatro detectores simples como los presentados en la sección 6.3.
- Dos etapas de amplificación y acondicionamiento como la presentada en la sección 6.4.

Una vez fabricado el prototipo del demodulador es importante medir el desbalanceo en fase que hay entre los canales I/Q tras la incorporación de las etapas de detección y amplificación. Para realizar esta medida se excitan las entradas del demodulador con dos generadores cuyas frecuencias difieran en unos pocos kilohercios. Esta diferencia entre ambas frecuencias es detectada por el demodulador y mostrada a la salida de los canales I/Q como dos tonos diferentes. La diferencia de fase entre ambos tonos permite medir directamente el desbalanceo de fase entre los canales I/Q. Haciendo este tipo de medidas modificando la frecuencia de los tonos entre 3.1 y 10.6 GHz es posible conocer el desbalanceo en fase del demodulador en toda la banda UWB. Los resultados obtenidos muestran un extraordinario comportamiento en cuadratura del demodulador con un desbalanceo en fase medido entre -5° y $+2^\circ$ en toda la banda de operación, como se muestra en la Fig. 6.10.

Una vez verificado el comportamiento en cuadratura del demodulador, el siguiente paso es evaluar sus prestaciones usando diferentes tipos de modulaciones y calculando su probabilidad de error para diferentes puntos de frecuencia y potencias de RX y LO. Debido a la dificultad en la realización de este tipo de medidas, es necesario montar una estación de medida automatizada que permita la evaluación del demodulador de forma eficiente. La estación de medida utilizada se describe en la próxima sección.

6.6. Estación de medida automatizada

La estación de medida debe permitir evaluar las prestaciones del demodulador I/Q de forma rápida, segura y fiable, para lo cuál es necesario automatizar las medidas que se pretendan realizar. La manera más sencilla de realizar este proceso es centralizando el funcionamiento del demodulador y de los equipos de medida utilizados a través de un ordenador personal (PC). Éste debe controlar todos los equipos y permitir posteriormente analizar la información proporcionada por el demodulador. En las siguientes subsecciones se presenta los equipos de instrumentación, el software y las rutinas de procesamiento que se usa la estación de medida utilizada.

6.6.1. Instrumentación usada en la estación de medidas

El diagrama de bloques de la estación de medida utilizada se muestra en la Fig. 6.11(a) y algunos de los equipos utilizados en la Fig. 6.11(b). La estación de medida está formada por un ordenador personal que controla todo el proceso de medida, un modulador, un oscilador local y el prototipo del demodulador I/Q de seis puertos. Para su puesta en marcha se ha aprovechado la experiencia adquirida por el grupo de investigación en la automatización de bancos de pruebas para la evaluación de receptores de seis puertos [5, 29, 141]. A continuación se describe cual es la funcionalidad de cada uno de estos bloques, los equipos utilizados en cada caso y sus principales características.

Ordenador personal

El PC centraliza por completo el funcionamiento de la estación de medida: i) se encarga de generar la forma de onda de la señal de información a partir de la trama de bits y de la constelación seleccionada, ii) controla todos los equipos de instrumentación, iii) muestrea y digitaliza la señal demodulada, iv) procesa los resultados obtenidos, y v) los muestra por pantalla. Para poder realizar todas estas tareas el PC está conectado al resto de equipos de la estación de medida y al demodulador a través de la tarjeta GPIB y de la tarjeta de adquisición de datos (ver Fig. 6.11).

Tarjeta de adquisición de datos

Como ya se ha dicho anteriormente, la tarjeta utilizada es la Adlink PCI-9812A [178]. Ésta tiene cuatro canales analógicos de entrada, cada uno con un conversor A/D. Los conversores son capaces de muestrear de forma simultánea con 12 bits de resolución y tienen una tasa de muestreo máxima de 20 Mmuestras/sg (es decir, pueden muestrear señales de hasta 10 MHz de ancho de banda). La tarjeta está configurada para admitir señales de entradas bipolares de $\pm 5V$ y la impedancia de entrada de cada canal es de 50Ω . Además, ésta permite digitalizar las salidas I/Q del demodulador de forma síncrona y recuperar el sincronismo de trama a partir de una señal de evento especial que proporciona el modulador, como se muestra en el esquema de la Fig. 6.11(a).

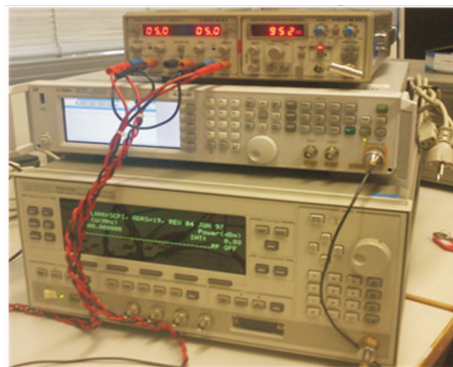
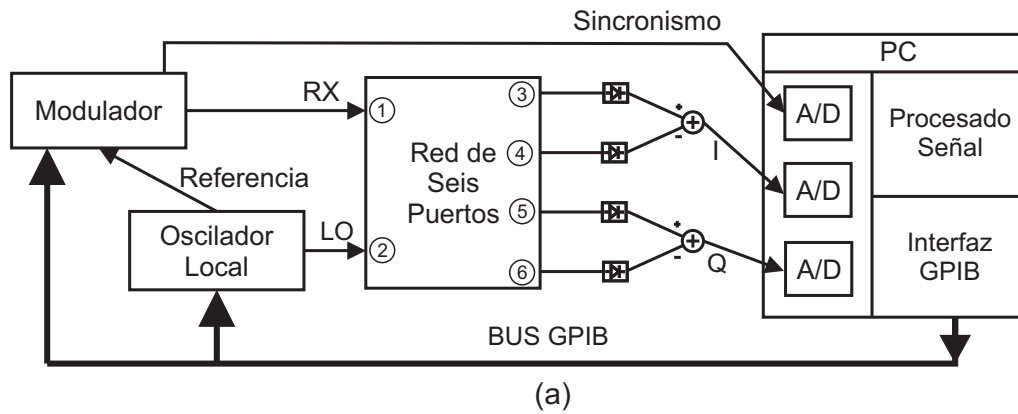


Figura 6.11.: Estación de medidas utilizada. a) Diagrama de bloques. b) Algunos de los equipos de medida utilizados (alimentación, modulador, y oscilador local).

Tarjeta GPIB (General Purpose Interface Bus)

La tarjeta PCI-GPIB de National Instruments [182] permite conectar dispositivos de test y medida con otros dispositivos que los puedan controlar. Utilizando esta tarjeta es posible controlar todos los equipos de la estación de medida a través del PC.

Modulador

El modulador utilizado es el generador de señal Agilent MXG N5182A [183] que trabaja en la banda de 100 KHz a 6 GHz (ver Fig. 6.11). Este dispositivo no permite cubrir toda la banda de operación del demodulador (3.1 a 10.6 GHz), pero permite evaluarlo en la parte inicial de la misma. Este modulador no ofrece la posibilidad de usar modulaciones predeterminadas, sino que es necesario generar la forma de onda en el PC y enviársela por GPIB. Esto ofrece una gran versatilidad ya que permite utilizar cualquier técnica de modulación que se haya implementado en el PC. Su principal función consiste en convertir la señal digital a analógica y subirla a la frecuencia de la portadora seleccionada. Además, ofrece otras características muy interesantes como son el poder incluir indicaciones de evento en cualquiera de los símbolos de la trama y transmitirlos de forma independiente a través de un canal de salida de eventos. Este

6. Demodulador I/Q basado en una arquitectura de seis puertos

canal de eventos se ha utilizado para indicar a la tarjeta de adquisición de datos el inicio de la transmisión de la trama (recuperación del sincronismo de trama) como ya se ha comentado anteriormente.

Oscilador local

En la fase inicial del banco de medida se utilizó como oscilador local el analizador de redes HP 8753D, pues este equipo es capaz de proporcionar un tono sin modular a frecuencia de microondas (hasta 6 GHz), con una gran variedad de potencias. Aunque sólo dispone de entrada de la señal de referencia de 10 MHz, es posible sincronizarlo con el modulador usándolo en modo esclavo.

En las medidas iniciales del demodulador se observó una degradación importante en la calidad de las constelaciones recibidas cuando la longitud de la trama aumentaba. Esto llevó a hacer una evaluación individual de los distintos equipos de medida que demostró que actualmente el tono proporcionado por este equipo presenta un importante ruido de fase. Para solucionar este problema el analizador de redes HP 8753D se sustituyó por el generador de barrido HP8360B [184] (mostrado en la Fig. 6.11(b)), que es capaz de trabajar hasta 40 GHz con una alta pureza espectral. Este equipo también es posible controlarlo por GPIB y dispone tanto de la entrada como de la salida de la señal de referencia de 10 MHz, por lo que es posible usarlo como maestro o esclavo en la sincronización de los generadores de señal.

6.6.2. Software usado para controlar la estación de medida

El control de la instrumentación se hace a través de una tarjeta GPIB. Esta tarjeta se encarga de gestionar el flujo de datos y comandos a los distintos elementos conectados a su red. Para controlarla se utilizan los comandos SCPI (Standard Commands for Programmable Instrumentation) que se encuentran en los manuales de usuario de los distintos equipos de instrumentación. Además, algunos fabricantes también proporcionan instrucciones de más alto nivel que usan estos comandos de forma transparente al usuario para realizar operaciones más complejas de forma sencilla. Para implementar todas las rutinas necesarias y controlar todo el proceso de medida con el PC se ha decidido usar el programa Matlab. Con este programa el PC controla los equipos de instrumentación, controla la adquisición de los datos, los guarda, realiza el procesado de la señal y finalmente muestra los resultados por pantalla.

Para controlar la tarjeta de adquisición de datos y el generador de señal N5182A se han utilizado las rutinas de alto nivel proporcionadas por los fabricantes. Sin embargo, para controlar el generador de barrido se han utilizado los comandos SCPI obtenidos del manual de usuario. Por otro lado, se han implementado rutinas que inicializan los diferentes equipos, generan las tramas de bits (utilizando codificación Gray) y a partir de ellas proporcionan la forma de onda de la señal banda base que requiere generador de señal N5182A para realizar la modulación. En una fase posterior se captura la señal demodulada y se realiza el post-procesado necesario para recuperar la trama de bits enviada. Una vez se ha recuperado la trama de bits hay rutinas que se encargan de representar las constelaciones recibidas y de calcular el BER en función de la potencia del oscilador local (P_{LO}), de la potencia de la señal de RX (P_{RX})

y de la frecuencia.

6.6.3. Post-procesado necesario tras la demodulación

Como ya se ha demostrado a lo largo de esta Tesis, el hardware del demodulador se ha diseñado para que éste sea capaz de trabajar correctamente sin tener que recurrir ni a técnicas de calibración ni a algoritmos de corrección de errores. Sin embargo, es necesario implementar algunas rutinas de post-procesado que solucionen los problemas que aparecen a la hora de utilizar la estación de medida. A continuación se explican las tareas de post-procesado que se realizan con la señal de salida del demodulador.

Recuperación del sincronismo de símbolo

Las señales procedentes de las salidas I/Q del demodulador son muestreadas con la tarjeta de adquisición de datos ante un evento en la entrada de la señal de disparo y almacenadas por el PC. La tarjeta de adquisición de datos se puede configurar para que tome una o varias muestras en el periodo de símbolo. Dado que la máxima velocidad de muestreo de la tarjeta utilizada es de 20 Mmuestras/sg, según el teorema de Nyquist la mayor frecuencia que se puede muestrear sin que aparezca aliasing sería de 10 MHz. Sin embargo, para poder tomar una única muestra por símbolo es necesario disponer de algún mecanismo de sincronismo entre el modulador y la tarjeta de adquisición que permita muestrear en el instante óptimo y no en las transiciones entre símbolos. Al no disponerse de dicho mecanismo, se ha trabajado con señales banda base con una frecuencia máxima de 2-4 MHz, ya que es necesario tomar varias muestras por símbolo para asegurarnos que al menos una de las muestras no es tomada en la transición entre los símbolos recibidos.

Al trabajar con una frecuencia de muestreo superior a la de símbolo, la tarjeta de adquisición toma varias muestras por símbolo, alguna de las cuales caen en las transiciones entre símbolos, por lo que no aportan información alguna y deben ser eliminados. Para ello, hay que diezmar la trama de muestras capturada fijando correctamente los instantes de muestreo. Esta tarea corresponde al bloque de recuperación del sincronismo de símbolo. Éste utiliza un filtro adaptado cuya respuesta al impulso es un pulso cuadrado de anchura un periodo de símbolo. Al introducir la señal digital en el filtro adaptado, se obtiene a la salida una señal triangular que presenta una sucesión de máximos separados un período de símbolo. Dichos máximos indican el instante óptimo de muestreo. Así, diezmando la señal muestreada en los instantes que marcan los máximos de salida del filtro adaptado, se obtiene una señal a velocidad de símbolo que contiene única y exclusivamente valores de símbolos correctos.

Eliminación del offset de la señal demodulada

Existen dos posibles fuentes de offset en las salidas del demodulador I/Q: i) el desbalanceo en amplitud entre las salidas de la arquitectura de seis puertos, que hace que los términos de señal de DC no se cancelen por completo, y ii) el offset introducido por la etapa de amplificación situada a la salida de los detectores.

6. Demodulador I/Q basado en una arquitectura de seis puertos

Para eliminar ambas fuentes de offset del banco de medida se ha implementado una rutina que calcula el centro de gravedad de la trama de símbolos recibida y se la resta a los símbolos en caso de que el offset supere un determinado umbral. Ésta técnica tiene el inconveniente de que requiere que la trama conste de un número elevado de símbolos para asegurar la equiprobabilidad entre los distintos símbolos de la constelación (las tramas usadas habitualmente constan de más de 6000 símbolos).

Normalización de los símbolos recibidos

Para decidir qué símbolos se han recibido se utiliza una rejilla de decisión fija. Sin embargo, la amplitud de los símbolos recibidos depende de varios factores como son el número de muestras por símbolos que ha tomado la tarjeta de adquisición de datos o la frecuencia de la portadora. Así, para realizar la elección correctamente es necesario normalizar la amplitud de los símbolos recibidos ajustándolos a la rejilla de decisión.

Eliminación del giro de la constelación

Los símbolos recibidos se encuentran girados respecto de su posición original en la constelación. Este problema se debe a que los generadores de RX y LO se encuentran sincronizados en frecuencia (a través de la señal de referencia de 10 MHz) pero no en fase, lo que provoca que los símbolos recibidos se giren.

Para calcular el giro que han sufrido los símbolos recibidos se introduce una cabecera conocida en las tramas transmitidas. Así, cada vez que se demodula una trama, se localiza la cabecera y se calcula el giro que han sufrido estos símbolos respecto a los originales. Dicho giro se asume que es constante para el resto de los símbolos de la trama.

6.7. Medida y evaluación del demodulador I/Q de seis puertos para diferentes constelaciones

Una vez se dispone del banco de medidas y se han desarrollado todas las rutinas necesarias para la evaluación del demodulador, el último paso consiste en evaluar las prestaciones del prototipo para diferentes constelaciones, niveles de potencia y puntos de frecuencia.

Actualmente se ha logrado poner en marcha la estación de medida y se han implementado las rutinas que generan las constelaciones QPSK y 16QAM, que son las únicas constelaciones que ha sido posible evaluar, debido a que sólo se dispuso de los equipos de medida por un corto periodo de tiempo. Se han realizado medidas a 5 GHz para diferentes relaciones de potencia, pero sólo se han podido obtener gráficas de BER para la constelación QPSK. En ninguna de las medidas ha sido necesario eliminar offset en las constelaciones. El único procesamiento de señal requerido ha sido la recuperación de sincronismo de trama/símbolo y eliminar el giro en la constelación introducido por los generadores.

6.7. Medida y evaluación del demodulador I/Q de seis puertos para diferentes constelaciones

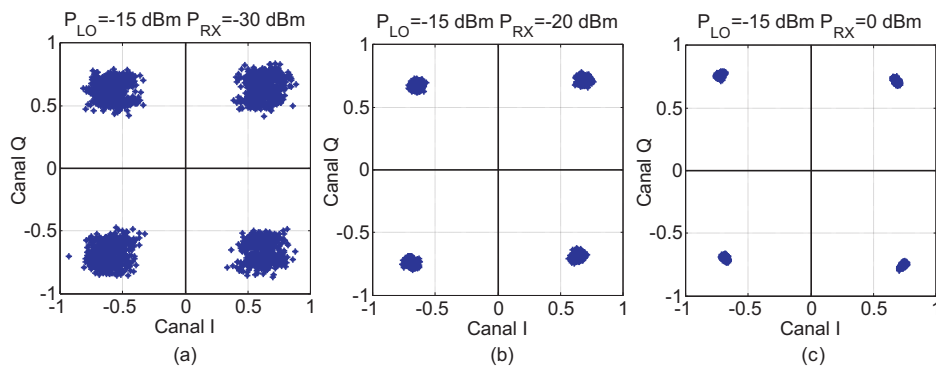


Figura 6.12.: Tramas de símbolos QPSK demodulados para $f_o = 5$ GHz y $P_{LO} = -15$ dBm cuando a) $P_{RX} = -30$ dBm, b) $P_{RX} = -20$ dBm, c) $P_{RX} = 0$ dBm.

6.7.1. Recepción de tramas QPSK

En esta subsección se presentan los resultados obtenidos en la demodulación de tramas QPSK para diferentes potencias de LO y RX. La velocidad de símbolo usada ha sido de 2 MHz y se han tomado diez muestras por símbolo. En la Fig. 6.12 se muestran las constelaciones de símbolos QPSK demodulados para una frecuencia de portadora de 5 GHz y niveles de potencia de LO de -15 dBm. En ésta se observa claramente que al usar un bajo nivel de potencia de LO (-15 dBm), para niveles bajos de potencia de RX el ruido afecta más a los símbolos demodulados ensanchando las nubes de símbolos (ver 6.12(a)). Sin embargo, para mayores potencias de RX este efecto desaparece y al trabajar con una baja potencia de LO casi no se observa el efecto de la distorsión de los detectores de potencia (ver Fig. 6.12(c)). Por otro lado, en la Fig. 6.13 se muestran las constelaciones de símbolos QPSK demodulados para una frecuencia de portadora de 5 GHz y niveles de potencia de LO de 0 dBm. En este caso las nubes de símbolos casi no se ensanchan para bajos niveles de potencia de RX al trabajar con una potencia de LO elevada de 0 dBm (ver Fig. 6.13(a)). Sin embargo, para mayores niveles de potencia de RX el efecto de la distorsión introducida por los detectores sí que es apreciable (ver Fig. 6.13 (d)). En este punto, es importante recordar que estas primeras medidas se realizaron usando el analizador de redes HP 8753D. Dicho generador presentaba un importante ruido de fase que deterioraba los resultados obtenidos (ver Fig. 6.13 (d)) y fue sustituido.

Para medir el BER se ha implementado una rutina que genera de forma sistemática tramas de símbolos, calcula la probabilidad de error para esas tramas y almacena el resultado. Para poder medir probabilidades de error de 10^{-6} es necesario el envío de más de un millón de símbolos por lo que este tipo de medidas requieren de mucho tiempo para poder realizarse. Se ha evaluado el BER del prototipo del demodulador para distintas potencias de LO a la frecuencia de 5 GHz. Como puede verse en la Fig. 6.14 el demodulador es muy robusto frente a una constelación tan simple como la QPSK, ya que sin necesidad de utilizar ningún algoritmo de calibración, ni ningún algoritmo de corrección de errores, sólo necesita -55 dBm de potencia de RX para conseguir un BER de casi 10^{-6} cuando la potencia de LO es de 0 dBm.

6. Demodulador I/Q basado en una arquitectura de seis puertos

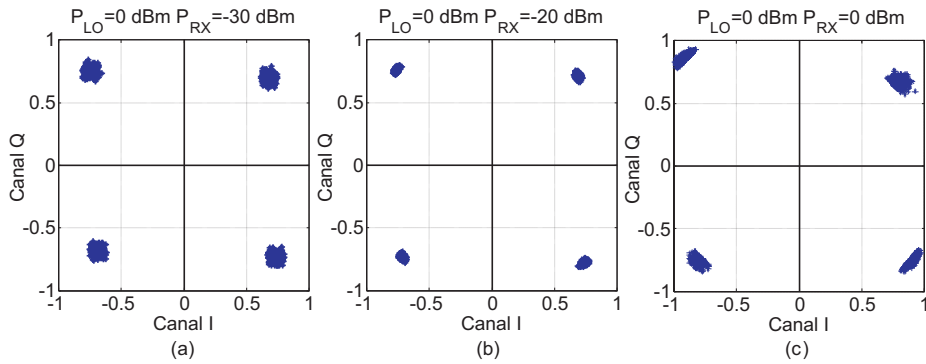


Figura 6.13.: Tramas de símbolos QPSK demodulados para $f_o = 5$ GHz y $P_{LO} = 0$ dBm cuando a) $P_{RX} = -30$ dBm, b) $P_{RX} = -20$ dBm, c) $P_{RX} = 0$ dBm.

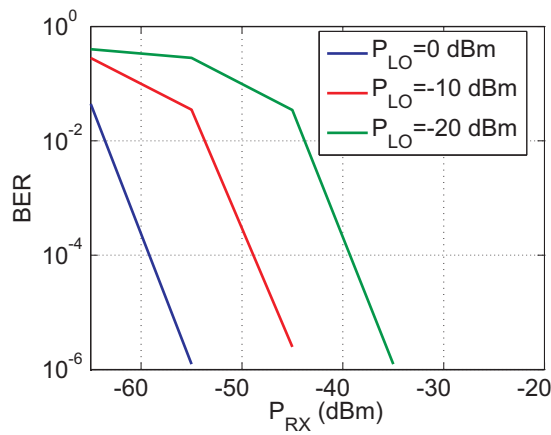


Figura 6.14.: BER para la modulación QPSK para distintas potencias de LO en función de la potencia de RX a la frecuencia de 5 GHz.

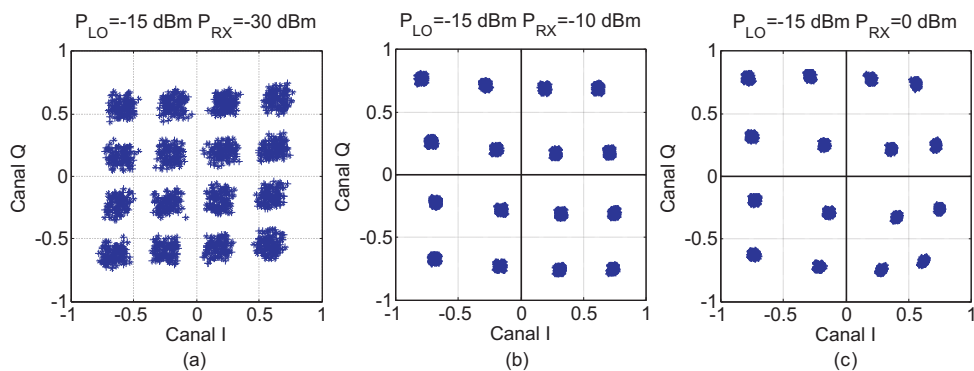


Figura 6.15.: Tramas de símbolos 16QAM demoduladas para $f_o = 5$ GHz, $P_{LO} = -15$ dBm cuando a) $P_{RX} = -30$ dBm, b) $P_{RX} = -10$ dBm, c) $P_{RX} = 0$ dBm.

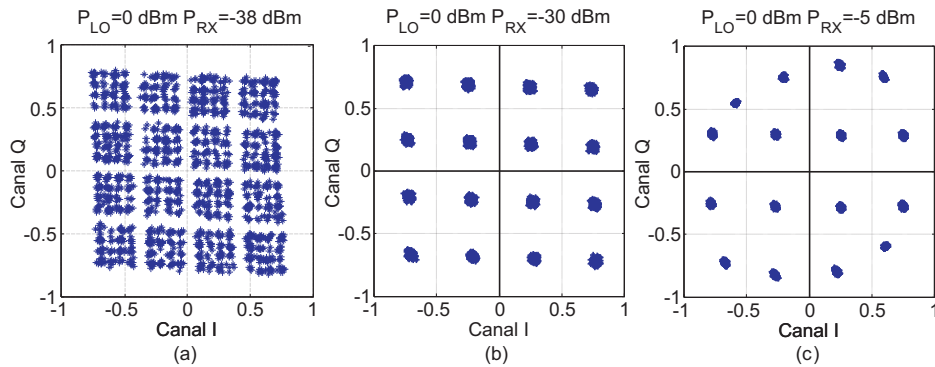


Figura 6.16.: Tramas de símbolos 16QAM demoduladas para $f_o=5$ GHz, $P_{LO}=0$ dBm cuando a) $P_{RX}=-38$ dBm, b) $P_{RX}=-30$ dBm, c) $P_{RX}=-5$ dBm.

6.7.2. Recepción de tramas 16-QAM

En esta subsección se presentan los resultados obtenidos en la demodulación de tramas 16QAM para diferentes potencias de LO y RX. Se han realizado medidas para barridos de potencia de LO entre -15 y 0 dBm y potencias de RX entre -40 y 0 dBm. La velocidad de símbolo usada ha sido de 2 MHz y se han tomado 10 muestras por símbolo. En la Fig. 6.15 se muestran las constelaciones de los símbolos 16QAM demodulados para una frecuencia de portadora de 5 GHz y niveles de potencia de LO de -15 dBm. En esta figura se observa como para niveles bajos de potencia de RX (-30 dBm) la potencia del ruido se hace comparable a la potencia de señal (ver Fig. 6.15(a)) y las nubes de símbolos se ensanchan. Además, al tratarse de una constelación con varios niveles de energía, el efecto de la distorsión de los detectores de potencia observa claramente incluso para bajos niveles de potencia de LO (ver Fig. 6.15(c)). Por otro lado, en la Fig. 6.16 se muestran las constelaciones de símbolos 16QAM recibidos para una frecuencia de portadora de 5 GHz y niveles de potencia de LO de 0 dBm. En este caso, se observa como es necesario usar niveles de potencia de RX por debajo de -37 dBm para que la señal demodulada se haga comparable al ruido (ver Fig. 6.16(a)). Además, la constelación demodulada se distorsiona claramente para niveles inferiores de potencia de RX en torno a -5 dBm (ver Fig. 6.16(c)).

6.8. Conclusiones

En este capítulo se ha realizado un estudio sobre los requisitos que debe cumplir la etapa de detección y acondicionamiento del demodulador I/Q de seis puertos. En base a este estudio se ha seleccionado el detector de potencia HS-9161 y se han diseñado el esquema de detección simple o “single-ended”. Éste ha mostrado tanto un buen comportamiento en régimen cuadrático como una sensibilidad razonablemente plana, con resultados parecidos entre simulación y medida, por lo que ha sido el seleccionado para el diseño del demodulador. Posteriormente, en base a las características del detector y de la tarjeta de adquisición de datos disponible, se ha seleccionado el amplificador operacional OPA656 de Texas Instrument y se ha diseñado la etapa de amplificación y acondicionamiento a utilizar en el prototipo del demodu-

6. Demodulador I/Q basado en una arquitectura de seis puertos

lador I/Q. Finalmente, se ha presentado el prototipo del demodulador I/Q diseñado, el cuál ha mostrado una excelente comportamiento en cuadratura entre sus canales I/Q con un desbalanceo en fase menor de $\pm 5^\circ$ en toda la banda.

Para evaluar las prestaciones del demodulador ante diferentes demodulaciones ha sido necesario montar una estación de medida automatizada. Dicha estación de medida es controlada por un PC con el programa Matlab, que a partir de la rutinas implementadas se encarga de generar la forma de onda de la señal de información, controla los todos los equipos de instrumentación, muestrea y digitaliza la señal demodulada, procesa los resultados obtenidos y los muestra por pantalla.

En cuanto a las medidas realizadas, la evaluación del prototipo todavía se encuentra en una fase preliminar. Sólo ha sido posible evaluar parcialmente el prototipo del demodulador para las modulaciones QPSK y 16QAM. El demodulador I/Q ha mostrado resultados muy interesantes siendo capaz de demodular correctamente ambas modulaciones para en un amplio margen de potencias de LO y RX. Las medidas de BER realizadas demuestran que el receptor es muy robusto frente a una modulación simple como la QPSK, ya que sin necesidad de utilizar ningún algoritmo de calibración, ni ningún algoritmo de corrección de errores, sólo necesita -55 dBm de potencia de RX para conseguir una probabilidad de error casi despreciable.

A corto plazo el objetivo es terminar la evaluación del demodulador para otras modulaciones más complejas y en situaciones más exigentes con el objetivo de conocer sus límites.

7

Conclusiones y líneas futuras

7.1. Conclusiones

El principal objetivo de esta Tesis ha sido el diseño, implementación y evaluación experimental de un demodulador I/Q de seis puertos analógico de altas prestaciones, capaz de operar en la banda de 3.1 a 10.6 GHz sin necesidad de técnicas de calibración. Esto permite resolver algunas de las principales limitaciones del demodulador I/Q de seis puertos digital, reduciendo enormemente los requisitos tanto de la etapa de conversión analógico-digital, como de la etapa de post-procesado. Además, la presente Tesis ha permitido realizar diversas colaboraciones con otros miembros del grupo, abordando otras aplicaciones que no están directamente relacionadas con el demodulador I/Q de seis puertos analógico. Los principales temas tratados en esta Tesis y sus principales conclusiones han sido:

1. Se ha realizado un detallado estudio de la degradación de las prestaciones de un demodulador I/Q analógico de seis puertos debido a las imperfecciones de sus elementos. Dicho estudio ha permitido definir tres parámetros complejos (R_{DC} , R_{RW} e I_A) que describen por completo cómo se distorsionan las constelaciones demoduladas debido a las imperfecciones en el hardware de la arquitectura de seis puertos. A partir de estos tres parámetros, es posible calcular el EVM del demodulador y evaluar analíticamente sus prestaciones. Por otro lado, se han obtenido ecuaciones simplificadas que permiten calcular de forma analítica la degradación del BER debido a las imperfecciones del hardware. Estas expresiones pueden ser utilizadas para establecer las especificaciones del hardware de la arquitectura de seis puertos para cumplir un determinado nivel de BER para la modulación QPSK. Por último, gracias a los parámetros definidos (R_{DC} , R_{RW} e I_A), se han analizado de forma pormenorizada tres de las arquitecturas de seis puertos más utilizadas a frecuencias de microondas, para conocer las principales ventajas y las limitaciones de cada una de ellas, y cuáles son las prestaciones que tienen que cumplir sus elementos constituyentes para conseguir un determinado nivel de EVM.
2. Una de las principales limitaciones en la implementación de arquitecturas de seis puertos de banda ultra-ancha es el diseño de híbridos en cuadratura con

7. Conclusiones y líneas futuras

desbalances en módulo y fase reducidos. Para resolver este problema se ha propuesto el diseño de un híbrido en cuadratura de tres secciones acopladas por ranura cuya metodología de diseño consiste en buscar un compromiso para compensar las velocidades de fase de los modos par e impar y el efecto parásito de las discontinuidades. El circuito diseñado ha presentado un desbalanceo en amplitud menor de ± 0.75 dB, y un desfase mejor que $90 \pm 3^\circ$ en la banda UWB, mejorando los diseños previamente publicados. Sin embargo, esta metodología tiene sus limitaciones y no permite conseguir la directividad que requieren determinados sistemas (como el demodulador I/Q de seis puertos analógico).

3. Para resolver las limitaciones antes comentadas, en esta Tesis se han desarrollado dos nuevas técnicas de compensación que resuelven todas las limitaciones de los acopladores direccionales de múltiples secciones acopladas por ranura. La primera técnica consiste en suavizar las discontinuidades en la ranura introduciendo una transición que compensa su efecto reactivo de forma transparente al modo impar en la banda de operación del circuito. La segunda técnica consiste en alargar la longitud de la estructura para el caso del modo par introduciendo dientes rectangulares en los laterales de las ranuras (corrugado). La aplicación de esta segunda técnica da lugar a una nueva ranura corrugada que se puede analizar de forma eficiente simulando sólo un periodo de la misma mediante la teoría de los modos Bloch/Floquet, lo que simplifica enormemente su diseño. Para mostrar cómo las técnicas desarrolladas mejoran de forma sobresaliente las prestaciones de estos acopladores, se ha presentado el diseño, simulación y medida de diversos acopladores, siendo los más relevantes: i) un acoplador de 10 dB asimétrico en la banda de 1.2 a 12 GHz, que ha mostrado excelentes prestaciones con una exactitud en el acoplamiento de 10 ± 0.6 dB, unas pérdidas de inserción de 1.35 dB, unas pérdidas de retorno mejores de 23 dB y un aislamiento mejor de 28 dB, y ii) un híbrido en cuadratura de tres secciones en la banda de 3.1 a 10.6 GHz, que ha mostrado unas pérdidas de retorno mejores de 21 dB, un aislamiento mejor de 25 dB, y unos desbalances en módulo y fase muy reducidos, menores de ± 0.5 dB y $\pm 0.7^\circ$ respectivamente. Estos resultados mejoran las prestaciones anteriormente publicadas y están al nivel (en tecnología planar) de los resultados que se obtienen con los acopladores TEM.
4. Haciendo uso de las nuevas técnicas de compensación desarrolladas, en esta Tesis se ha propuesto el diseño de desfasadores de Schiffman de múltiples secciones acopladas por ranura con una novedosa conexión final entre los puertos directo y aislado que logra reducir su longitud en gran medida. Esta metodología se ha utilizado para diseñar dos desfasadores distintos: i) un desfasador de 90° en la banda de 3.1 a 10.6 GHz, que ha conseguido un desfase de $90 \pm 2.5^\circ$, que mejora las prestaciones incluso de las propuestas más recientes, y ii) un desfasador de 45° en la banda de 3.1 a 10.6 GHz, que ha conseguido un desfase de $45 \pm 1.5^\circ$ en simulación.
5. Se han desarrollado tres arquitecturas de seis puertos que cubren la banda UWB

- (3.1 to 10.6 GHz). Estas arquitecturas han conseguido desbalances en amplitud y fase en sus centros menores de ± 0.8 dB y $\pm 2.5^\circ$ respectivamente, consiguiendo así EVM menores del 1.5% en las condiciones apropiadas. Hasta donde el autor conoce, estos resultados son estado del arte.
6. Se ha diseñado la etapa detección de potencia y la etapa de amplificación y acondicionamiento necesarias para demodular las señales I/Q, y finalmente, se ha fabricado el prototipo del demodulador I/Q de seis puertos. Este circuito ha mostrado un excelente comportamiento en cuadratura entre sus canales I/Q con un desbalanceo en fase entre -5° y $+2^\circ$ desde 3.1 hasta 10.6 GHz. Además, el demodulador ha mostrado ser muy robusto en la demodulación de símbolos QPSK, ya que sólo necesita -55 dBm de potencia de RX para conseguir una probabilidad de error de 10^{-6} para una potencia de LO de 0 dBm, sin necesidad de usar ni procedimientos de calibración, ni técnicas de corrección de errores. Sin embargo, debido a la limitada disponibilidad de algunos equipos de medida, el demodulador I/Q aún no ha sido completamente evaluado.
 7. Como una aplicación interesante para los acopladores y desfases diseñados en esta Tesis, se ha implementado una matriz de Butler 4x4 en la banda de 3.1 a 10.6 GHz. Este circuito consigue ajustar de forma precisa el desfase entre los puertos de salida de la red en función de la entrada seleccionada, con valores de $45 \pm 2^\circ$, $-45 \pm 2.5^\circ$, $135 \pm 3^\circ$ y $-135 \pm 3^\circ$, respectivamente.
 8. Ha habido una importante colaboración con otros miembros del grupo de investigación en el diseño de FLLs basados en discriminadores de frecuencia con línea de retardo, haciendo uso de la mayoría de los circuitos pasivos implementados en esta Tesis. Además, a raíz de una estancia realizada en un centro de investigación extranjero, se ha logrado diseñar un nuevo tipo de discriminador de frecuencia balanceado que no requiere del uso de líneas de retardo y que hace uso de dos resonadores microstrip "dual-mode" ajustables en frecuencia. Esto permite doblar el ancho de banda potencial de la solución clásica y hace posible el diseño de discriminadores de frecuencias ultra-compactos con un gran ancho de banda.

7.2. Líneas futuras

Tras el trabajo desarrollado en esta Tesis, todavía hay algunos logros muy interesantes que se pueden conseguir:

- Hay que terminar la evaluación del demodulador I/Q de seis puertos para diferentes modulaciones (QPSK, 16QAM, 64QAM, etc.), calculando el BER para diferentes potencias de RX, potencias de LO y puntos de frecuencia. Además, parece muy interesante modelar el comportamiento de los detectores de potencia para introducirlo en nuestras rutinas de simulación. Esto permitiría determinar si los errores no lineales son causados por los detectores de potencia o por la propia red de seis puertos. Finalmente, los resultados obtenidos se podrían utilizar para implementar una nueva técnica de calibración que considere

7. Conclusiones y líneas futuras

ambas fuentes de no idealidad. Esto permitiría eliminar dicho comportamiento no lineal y extender el margen dinámico de los demoduladores I/Q analógicos.

- El demodulador de seis puertos I/Q analógico se puede usar como un discriminador de línea de retardo, ofreciendo ventajas muy interesantes. En el discriminador clásico basado en un acoplador es necesario usar tanto un desfaseador variable, como un circuito de control, para conseguir que el discriminador mantenga la condición de cuadratura y funcione correctamente. Sin embargo, el discriminador basado en una red de seis puertos es capaz de mantener la condición de cuadratura de forma natural sin necesidad de ningún circuito de control. En consecuencia, este nuevo discriminador presentaría un comportamiento más robusto y simple haciendo uso del demodulador I/Q que se ha implementado en esta Tesis.
- La principal limitación de los discriminadores basados en líneas de retardo es que requieren el uso de líneas muy largas para conseguir una sensibilidad adecuada. Esto incrementa el tamaño de estos circuitos y dificulta su integración en los sistemas finales. Una solución muy interesante para reducir el tamaño y la complejidad del discriminador basado en líneas de retardo es el discriminador balanceado basado en circuitos resonantes. Este circuito, hace uso de las transiciones entre las bandas de paso y rechazo de sus dos circuitos resonantes para obtener una señal en tensión a la salida linealmente dependiente con la frecuencia instantánea de la señal de entrada. Los principales inconvenientes de esta solución en tecnologías planares son el limitado rango de frecuencias que cubre y su baja sensibilidad, debido al rango de ajuste y factor de calidad de los varactores disponibles actualmente. Para solucionar estas limitaciones, fuera de la temática principal de esta Tesis, se ha propuesto un novedoso discriminador de frecuencia balanceado que hace uso de dos resonadores microstrip "dual-mode" ajustables en frecuencia y que permite doblar el rango de frecuencias de la solución clásica. Así sería muy interesante poder seguir desarrollando este nuevo discriminador que permitiría reducir en gran medida el tamaño de los discriminadores basados en líneas de retardo.

8

Conclusions and prospects

8.1. Conclusions

The main goal of this Thesis has been the realization of a high performance analog six-port I/Q demodulator operating in the complete UWB band (3.1 to 10.6 GHz) even without calibration. This allows to decrease the specifications of the A/D converters and the post-processing required, thus reducing the complexity and the cost of this type of demodulators. Besides, this Thesis has allowed the collaboration with other members of the research group, dealing with other applications not directly related with the six-port I/Q demodulator itself. The main topics developed in this Thesis and its main conclusions have been:

1. A detailed study of the analog six-port I/Q demodulator has been carried out. In doing so, three complex parameters have been defined (R_{DC} , R_{RW} and I_A), which completely describe the constellation distortion due to hardware impairments of the six-port junction and can be used to calculate the receiver's EVM and evaluate its performance degradation. Simplified approximate formulas have been also obtained which allow to easily calculate BER degradation due to hardware impairments from the previously defined parameters. These are interesting closed expressions which easily allow to set six-port hardware specifications to fulfill certain BER requirements. Although these formulas have been derived for QPSK modulation, they could be easily extended to other modulation techniques. Besides, three six-port I/Q demodulator have been analysed using the three complex parameters (R_{DC} , R_{RW} and I_A) to get a deeper understanding of its behaviour and compare their potential performance.
2. One of the main limitation in ultra-wideband six-port implementation is the design of hybrid couplers with minimum amplitude and phase imbalances in wide frequency ranges. To solve this problem, in this Thesis we have proposed a three-section slot-coupled quadrature hybrid, in which the lengths of the different sections were modified to compensate the parasitic effects of the discontinuities and the difference between the even and odd mode phase velocities. This circuit has exhibited an amplitude imbalance lower than ± 0.75 dB and a phase shift better than $90 \pm 3^\circ$ in the complete UWB band, outperforming

8. Conclusions and prospects

previously reported designs. However, this design technique cannot always be applied and cannot achieve a perfect matching and isolation in the ports of the directional coupler.

3. To solve the aforementioned limitations, in this Thesis we have developed a new technique based on the concept of wiggly coupled lines but applied to the design of slot-coupled directional couplers. In so doing, a new corrugated slot has been proposed enabling almost perfect compensation of even-odd mode phase velocities. This new slot is based on a periodic structure that can be efficiently designed by simulating only one unit cell (Bloch-Floquet theory) with remarkably accurate results. To demonstrate the validity of the proposed technique several directional couplers have been designed. The most relevant are: i) a 10 dB asymmetric directional coupler that has exhibited a really good coupling accuracy of 10 ± 0.6 dB, a return loss better than 23 dB and an isolation better than 28 dB from 1.2 to 12 GHz, and ii) a symmetric quadrature hybrid that has exhibited a return loss better than 22 dB, an isolation better than 26 dB and extremely small amplitude and phase imbalances of less than ± 0.5 dB and $\pm 0.7^\circ$ from 3.1 to 10.6 GHz. These results outperform previously reported designs and are comparable (in planar technologies) only with those attainable by homogeneous TEM couplers.
4. Making use of the new corrugated slot, in this Thesis we have proposed the design of multisection slot-coupled Schiffman phase shifters with a novel end connection placed inside of the coupling region to minimize its length. Two different circuits have been designed, i) a 90° phase shifter, which has exhibited a phase shift of $90 \pm 2.5^\circ$, clearly outperforming even the most recently reported designs, and a 45° phase shifter, which has exhibited a phase shift of $45 \pm 1.5^\circ$ (in simulation).
5. We have developed three passive six-port architectures, which operate in the complete UWB band (3.1 to 10.6 GHz). These six-port networks have exhibited amplitude and phase imbalances in its centres lower than ± 0.8 dB and $\pm 2.5^\circ$ respectively, yielding an EVM lower than 1.5% in the appropriate conditions. Up to the author's knowledge, these results are state of the art.
6. We have have designed and tested the power detector and baseband operational amplifier circuits needed to demodulate the I/Q signals, and finally, we have fabricated a prototype of the six-port I/Q demodulator. This circuit has exhibited an extremely good phase imbalance between the I/Q channels lower than $\pm 5^\circ$ from 3.1 to 10.6 GHz. Besides the I/Q demodulator seems to be very sensible for the demodulation of QPSK symbols, as it only needs -55 dBm of RX power level to obtain a BER of almost 10^{-6} with an LO power level of 0 dBm, without using neither calibration techniques nor error correction algorithms. However, due to the limited availability of some equipments, the I/Q demodulator has not been completely evaluated yet.
7. As an interesting application to make use of the directional couplers and phase shifters developed in this Thesis, we have designed a 4x4 Butler matrix. This

circuit covers the complete UWB band with a really good phase shift between its adjacent output ports of $45\pm 2^\circ$, $-45\pm 2.5^\circ$, $135\pm 3^\circ$ and $-135\pm 3^\circ$, respectively. The prototype of this circuit is under fabrication.

8. There has been an important collaboration with other members of the research group to design frequency locked loops (FLL) based on a delay-line frequency discriminator, making use of most of the passive circuits designed in this Thesis (directional couplers, phase shifter, power divider, etc). Moreover, out of the scope of this Thesis, we have proposed a solution to avoid the utilization of these delay lines and improve the integration of these systems designing a novel varactor-tuned dual mode frequency discriminator.

8.2. Prospects

After the work carried out in this Thesis, there are still some interesting goals to be achieved:

- We have to finish the evaluation of the six-port I/Q demodulator for different modulations (QPSK, 16QAM, 64QAM, etc.), calculating its BER for different frequencies, RX power levels and LO power levels. Besides, it can be interesting to model the behaviour of the power detector and include it in our simulation routines. This will allow to predict if the non-linear errors are introduced by the power detectors or by the six-port architecture itself. Eventually, this information could be used to develop a new calibration technique that considers both sources of non-linearities. In doing so, this new calibration technique could properly remove these non-linear errors and increase the dynamic range of the analog six-port I/Q demodulator.
- The analog six-port I/Q demodulator can be used as a delay-line frequency discriminator as well. In this approach, as in the classical one based on a quadrature hybrid, the input signal is initially divided between a direct path and a delay line to obtain two signals with a phase difference between them proportional to the frequency deviation. Then, these two signals are injected to the inputs of the six-port I/Q demodulator to obtain the in-phase and quadrature signals that contain the information of the aforementioned phase difference. Finally, a DC block can be used to analogically make some operations with the demodulated I/Q signals and obtain a voltage proportional to the instantaneous frequency deviation of the signal at the input of the frequency discriminator. The main difference between both approaches is that the classical one (based on a quadrature hybrid) usually requires a variable phase shifter and additional control circuitry to keep the circuit working in the quadrature condition. However, the frequency discriminator based on a six-port I/Q demodulator naturally works in the quadrature condition. Hence, it does not need either additional tuning elements or additional control circuits, what makes it a simpler and more robust solution to design wideband FLL. This could be an excellent application for the wideband high performance six-port I/Q demodulator designed in this Thesis.

8. Conclusions and prospects

- The main limitation of the delay-line frequency discriminators is the long external delay line required to get a proper frequency sensitivity. This increases the size of the circuit, and precludes its integration in planar technologies. An interesting alternative to reduce the size and the complexity of the former approach is the balanced double tuned frequency discriminator. The main drawbacks of this approach in planar technologies is its limited bandwidth and sensitivity due to the relatively low tuning range and quality factor of the tuning elements. Out of the scope of this Thesis, we have proposed a novel varactor-tuned frequency discriminator that makes use of two tunable dual-mode microstrip resonators to increase the potential frequency range of the balanced double tuned frequency discriminator. However, we only have fabricated a prototype of the varactor-tuned dual-mode resonator required, but not the complete frequency discriminator. Hence, it could be really interesting to continue with this work and realize an ultra-compact broadband frequency discriminator, which greatly decreasing the size of the previously design delay-line frequency discriminator could compete with it in terms of performance.

Apéndices



SPICUM
servicio de publicaciones



Aproximación de la probabilidad de error de símbolo para una modulación QPSK

La distribución de probabilidad normal o Gaussiana tiene una función de densidad de probabilidad del tipo:

$$f(x) = \frac{1}{\sigma\sqrt{2\pi}} \exp\left(-\frac{1}{2}\left(\frac{x-\mu}{\sigma}\right)^2\right) \quad (\text{A.1})$$

Donde μ es la media y σ la desviación típica. Para calcular la probabilidad de una variable aleatoria Gaussiana se utiliza la función Q, que no tiene solución analítica. Ésta se define como:

$$Q(x) = \frac{1}{\sqrt{2\pi}} \int_x^\infty \exp\left(-\frac{t^2}{2}\right) dt \quad (\text{A.2})$$

La función Q es posible desarrollarla mediante polinomios de Taylor, pero el número de términos que requiere es infinito. En este caso, ésta se va a truncar utilizando un polinomio de Taylor de orden dos para aproximar la probabilidad de error de símbolo:

$$Q(x) = Q(x_0) + Q'(x_0)(x-x_0) + \frac{Q''(x_0)}{2}(x-x_0)^2. \quad (\text{A.3})$$

Esto introduce un error en el cálculo de la probabilidad de error que será mayor cuanto más se aleje el punto a evaluar del de referencia (x_0). Esta aproximación ha demostrado ser válida para demoduladores con buenas prestaciones, como los que aquí se contemplan.

Como ya se ha visto en el segundo capítulo, la probabilidad de error para un símbolo recibido en un receptor real es:

$$P_{e_i} = Q\left(\frac{d}{2\sigma} + \frac{2\text{Re}(e_i)}{2\sigma}\right) + Q\left(\frac{d}{2\sigma} + \frac{2\text{Im}(e_i)}{2\sigma}\right) \quad (\text{A.4})$$

Aplicando la aproximación de (A.3) en (A.4) se obtiene:

A. Aproximación de la probabilidad de error de símbolo para una modulación QPSK

$$P_{e_i} = Q\left(\frac{d}{2\sigma}\right) + Q'\left(\frac{d}{2\sigma}\right)\left(\frac{2\text{Re}(e_i)}{2\sigma} + \frac{2\text{Im}(e_i)}{2\sigma}\right) + \frac{Q''\left(\frac{d}{2\sigma}\right)}{2}\left(\left(\frac{2\text{Re}(e_i)}{2\sigma}\right)^2 + \left(\frac{2\text{Im}(e_i)}{2\sigma}\right)^2\right) \quad (\text{A.5})$$

Para el caso de la modulación QPSK los diferentes términos de la serie de Taylor de orden dos de la función Q se pueden calcular como

$$\begin{aligned} Q\left(\frac{d}{2\sigma}\right) &= Q(\sqrt{2 \cdot \text{SNR}}) \\ Q'\left(\frac{d}{2\sigma}\right) &= Q'(\sqrt{2 \cdot \text{SNR}}) = -\frac{1}{\sqrt{2\pi}} \exp(-\text{SNR}) \\ Q''\left(\frac{d}{2\sigma}\right) &= Q''(\sqrt{2 \cdot \text{SNR}}) = \sqrt{\frac{\text{SNR}}{\pi}} \exp(-\text{SNR}) \end{aligned} \quad (\text{A.6})$$

Por otro lado, realizando las operaciones oportunas se obtiene que

$$\frac{|e_i|^2}{\sigma^2} = \frac{|e_i|^2}{|\Gamma_i|^2} \frac{|\Gamma_i|^2}{\sigma^2} = 4 \cdot \text{SNR} \cdot \text{EVM}_i^2, \quad (\text{A.7})$$

$$\frac{2\text{Re}(e_i)}{2\sigma} + \frac{2\text{Im}(e_i)}{2\sigma} = \sqrt{4 \cdot \text{SNR} \cdot \text{EVM}_i^2} (\cos(\theta_{e_i}) + \sin(\theta_{e_i}))$$

donde θ_{e_i} es ángulo del vector error para el símbolo recibido.

De las ecuaciones (A.5) y (A.7) se deduce que la probabilidad de error del símbolo demodulado depende de la posición del mismo según la ecuación

$$P_{e_i} = 2Q(\sqrt{2\text{SNR}}) - \frac{1}{\sqrt{\pi}} \exp(-\text{SNR}) \text{EVM}_i \sqrt{\text{SNR}} \left[\left(\frac{\cos\theta_{e_i} + \sin\theta_{e_i}}{\sqrt{2}} \right) - \text{SNR} \cdot \text{EVM}_i \right] \quad (\text{A.8})$$

Dicha posición de los símbolos depende únicamente de las imperfecciones del hardware en ausencia de ruido. Así, asumiendo el caso peor, esto es $\theta_{e_i} = 225^\circ$ (en este situación los símbolos se acercan a las fronteras de decisión), y sustituyendo las ecuaciones (A.6), y (A.7) en la ecuación (A.5), la cota máxima de la probabilidad de error para un símbolo recibido se puede determinar finalmente como

$$P_{e_i} = 2Q(\sqrt{2 \cdot \text{SNR}}) + \frac{2}{\sqrt{\pi}} \exp(-\text{SNR}) \cdot \text{EVM}_i \cdot \sqrt{\text{SNR}} [1 + \text{SNR} \cdot \text{EVM}_i]. \quad (\text{A.9})$$

B

Deducción formulas EVM arquitecturas de seis puertos

En este apéndice se obtienen las ecuaciones analíticas que modelan el comportamiento de las tres arquitecturas de seis puertos estudiadas en el capítulo 2 y se calcula el EVM (2.30) a partir de sus figuras de mérito R_{RW} (2.32) e I_A (2.33) para cada una de ellas. Para realizar el análisis se asume que los detectores trabajan en régimen cuadrático y que todos tienen la misma sensibilidad (r). Además, se asume que todos los elementos presentan un aislamiento y una adaptación perfecta en todos sus puertos.

B.1. Arquitectura formada por tres híbridos y un divisor de potencia

Esta red de seis puertos está formada por la unión pasiva de tres híbridos y un divisor de potencia, como se muestra en la Fig. B.1. Para modelar el comportamiento de esta arquitectura se asume los tres híbridos son iguales. Así, las ecuaciones que modelan el comportamiento de los híbridos son

$$\begin{aligned} S_{21}^{Hib} = S_{43}^{Hib} = D = |D| \exp(j\angle D) \\ S_{41}^{Hib} = S_{23}^{Hib} = C = |C| \exp(j\angle C) \end{aligned} \quad , \quad (B.1)$$

y las ecuaciones que modelan el comportamiento del divisor de potencia son:

$$\begin{aligned} S_{21}^{div} = T = |T| \exp(j\angle T) \\ S_{31}^{div} = P = |P| \exp(j\angle P) \end{aligned} \quad . \quad (B.2)$$

Con estas ecuaciones es posible saber como se degradan las prestaciones del demodulador I/Q de seis puertos debido a

- El desbalanceo de los híbridos, definido como:

$$I_H = \frac{D}{jC} \quad (B.3)$$

B. Deducción formulas EVM arquitecturas de seis puertos

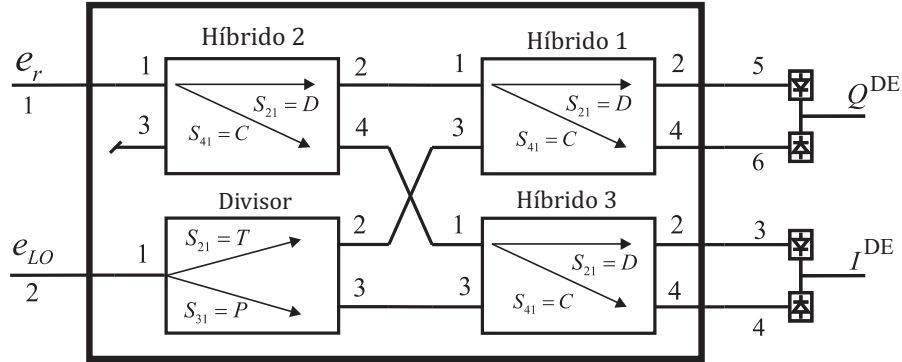


Figura B.1.: Esquema de demodulación de seis puertos basado en una red con tres híbridos y un divisor de potencia.

- El desbalanceo del divisor, definido como:

$$I_D = \frac{T}{P} \quad (B.4)$$

- Diferencia entre los desbalances de fase del divisor de potencia y del híbrido situado a la entrada de la red, ya que son elementos distintos.

Para obtener el modelo analítico de este demodulador se particularizan las ecuaciones obtenidas en el capítulo 2 para el caso genérico. Así, sustituyendo (B.1) y (B.2) en (2.10)-(2.12), se obtienen las ecuaciones que modelan el comportamiento de esta estructura:

- Parámetro de señal Continua ($\alpha = \alpha_I + j\alpha_Q$)

$$\begin{aligned} \alpha_I &= |P|^2 [|D|^2 - |C|^2] = |P|^2 |C|^2 [|I_H|^2 - 1] \\ \alpha_Q &= |T|^2 [|D|^2 - |C|^2] = |T|^2 |C|^2 [|I_H|^2 - 1] \end{aligned} \quad (B.5)$$

- Parámetro de señal de onda rectificadora ($\gamma = \gamma_I + j\gamma_Q$)

$$\begin{aligned} \gamma_I &= |C|^2 [|C|^2 - |D|^2] = |C|^4 [1 - |I_H|^2] \\ \gamma_Q &= |D|^2 [|C|^2 - |D|^2] = |C|^2 |D|^2 [1 - |I_H|^2] \end{aligned} \quad (B.6)$$

- Ejes de referencia en la demodulación (u y v)

$$\begin{aligned} u &= 2j K_u \cos(\angle I_H) \exp j(\angle P - \angle C) \\ v &= 2j K_v \cos(\angle I_H) \exp j(\angle T - \angle D) \end{aligned} \quad (B.7)$$

donde $K_u = |C|^2 |P| |D|$ y $K_v = |D|^2 |T| |C|$.

B.2. Arquitectura formada por cuatro híbridos y un desfasador de 90°

Conocidas las ecuaciones del modelo analítico, si se asume que la calibración (o el bloqueo de continua) ha eliminado el término de señal de DC (i.e. $R_{DC} = 0$), sustituyendo (B.6) y (B.7) en las ecuaciones que definen el rechazo de onda rectificada R_{RW} (2.32) y el desbalanceo de los ejes de referencia I_A (2.33) se obtiene que

$$R_{RW} = \frac{[|C|^4 + j|C|^2|D|^2][1 - |I_H|^2]}{|u'|} = \frac{k_\gamma(1 - |I_H|^2)[1 + j|I_H|^2]}{|u'|}, \quad (\text{B.8})$$

$$I_A = \frac{1 + j\frac{v}{u}}{1 - j\frac{v}{u}} = \frac{1 - |I_D||I_H|\exp[j(\angle I_D - \angle I_H)]}{|1 + |I_D||I_H|\exp[j(\angle I_D - \angle I_H)]|}, \quad (\text{B.9})$$

donde $k_\gamma = |C|^4$. Finalmente, el EVM (2.30) de esta arquitectura puede calcularse a partir de (B.8) y (B.9) como

$$EVM_i = \left| R_{RW} |\Gamma_i^{RX}| + I_A \frac{(\Gamma_i^{RX})^*}{|\Gamma_i^{RX}|} \right| \quad (\text{B.10})$$

B.2. Arquitectura formada por cuatro híbridos y un desfasador de 90°

Esta red de seis puertos está formada por la unión pasiva de cuatro híbridos y un desfasador de 90°, como se muestra en la Fig. B.2. Para modelar esta arquitectura se asume los cuatro híbridos son iguales (B.1), y que el desfasador presenta el siguiente comportamiento

$$S_{21}^{desf} = |S|\exp(j\angle S). \quad (\text{B.11})$$

Con estas ecuaciones es posible saber como se degradan las prestaciones del demodulador I/Q de seis puertos debido a

- El desbalanceo de los híbridos (I_H).
- Las pérdidas y el error de fase introducidos por el desfasador, definidos como:

$$I_{PS} = -jS. \quad (\text{B.12})$$

Para obtener el modelo analítico de este demodulador se particularizan las ecuaciones obtenidas en el capítulo 2 para el caso genérico. Así, sustituyendo (B.1) y (B.11) en (2.10)-(2.12), se obtienen las ecuaciones que modelan el comportamiento de esta estructura:

- Parámetro de señal Continua ($\alpha = \alpha_I + j\alpha_Q$)

$$\begin{aligned} \alpha_I &= |C|^2[|D|^2 - |C|^2] = |C|^4[|I_H|^2 - 1] \\ \alpha_Q &= |D|^2[|D|^2 - |C|^2] = |D|^2|C|^2[|I_H|^2 - 1] \end{aligned}, \quad (\text{B.13})$$

- Parámetro de señal de onda rectificada ($\gamma = \gamma_I + j\gamma_Q$)

$$\begin{aligned} \gamma_I &= |C|^2|S|^2[|C|^2 - |D|^2] = |C|^4|I_{PS}|^2[1 - |I_H|^2] \\ \gamma_Q &= |D|^2[|C|^2 - |D|^2] = |D|^2|C|^2[1 - |I_H|^2] \end{aligned}, \quad (\text{B.14})$$

B. Deducción formulas EVM arquitecturas de seis puertos

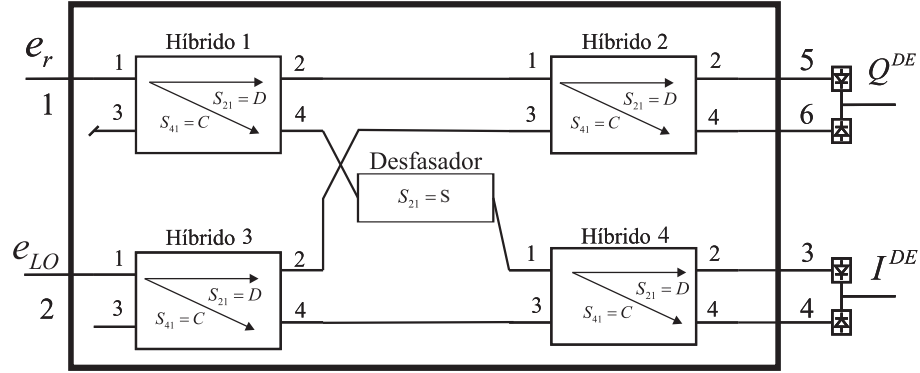


Figura B.2.: Esquema de demodulación de seis puertos basado en una red con cuatro híbridos y un desfasador de 90° .

- Ejes de referencia en la demodulación (u y v)

$$\begin{aligned} u &= 2K_u \cos(\angle I_H) \exp(-j\angle I_{PS}) \\ v &= 2jK_v \cos(\angle I_H) \end{aligned}, \quad (B.15)$$

donde $K_u = |C|^3 |I_{PS}| |D|$ y $K_v = |D|^3 |C|$.

Conocidas las ecuaciones del modelo analítico, si se asume que la calibración (o el bloqueo de continua) ha eliminado el término de señal de DC (i.e. $R_{DC} = 0$), sustituyendo (B.14) y (B.15) en las ecuaciones que definen el rechazo de onda rectificada R_{RW} (2.32) y el desbalanceo de los ejes de referencia I_A (2.33) se obtiene que

$$R_{RW} = \frac{|C|^4 |I_{PS}|^2 + j |D|^2 |C|^2 [1 - |I_H|^2]}{|u'|} = \frac{k_\gamma [|I_{PS}|^2 + j |I_H|^2] [1 - |I_H|^2]}{|u'|}, \quad (B.16)$$

$$I_A = \frac{1 + j \frac{v}{u}}{|1 - j \frac{v}{u}|} = \frac{1 - \frac{|I_H|^2}{|I_{PS}|} \exp[j(\angle I_{PS})]}{\left| 1 + \frac{|I_H|^2}{|I_{PS}|} \exp[j(\angle I_{PS})] \right|}, \quad (B.17)$$

donde $k_\gamma = |C|^4$. Finalmente, el EVM de esta arquitectura puede calcularse a partir de (B.16) y (B.17) usando la ecuación (B.10).

B.3. Arquitectura formada por dos híbridos, dos divisores de potencia y un desfasador

Esta red de seis puertos está formada por la unión pasiva de dos híbridos (B.1), dos divisores de potencia (B.2) y un desfasador de 90° (B.11), como se muestra en la Fig. B.3. Para modelar esta arquitectura se asume los dos híbridos y dos divisores de potencia son iguales. Así, usando estas ecuaciones que describen el comportamiento de los tres elementos se obtienen las ecuaciones que modelan el comportamiento de esta estructura:

B.3. Arquitectura formada por dos híbridos, dos divisores de potencia y un desfasador

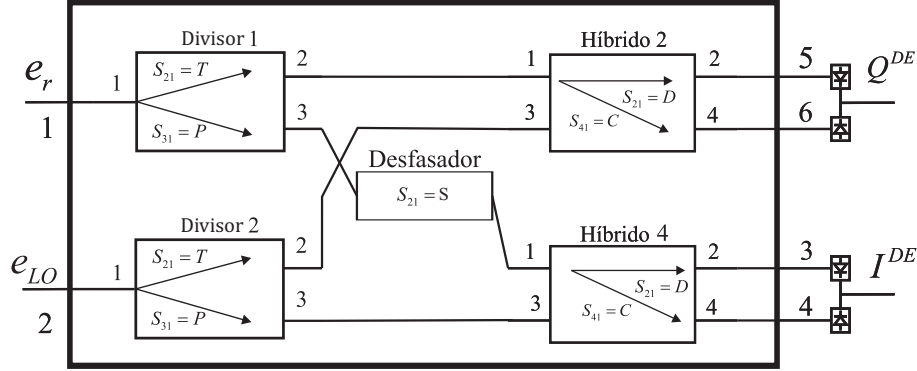


Figura B.3.: Esquema de demodulación de seis puertos basado en una red con dos híbridos, dos divisores de potencia y un desfasador de 90° .

- Parámetro de señal Continua ($\alpha = \alpha_I + j\alpha_Q$)

$$\begin{aligned}\alpha_I &= |P|^2 [|D|^2 - |C|^2] = |P|^2 |C|^2 [|I_H|^2 - 1] \\ \alpha_Q &= |T|^2 [|D|^2 - |C|^2] = |T|^2 |C|^2 [|I_H|^2 - 1]\end{aligned}, \quad (\text{B.18})$$

- Parámetro de señal de onda rectificada ($\gamma = \gamma_I + j\gamma_Q$)

$$\begin{aligned}\gamma_I &= |P|^2 |S|^2 [|C|^2 - |D|^2] = |P|^2 |I_{PS}|^2 |C|^2 [1 - |I_H|^2] \\ \gamma_Q &= |T|^2 [|C|^2 - |D|^2] = |T|^2 |C|^2 [1 - |I_H|^2]\end{aligned}, \quad (\text{B.19})$$

- Ejes de referencia en la demodulación (u y v)

$$\begin{aligned}u &= 2K_u \cos(\angle I_H) \exp(-j\angle I_{PS}) \\ v &= 2j K_v \cos(\angle I_H)\end{aligned}, \quad (\text{B.20})$$

donde $K_u = |P|^2 |I_{PS}| |C| |D|$ y $K_v = |T|^2 |C| |D|$.

Conocidas las ecuaciones del modelo analítico, si se asume que la calibración (o el bloqueo de continua) ha eliminado el término de señal de DC (i.e. $R_{DC} = 0$), sustituyendo (B.19) y (B.20) en las ecuaciones que definen el rechazo de onda rectificada R_{RW} (2.32) y el desbalanceo de los ejes de referencia I_A (2.33) se obtiene que

$$R_{RW} = \frac{[|P|^2 |I_{PS}|^2 |C|^2 + j |T|^2 |C|^2] [1 - |I_H|^2]}{|u'|} = \frac{k_\gamma [|I_{PS}|^2 + j |I_D|^2] [1 - |I_H|^2]}{|u'|}, \quad (\text{B.21})$$

$$I_A = \frac{1 + j \frac{v}{u}}{1 - j \frac{v}{u}} = \frac{1 - \frac{|I_D|^2}{|I_{PS}|^2} \exp[j(\angle I_{PS})]}{1 + \frac{|I_D|^2}{|I_{PS}|^2} \exp[j(\angle I_{PS})]}, \quad (\text{B.22})$$

donde $k_\gamma = |P|^2 |C|^2$. Finalmente, el EVM de esta arquitectura puede calcularse a partir de (B.21) y (B.22) usando la ecuación (B.10).

B. Deducción formulas EVM arquitecturas de seis puertos

C

Tecnología inicial empleada en la implementación de circuitos multicapa

Los primeros prototipos implementados se realizaron en la propia Universidad de Málaga mediante una tecnología de fabricación de placas de circuito impreso (PCB) monocapa, ya que no se disponía de una tecnología de fabricación de circuitos multicapa. El sustrato elegido en la fabricación de estos circuitos fue el sustrato RO4350B con $\epsilon_r = 3.66$ y $h = 0.254 \text{ mm}$. Este sustrato se compra directamente con una capa de cobre de $17 \mu\text{m}$ de espesor a cada lado de la placa.

Dado que los híbridos a implementar se tratan de circuitos multicapa, es necesario fabricar dos placas con las pistas impresas en el plano superior y la ranura sin cobre en el plano inferior para poder hacer los circuitos. Antes de decidir cómo construir las placas hay que decidir cómo unir las placas posteriormente para formar el circuito multicapa. Roger ofrece la opción de unir sus placas mediante el uso de un pegamento con $\epsilon_r = 3.54$. Pero usar esta técnica tiene el inconveniente de que si el pegamento no se cura bien en el horno la ϵ_r puede llegar a ser muy distinta. Además, al usarla y retirar todo el cobre de una de las placas, la estructura deja de ser simétrica. Otra opción posible es usar epoxy conductivo dejando las ranuras rellenas de aire. Esta solución demostró no ser muy fiable cuando la superficie y el peso de los circuitos crecía, por lo que fue descartada. Por ello, la opción finalmente elegida fue unir las placas usando tornillos.

En este tipo de circuitos, que trabajan hasta muy alta frecuencia con muy buenas prestaciones en cuanto a pérdidas de retorno, es importante decidir correctamente los conectores a usar, para conseguir una medida lo más realista posible. En este caso se ha decidido usar los conectores super SMA de Southwest de 2.4 mm [140], que presentan muy buenas prestaciones hasta los 20 GHz. Además, al ir atornillados se ajustan a placas de cualquier espesor. El único requisito que hay que cumplir es que el ancho de la pista quede dentro de los márgenes que exige el fabricante, para que la pista de señal no se cortocircuite con el cuerpo del conector.

Decidida la técnica para unir las placas y los conectores a usar, el siguiente paso es decidir cómo definir las pistas y cómo hacer las vías para los tornillos. En un primer momento se optó por el uso de la fresadora Quickcircuit 7000, ya que ésta permite definir las pistas y las vías de forma muy exacta en cuanto a tamaño y posición. Los inconvenientes de esta solución son: i) la dificultad para controlar la profundidad

C. Tecnología inicial empleada en la implementación de circuitos multicapa

con la que las brocas de la fresadora eliminan el cobre (normalmente se elimina también parte del sustrato), lo que afecta enormemente al nivel de acoplamiento en el caso de las ranuras, y ii) la dificultad para definir los circuitos con buena precisión, ya que es necesario no mover en ningún momento la placa donde se está definiendo el circuito y que en la zona en la que se define el circuito las condiciones sean homogéneas. Esto no es viable en el caso de los híbridos, ya que hay que darles la vuelta a las placas para eliminar el cobre de la zona de la ranura. La segunda opción probada consiste en definir las pistas y las ranuras mediante ataque químico. El inconveniente es que para definir las vías posteriormente con taladros, la precisión es pésima, por lo que el desalineamiento entre las placas no es aceptable.

Debido a los inconvenientes de ambas opciones, finalmente se ha optado por el uso de una técnica híbrida entre ambas, la cual se describe a continuación:

1. Diseñar los layout para obtener los fotolitos con los que posteriormente se definen las pistas (teniendo en cuenta que en este caso la fotorresina es negativa).
2. Definir las pistas, las vías y retirar el cobre de las ranuras de ambas placas mediante ataque químico. En el caso de las vías, éstas se dejan definidas con una corona circular de $400\ \mu m$ (sin cobre en el centro).
3. Taladrar las vías con la fresadora centrando la punta de las mismas con los agujeros sin cobre de las coronas circulares que marcan la posición donde hay que hacer la vía.
4. Recortar las placas para poder poner los conectores.
5. Alinear las placas mediante el uso de los pines de precisión de la fresadora.
6. Con las placas alineadas, atornillar las vías restantes para dejar la placas unidas y fijadas en esa posición.
7. Retirar los pines de referencia y atornillar las vías que quedan libres.

El gran inconveniente de este método es que aunque se logra acotar el desalineamiento, éste sigue siendo grande. De todas formas, gracias a este método ha sido posible implementar los híbridos que se presentaron en las primeras secciones del capítulo 3.

D

Diseño de un kit de calibración TRL

El problema que surge al intentar realizar las medidas de un dispositivo con un analizador de redes aparece representado en la Fig. D.1. Cuando se intenta medir la matriz de parámetros S de un dispositivo, en la medida realizada se incluyen las imperfecciones, las pérdidas y los desfases introducidos por el analizador de redes, los conectores, los cables y las transiciones necesarias para conectar el dispositivo al analizador. Todos estos efectos que no se desean medir pueden ser concentrados en dos cajas de error y caracterizadas con una matriz de parámetros S, como se muestra en la Fig. D.1.

La calibración TRL [185] permite calcular la matriz de parámetros S de estos errores para descontarlos posteriormente de las medidas del dispositivo, consiguiendo así medir en los planos de referencia y caracterizar únicamente el dispositivo bajo prueba. Ésta se basa en el uso de tres/cuatro simples conexiones que permiten caracterizar completamente el error del hardware de medida. Estas conexiones son: i) la conexión “thru”, que es la conexión directa de 50Ω de los puertos 1 y 2 en los planos de referencia, ii) la conexión “reflect”, que usa línea de 50Ω acabada en una carga con un coeficiente de reflexión muy elevado (normalmente un circuito abierto), y iii) las conexiones “line”, que unen los puertos 1 y 2 a través de una o varias líneas de transmisión de 50Ω de diferente longitud.

El diseño de las pistas microstrip del kit de calibración TRL se realiza a partir de la frecuencia inferior de la banda donde se quiere calibrar (f_1) y de la frecuencia supe-

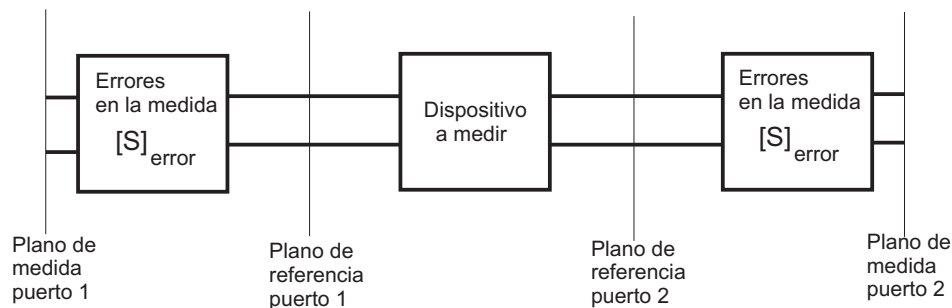


Figura D.1.: Diagrama de bloques del sistema de medida de un dispositivo con un analizador de redes de dos puertos.

D. Diseño de un kit de calibración TRL

Tabla D.1.: Dimensiones utilizadas en el kit de calibración TRL.

L_{thru}	$L_{reflect}$	L_{line1}	L_{line2}	$W_{50\Omega}$
36 mm	18 mm	17.6 mm	4.25 mm	0.66 mm

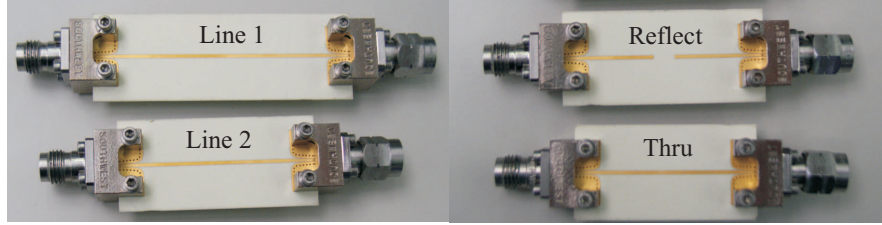


Figura D.2.: Estándares del kit de calibración TRL.

rior de la banda donde se quiere calibrar (f_2). Con estas frecuencias es posible obtener las longitudes de de los diferentes estándares. Para el caso en que se usen dos estándares “line” las ecuaciones a utilizar son:

$$f_x = \sqrt{f_1 f_2} \quad (D.1)$$

$$\frac{l}{2} = \frac{\lambda_{eff}}{4} \quad para f = f_1 \quad (D.2)$$

$$\Delta l_1 = \frac{\lambda_{eff}}{4} \quad para f = \frac{f_1 + f_x}{2} \quad (D.3)$$

$$\Delta l_2 = \frac{\lambda_{eff}}{4} \quad para f = \frac{f_2 + f_x}{2} \quad (D.4)$$

$$L_{thru} = l \quad (D.5)$$

$$L_{reflect} = \frac{l}{2} \quad (D.6)$$

$$L_{line1} = \Delta l_1 \quad (D.7)$$

$$L_{line2} = \Delta l_2 \quad (D.8)$$

Utilizando las ecuaciones anteriores se ha diseñado e implementado un kit de calibración TRL que permite medir en la banda de 1 a 17 GHz (o incluso un mayor rango). Este rango de frecuencias permite cubrir todas las bandas de operación de los circuitos diseñados en esta tesis. En el diseño de este kit los valores de frecuencia tomados como referencia son $f_1 = 1$ GHz y $f_2 = 17$ GHz. Cabe destacar que en el kit diseñado se ha reducido notablemente la longitud l , ya que con los analizadores de redes actuales no es necesario usar pistas tan largas. Las dimensiones utilizadas en la realización del kit de calibración TRL se muestra en la Tabla D.1 y en la Fig. D.2 se muestra una fotografía de los estándares fabricados.

E

English summary

Preface

According to the Spanish regulations, the Thesis manuscript can be completely written in Spanish. However, to apply for the “Doctor Europeus” mention, it is required to write the conclusions and a brief summary (of at least ten pages) in another official language of the European Union. Hence, this Thesis has been fully written in Spanish, but including this English summary to obtain the previously commented mention. Thus, please notice that this document is not the Thesis manuscript itself, but it is only a summary to show the most relevant results. Therefore, we are aware that some parts of the information given in this document may not be entirely explained or clear. In any case, most of the results have been previously published in international journals and conferences where the developed work has been explained in detail [17, 45, 49, 50, 55, 56]. Furthermore, we hope that every doubt will be perfectly clarified in the defense of this Thesis, which will be entirely done in English.

E.1. Introduction

In the age of communications, wireless communication systems have become the preferred option, as they provide more flexibility and comfort. Besides, the large number of services and applications that are used these days require increasing data rates. Hence, the design of receivers for wireless communication has two main goals: i) increase their bandwidth to get higher data rates, and ii) reduce the size and cost of these devices to create attractive products that satisfy the costumers.

By far the most successful application of wireless networking has been the cellular telephone system. Since the first analog cellular network was deployed in Chicago in 1984, it suffered an explosive growth that took almost everybody by surprise [1]. In fact, all the deployed cellular networks were saturated in a very short period of time. To solve this problem and increase the capacity of these cellular networks, the second generation of cellular systems was developed. Initially, this second generation was focused on the transmission of voice and short messages. However, the potential of cellular or mobile phones for many other applications (i.e. emails, internet connection, GPS, etc) was soon discovered. Then, all these applications were definitely

E. English summary

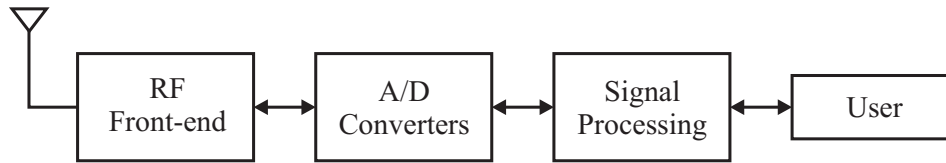


Figure E.1.: Basic block diagram of a SDR

standardized with the development of the third generation of cellular systems and the invention of the smartphone. This new device has the computational capabilities of a PC and is designed to be connected with the most important wireless networks (cellular, Wi-Fi, Bluetooth, GPS, etc), thus supporting almost any application. However, these terminals require multiple RF front-ends to work with the different networks, what increases their size, cost and power consumption. Hence, an important task for the next years is the RF hardware simplification to reduce their size and cost, and increase the duration of their batteries.

An interesting solution to simplify the RF circuitry of any type of terminal connected with different wireless networks is the software defined radio (SDR) [2]. In this type of system, the operating parameters, such as the frequency range or the modulation type can be modified by software without making any hardware change. Hence, this type of system allows to work with multiple wireless networks based on different standards allocated in different frequency bands using a single RF front-end.

Figure E.1 shows the basic block diagram of a SDR. In this system the input signal is downconverted to baseband by the RF front-end and digitalized by the Analog/Digital (A/D) converters. Then, the signal processing is performed in the digital domain to recover the received signal depending on the wireless network where the terminal is operating and its modulation standard. Ideally, the RF front-end is not required in these systems if the A/D converters can sample at the frequency of the carrier signal. However, current wideband receivers cover several gigahertz of frequency band, what would need extremely expensive high-speed A/D converters to sample at these frequencies. In fact, one of the main limitations of the SDR is the required speed of the A/D converters and the post-processing module to recover the received signal in real-time communication systems. In consequence, it seems unavoidable the utilization of wideband RF front-ends to make feasible this technology in the near future.

There are two main reception architectures, the heterodyne receiver and the homodyne receiver. Initially, the heterodyne receiver was widely developed as it could solve most of the limitations of the homodyne approach by downconverting the received signal to an intermediate frequency (IF), where the hardware specifications were easier to achieve. However, the necessity for higher integration levels and cost reduction in the last years has revived the interest in the homodyne receiver, which is better suited to monolithic integration than the heterodyne approach [3].

An very interesting proposal is the implementation of SDR based on six-port architectures. The combination of SDR and six-port technologies can provide a great flexibility in the software system reconfiguration and a significant hardware cost reduction, particularly at millimeter-wave frequencies. In fact, several six-port SDR have been designed at different frequency ranges from 1 GHz [5,6] to tens of gigahertz [4]

to prove the validity of this proposal.

E.2. Six-port receiver: advantages and disadvantages

The six-port receiver is a direct conversion architecture that offers interesting advantages when compared with the traditional homodyne and heterodyne approaches [7], such as:

- It can achieve a wide bandwidth, is scalable to almost any frequency and its realization at higher frequencies is easier than the traditional approaches.
- It has a low circuit complexity (a six-port passive network and four power detectors), what reduces the fabrication costs. Besides, its hardware impairments are easy to remove by calibration.
- It is completely passive and has a low power consumption because i) the power detectors do not need any power supply and ii) its architecture requires a low LO power to keep the power detectors in the square law regime.

However, the six-port receiver has the important drawback of its limited dynamic range, which is mainly caused by the reduced square-law dynamic range of the power detectors [8]. This drawback makes this architecture more vulnerable to external interferences that cannot be properly filtered at the input of the receiver and to the harmonics generated by the power detectors. With this limitation, the six-port receiver cannot compete with the traditional homodyne and heterodyne approaches in the lower gigahertz frequencies where most of the wireless systems operate and the spectrum is saturated. Nevertheless, there are some frequency bands and applications in which the six-port receiver can compete with the traditional approaches or even outperforms them:

- In the upper millimeter-wave frequencies the six-port receiver is a better option as the amplification required to get a high LO power is difficult to realize. Besides, passive six-port networks drastically reduce their sizes at such frequencies, making easier their integration [9].
- In the implementation of testers for the evaluation of microwave transceivers. Tests and measurements of wireless microwave devices have to be performed in laboratories or even in anechoic chambers free of interferences that could potentially spoil the obtained results. In this situation, the main limitation of the six-port receiver is strongly mitigated, making it a option. A frequency band to be considered for this application is the Ultra-wideband (UWB) from 3.1 to 10.6 GHz. UWB radio technology offers interesting features that can be used to develop multiple applications such as high-speed wireless personal area networks or "see-through-the-wall" precision radar-imaging technologies [10]. Furthermore, some of the most important wireless standards have been defined to operate in frequency ranges of the UWB band: i) LTE (Long Term Evolution) with channels from 3.5 to 3.6 GHz, ii) Wi-Fi at 5 GHz, and ii) Wimax (Worldwide Interoperability for Microwave Access), which was specified for the 2 to 11 GHz range in

E. English summary

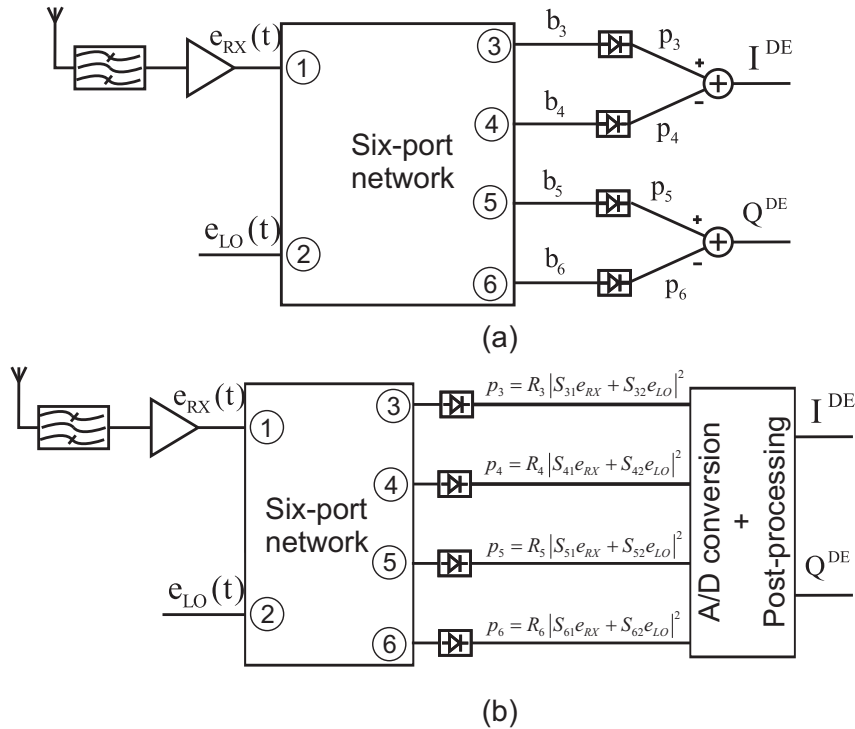


Figure E.2.: Six-port I/Q demodulator block diagrams. a) Analog I/Q generation. b) Digital I/Q generation.

the IEEE standard 802.16a. Hence, it could be interesting the implementation of a SDR tester based on the six-port architecture to assess the performance of the transceivers implemented for these applications.

E.3. Six-port receiver in the current wireless communication scenario

Nowadays, six-port receivers are well-known homodyne (or direct conversion) receivers. Initially, six-port technique was developed for metrology applications at microwave frequencies [11, 12]. In this field, different architectures and calibration techniques were proposed, and several studies about their accuracy for measuring the reflection coefficient of microwave circuits were carried out [13, 14]. Subsequently, they were proposed as direct conversion receivers in 1994 [15]. Since then, they have attracted a considerable attention at microwave frequencies to be used i) in different applications, such as radars [16], frequency discriminators [17], breast cancer detection [18, 19], traffic safety [7, 20], new demodulation schemes [21], ii) at different frequency ranges from 1 GHz [5, 6] to tens of gigahertz [4], and iii) in different technologies, as MMIC (Monolithic Microwave Integrated Circuit) [23], CMOS (Complementary Metal Oxide Semiconductor) [24], etc. Besides, six-port based direct detection receivers are nowadays a hot topic in the optical community as they are the most promising candidates for modern 100 Gb/s coherent optical receivers [25–27].

Figure E.2 shows the basic building blocks of six-port receivers: the six-port passive junction and the four power detectors. In these circuits, the six-port passive junction combines the reference signal, generated by the local oscillator (LO), and the received radio frequency (RX) signal, with some specific amplitude and phase relations at the input of the four power detectors to allow the I/Q demodulation. Six-port receivers are usually designed to work in homodyne operation, so that, the power detector outputs are directly obtained in baseband, and the I/Q signals can be recovered by analog (see Fig. E.2(a)) or digital means (see Fig. E.2(b)). In the first six-port receiver proposals, and even in some of the most recent ones [5, 15, 28, 30], the four power detectors outputs are digitized (digital I/Q generation), enabling the use of powerful calibration strategies to remove hardware imperfections. However, this digital approach imposes important restrictions on the A/D converters and the post-processing system as it requires four A/D converters.

More recently, analog I/Q generation has become the preferred alternative [32–34]. It offers the advantage of providing a simple analog solution as only the I/Q signals are digitized in this approach. However, in this case calibration algorithms have less information than in the digital approach, thus reducing their capabilities to remove the hardware impairments and increasing the hardware specifications of the analog approach to obtain the same performance as the digital one. On the contrary, the analog approach reduces the specifications of the A/D converters and the post-processing system, as it only requires two A/D converters.

E.4. Overview of this work

In this section we will briefly outline the main goals and contributions of this Thesis and give a general overview of the following sections. The main goal of this Thesis is the realization of a high performance analog six-port I/Q demodulator, which has to properly operate in the complete Ultra-Wideband (UWB) band (3.1 to 10.6 GHz) even without calibration. Achieving this goal, this circuit can i) demodulate narrowband and broadband signals based on arbitrary modulations (i.e. QPSK, 16QAM, etc.), and ii) overcome some of the limitations of the digital approach, greatly decreasing the specifications of the A/D converters and the post-processing required, and thus reducing the complexity and the cost of this type of demodulators. To achieve this main goal, several objectives have been attained, as depicted in Fig. E.3:

1. **Detailed study of the performance degradation of analog six-port I/Q demodulators due to hardware imperfections of its elements.** Although it is known that the analog solution offers the advantage of providing a simpler solution at the cost of requiring a more demanding hardware, the influence of six-port junction hardware impairments on the demodulator performance was unknown at the beginning of this Thesis. Hence, one of the contributions of this Thesis has been to make a detailed study of the analog six-port I/Q demodulator and define compact expressions to completely describe and assess the constellation distortion due to the hardware impairments of the six-port junction. In doing so, formulas to calculate the Error Vector Magnitude (EVM) have been proposed, and simplified approximate formulas have been also obtained which allow

E. English summary

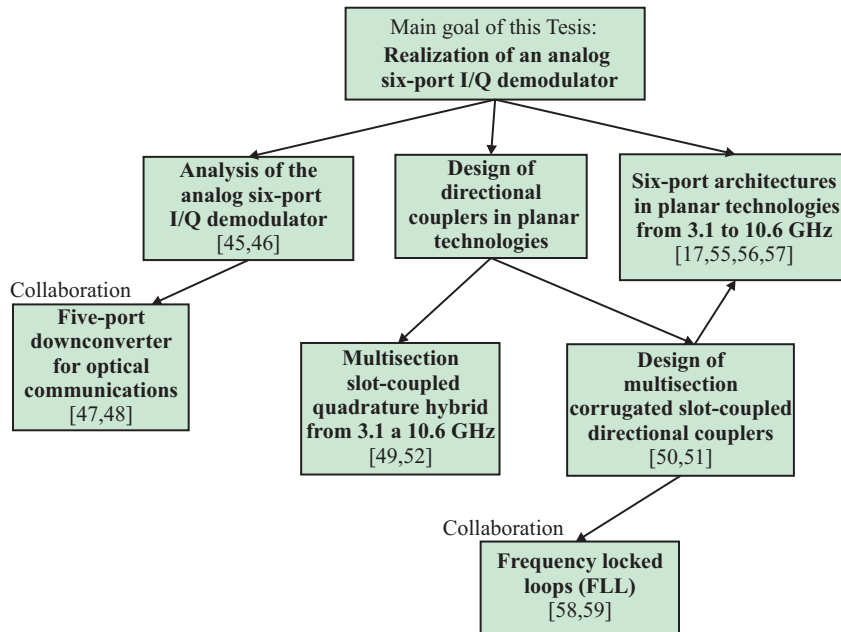


Figure E.3.: Contributions of this Thesis.

to easily calculate the Bit Error Rate (BER) for the QPSK modulation. Besides, some specific six-port architectures have been analyzed to get a deeper understanding of their behaviour [45, 46]. Finally, the obtained expressions have been successfully used at optical frequencies in collaboration with other members of the research group [47, 48].

- 2. Design of high performance directional couplers, phase shifters and power dividers operating in the complete UWB band (3.1 to 10.6 GHz).** Passive six-port networks are usually comprised of directional couplers, phase shifters and power dividers, whose performance limits the quality of the complete six-port I/Q demodulator if it is not calibrated. In most cases, the main challenge in ultra-wideband six-port implementation is the design of hybrid couplers with minimum amplitude and phase imbalances in the operation bandwidth. Firstly, in this Thesis we proposed the design of a multisection slot-coupled quadrature hybrid, in which the parasitic effects of the discontinuities and the difference between the even and odd mode phase velocities are compensated modifying the length of the different sections [49, 52]. Subsequently, we have proposed a new technique, which makes use of a novel corrugated slot in the ground plane to completely equalize the even and odd mode phase velocities. This new slot is based on a periodic structure that can be designed performing fast simulations of only one unit cell (Bloch-Floquet theory) with very accurate results. To demonstrate the validity of the proposed technique several directional couplers has been designed. The results of these circuits outperform previously reported designs and are comparable (in planar technologies) only with those achievable by homogeneous TEM couplers [50, 51]. This technique has been also used to design ultra-wideband slot-coupled phase shifters, which makes use

of a novel end connection placed inside of the coupling region to minimize its length. [56, 57].

- 3. Design and evaluation of different six-port architectures operating in the complete UWB band (3.1 to 10.6 GHz).** The six-port passive junction is a key component in the analog six-port I/Q demodulator. It combines the LO and RX signals with the specific amplitude and phase relations to make possible the analog I/Q generation. The main challenge in its implementation is the limited bandwidth and performance of its building elements (directional couplers, phase shifter, power divider, etc). In this Thesis, making use of the designed quadrature hybrid, 90° phase shifter and power divider, we have developed several passive six-port networks, which operate in the complete UWB band and whose performance, in terms of amplitude and phase imbalances, are state of the art [17, 55–57].

Finally, an interesting goal of this Thesis is to study possible applications where developed high performance hardware could be useful. In this field, we have developed an 4x4 Butler matrix based on the directional couplers and phase shifters designed in this Thesis, which covers the complete UWB band with minimum phase errors. Besides, there has been an important collaboration with other members of the research group to design frequency locked loops (FLL) based on delay-line frequency discriminators. In fact, the implemented FLL makes use of most of the passive circuits designed in this Thesis (directional couplers, phase shifter, power divider, etc) [58, 59].

The organization of this work is as follows. In section E.5 the analog six-port I/Q demodulator is studied and the effects of hardware impairments in these type of demodulators are quantified developing closed expressions to calculate the Error Vector Magnitude (EVM). Besides, an specific six-port network is analysed to get a deeper insight into its behaviour. In section E.6 we present the work carried out for the design of high performance directional couplers, showing the developed techniques and some of the implemented circuits. In section E.7, we present the design of a new type of multisection slot-coupled phase shifter, which makes use of the techniques proposed for the design of the slot-coupled directional couplers. In section E.8, we present the realization of a 4x4 Butler matrix based on the directional couplers and phase shifters designed in this Thesis, which covers the complete UWB band with minimum phase errors. In section E.9, we present two of the developed six-port architectures and assess their performance using the equation proposed to calculate the EVM. In section E.10, we deal with the design of the I/Q demodulator baseband circuitry and we present the fabricated prototype of the six-port I/Q demodulator, showing some of the results obtained in its evaluation. Finally, in section E.11 we present the conclusions and prospects of this work.

E.5. Analysis of analog six-port I/Q demodulators

Several papers have studied the performance and features of six-port demodulators with analog I/Q generation in multiple situations. In [35] the six-port receiver is theoretically described and compared with the homodyne and heterodyne reception

E. English summary

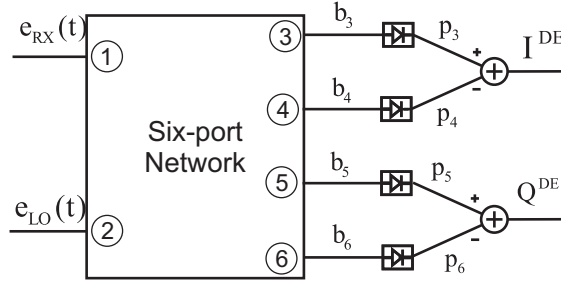


Figure E.4.: Basic block diagram of a general analog six-port I/Q demodulator.

architectures. In [37] the analysis is focused on the relationship between the LO power level and system level parameters of the receiver with an ideal six-port network. In [38] the diode power detector behaviour in a six-port communications receiver is studied using an ideal six-port network. Finally, in [61, 62] solutions for second-order intermodulation intercept point improvement have been proposed. However, up to the authors' knowledge, a complete study of the influence of six-port junction hardware impairments on demodulator performance has not been reported yet.

The goal of this section is to make a detailed study of the performance degradation of analog six-port I/Q demodulators due to hardware imperfections of the six-port passive junction. Ideal square law power detector behaviour is considered throughout this work. Compact expressions are obtained that give a deeper insight into the mechanisms causing receiver degradation due to hardware impairments. Furthermore, they allow to easily calculate the Error Vector Magnitude (EVM) and to set hardware specifications to fulfill the design requirements.

E.5.1. Theory of analog six-port I/Q demodulators

Figure E.4 shows a block diagram of the analog six-port I/Q demodulator. It is comprised of a passive six-port junction with two input ports RX ($e_{RX}(t)$) and LO ($e_{LO}(t)$), and four outputs with suitable power detectors. For perfectly matched square law detectors, their outputs can be written as

$$p_i = P_{OL} k_i \left[|q_i|^2 + |\Gamma^{RX}|^2 - 2\text{Re}(q_i^* \Gamma^{RX}) \right] \quad i = 3, \dots, 6, \quad (\text{E.1})$$

where Γ^{RX} is the received symbol, P_{LO} is the LO power, $k_i = R_i |S_{i1}|^2$ are the port sensitivities, $q_i = -S_{i2}/S_{i1}$ are six-port centres, which play a central role in six-port theory [12], S_{ik} are six-port junction scattering parameters and R_i are the power detector sensitivities.

As seen in Fig. E.4, in analog I/Q demodulators two pair of outputs are analogically subtracted to obtain the in-phase (I^{DE}) and quadrature (Q^{DE}) channels of the recovered signal. These output channels can be normalized by P_{LO} yielding

$$\overline{I^{DE}} = \frac{p_3 - p_4}{P_{LO}} = \alpha_I + \gamma_I |\Gamma^{RX}|^2 + \text{Re}(u^* \Gamma^{RX}), \quad (\text{E.2})$$

$$\overline{Q^{DE}} = \frac{p_5 - p_6}{P_{LO}} = \alpha_Q + \gamma_Q |\Gamma^{RX}|^2 + \text{Re}(v^* \Gamma^{RX}). \quad (\text{E.3})$$

E.5. Analysis of analog six-port I/Q demodulators

Hereinafter, I^{DE} and Q^{DE} will be considered as the normalized output channels for convenience. In order to obtain (E.2) and (E.3) three new parameters have been defined:

- DC offset parameter ($\alpha = \alpha_I + j\alpha_Q$)

$$\begin{aligned}\alpha_I &= k_3 |q_3|^2 - k_4 |q_4|^2 \\ \alpha_Q &= k_5 |q_5|^2 - k_6 |q_6|^2\end{aligned}\quad (E.4)$$

- Rectified wave parameter ($\gamma = \gamma_I + j\gamma_Q$)

$$\begin{aligned}\gamma_I &= k_3 - k_4 \\ \gamma_Q &= k_5 - k_6\end{aligned}\quad (E.5)$$

- Demodulation axes (u and v)

$$\begin{aligned}u &= 2(k_4 q_4 - k_3 q_3) \rightarrow u = u_I + ju_Q \\ v &= 2(k_6 q_6 - k_5 q_5) \rightarrow v = v_I + jv_Q\end{aligned}\quad (E.6)$$

This four complex constants (α , γ , u , and v), whose meaning will be clarified later on, characterize the demodulator performance. Defining $\Gamma^{DE} = I^{DE} + jQ^{DE}$, (E.2) and (E.3) can be then written in complex form as

$$\Gamma^{DE} = \alpha + \gamma |\Gamma^{RX}|^2 + \{\text{Re}(u^* \Gamma^{RX}) + j\text{Re}(v^* \Gamma^{RX})\}, \quad (E.7)$$

or, alternatively, in matrix form as

$$\begin{bmatrix} I^{DE} \\ Q^{DE} \end{bmatrix} = \begin{bmatrix} \alpha_I \\ \alpha_Q \end{bmatrix} + \begin{bmatrix} \gamma_I \\ \gamma_Q \end{bmatrix} |\Gamma^{RX}|^2 + \begin{bmatrix} u_I & u_Q \\ v_I & v_Q \end{bmatrix} \begin{bmatrix} I^{RX} \\ Q^{RX} \end{bmatrix}. \quad (E.8)$$

These equations describe the transformation between the received (Γ^{RX}) and demodulated (Γ^{DE}) symbol planes introduced by any six-port demodulator with analog I/Q generation under homodyne principle and assuming square law detector regime. In fact, their validity is not only restricted to microwave demodulators [45, 46], they can be applied at optical frequencies [47, 48] as well. From now on, we will designate the three terms appearing at right side of previous (E.7) and (E.8) as: DC offset term (α), rectified wave distortion term (γ), and linear term or reference axes (u and v), respectively.

E.5.1.1. Ideal six-port demodulator

In an ideal six-port demodulator all the power detectors have the same sensitivity ($R = R_i$) and the six-port junction scattering matrix S is given by [15]:

$$S = \frac{1}{2} \begin{pmatrix} 0 & 0 & 1 & j & j & -1 \\ 0 & 0 & 1 & j & -1 & j \\ 1 & 1 & 0 & 0 & 0 & 0 \\ j & j & 0 & 0 & 0 & 0 \\ j & -1 & 0 & 0 & 0 & 0 \\ -1 & j & 0 & 0 & 0 & 0 \end{pmatrix}. \quad (E.9)$$

E. English summary

In this situation the six-port sensitivities of the I/Q demodulator are $k_i = 1/4$ and its centres fulfill the relations $q_3 = -1$, $q_4 = 1$, $q_5 = -j$ and $q_6 = j$. Under these conditions $\alpha = 0$, $\gamma = 0$ and $u = -j\nu = 1$, so (E.7) becomes

$$\begin{aligned} I^{DE} &= \text{Re}(u^* \Gamma^{RX}) = \text{Re}(\Gamma^{RX}) \\ Q^{DE} &= \text{Re}(v^* \Gamma^{RX}) = \text{Im}(u^* \Gamma^{RX}) = \text{Im}(\Gamma^{RX}) \\ \Gamma^{DE} &= I^{DE} + jQ^{DE} = \Gamma^{ID} = u^* \Gamma^{RX} = \Gamma^{RX} \end{aligned} \quad (\text{E.10})$$

where Γ^{ID} is the symbol that would receive an ideal demodulator. It is clear that perfect hardware balance has cancelled the DC offset and rectified wave distortion terms, so only the desired linear term remains. Furthermore, ideal balance has also caused the demodulated axes to take the ideal quadrature condition ($u = -j\nu$). Obviously, hardware impairments will clearly degrade this behaviour. In general, any balance imperfection will cause α and γ to be non-zero, and will break the quadrature condition. In the next subsection we will give a geometrical interpretation of (E.8) to clarify the effect of each individual term on symbol constellation distortion.

E.5.2. Symbol constellation distortion due to six-port junction impairments

Equations (E.7) or (E.8) are the mathematical representation of the transformation that the six-port I/Q demodulator establishes between the received Γ^{RX} and demodulated Γ^{DE} symbol planes. From these equations it is clear that the DC offset term does not depend on the received symbol amplitude $|\Gamma^{RX}|$, rectified wave term depends on $|\Gamma^{RX}|^2$ and the desired linear term scales with $|\Gamma^{RX}|$, where

$$|\Gamma^{RX}| = \sqrt{\frac{P_{RX}}{P_{LO}}} \quad (\text{E.11})$$

The relative influences of these terms can be controlled by means of the signal to LO power ratio in the demodulator: DC offset (due to $\alpha \neq 0$) will dominate for low P_{RX}/P_{LO} ratio, while rectified wave distortion (due to $\gamma \neq 0$) will dominate for high P_{RX}/P_{LO} ratio. As a consequence, proper operation of a real six-port will only be possible in some range of P_{RX}/P_{LO} ratios and this will intrinsically limit the receiver's dynamic range. This effect happens even under ideal square-law detection regime and it is only due to linear imbalances in the six-port junction and detector sensitivities, so it must not be mistaken with dynamic range limitations coming from higher order non-linearities of power detectors as analyzed in [63].

Once the relative weight of terms appearing in (E.7) and (E.8) have been discussed, we will focus on geometrical interpretation of I/Q demodulator impairments.

E.5.2.1. Linear constellation distortion

From (E.4), (E.6) and (E.8) it can be deduced that DC offset and linear terms strongly depend on the six-port centres and have a simple interpretation. Effectively, setting $\gamma = 0$, (E.8) becomes

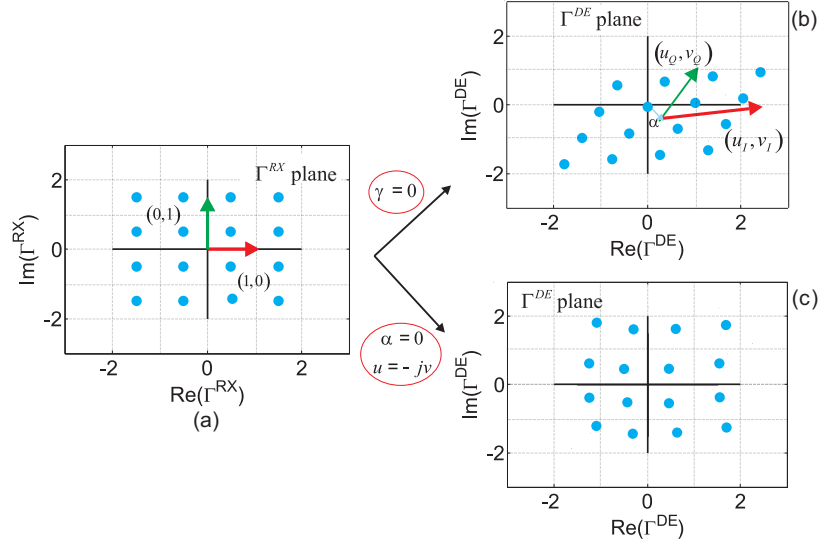


Figure E.5.: 16-QAM constellation distortion in an analog six-port I/Q demodulator. a) Received symbols (Γ^{RX}). b) Constellation distortion due to linear impairments ($\gamma=0$). c) Constellation distortion due to non-linear impairments ($\alpha=0$ and $u=-jv$).

$$\begin{bmatrix} I^{DE} \\ Q^{DE} \end{bmatrix} = \begin{bmatrix} \alpha_I \\ \alpha_Q \end{bmatrix} + \begin{bmatrix} u_I & u_Q \\ v_I & v_Q \end{bmatrix} \begin{bmatrix} I^{RX} \\ Q^{RX} \end{bmatrix}. \quad (\text{E.12})$$

Figure E.5(b) shows the effects of this transformation consisting of a translation α of the origin of coordinates followed by a rotation and imbalance of reference axes.

E.5.2.2. Non-linear constellation distortion

Rectified wave distortion terms introduce a non-linear error proportional to P_{RX}/P_{LO} . Setting $\alpha = 0$ and $u = -jv$, (E.8) becomes

$$\begin{bmatrix} I^{DE} \\ Q^{DE} \end{bmatrix} = \begin{bmatrix} \gamma_I \\ \gamma_Q \end{bmatrix} |\Gamma^{RX}|^2 + \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} I^{RX} \\ Q^{RX} \end{bmatrix}. \quad (\text{E.13})$$

Figure E.5(c) shows the effects of this transformation that makes the symbols to be located over a curved grid.

E.5.3. EVM due to junction impairments

In this subsection we will quantify the effects of constellation distortion on demodulator performance by developing a closed expression to calculate the EVM from six-port parameters α , γ , u and v in (E.4)-(E.6). EVM is a well known figure of merit of digital I/Q demodulators [64, 65] and can be calculated as

$$EVM_i = \frac{|e_i|}{|\Gamma_i^{ID}|} = \frac{|\Gamma_i^{DE} - \Gamma_i^{ID}|}{|\Gamma_i^{ID}|}, \quad (\text{E.14})$$

E. English summary

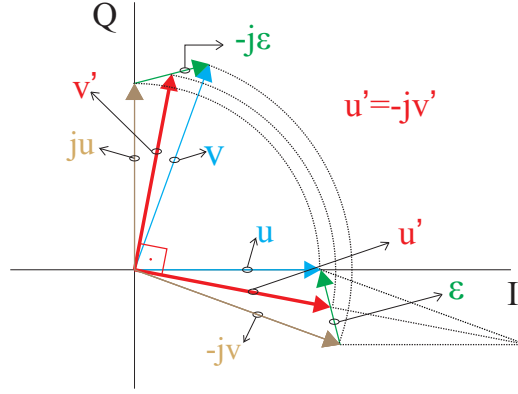


Figure E.6.: Relation between the non-orthogonal demodulation axes u , v and the to new orthogonal ones u' and v' .

where Γ_i^{DE} is the symbol received by the imperfect demodulator under analysis and Γ_i^{ID} is the symbol that would be received by an ideal demodulator.

Let's start with the complete demodulator equation including all possible impairments ($\alpha \neq 0$, $\gamma \neq 0$, $u \neq jv$) which we repeat here for convenience

$$\Gamma^{DE} = \alpha + \gamma |\Gamma^{RX}|^2 + \{ \text{Re}(u^* \Gamma^{RX}) + j \text{Re}(v^* \Gamma^{RX}) \}. \quad (\text{E.15})$$

The terms in brackets of this equation can be interpreted as the projections of Γ^{RX} on the u and v axes respectively. As in a real situation u and v will not fulfill the ideal quadrature condition, we can define two ideal demodulation axes u' and v' fulfilling the ideal condition $v' = ju'$ and being as close as possible to original ones. This can be achieved by defining

$$\begin{aligned} u' &= \frac{u - jv}{2} \\ v' &= ju' = \frac{v + ju}{2} \end{aligned} \quad (\text{E.16})$$

The situation can be understood with the help of Fig. E.6, where the relation between the different vectors can be graphically interpreted. In this figure we have also depicted the new variable ϵ defined as

$$\epsilon = u + jv, \quad (\text{E.17})$$

which is a measure of demodulation axis imbalance.

Using (E.16) and (E.17) in (E.15) and after some algebra we get

$$\Gamma^{DE} = \alpha + \gamma |\Gamma^{RX}|^2 + (u')^* \Gamma^{RX} + \frac{\epsilon}{2} (\Gamma^{RX})^* . \quad (\text{E.18})$$

In this equation the term $(u')^* \Gamma^{RX}$ is recognized to be the ideal demodulator symbol position (see equation (E.10)), i.e.

$$\Gamma^{ID} = (u')^* \Gamma^{RX}, \quad (\text{E.19})$$

so the EVM can be easily calculated for any symbol i as

$$EVM_i = \left| \frac{\alpha}{|u'|} |\Gamma_i^{RX}|^{-1} + \frac{\gamma}{|u'|} |\Gamma_i^{RX}| + \frac{\varepsilon}{2|u'|} \frac{(\Gamma_i^{RX})^*}{|\Gamma_i^{RX}|} \right|. \quad (E.20)$$

This equation is an important contribution of this Thesis [45] as it allows to easily calculate the six-port I/Q demodulator performance degradation as the vectorial sum of three different contributions. The following complex numbers can be defined from this equation:

- DC rejection

$$R_{DC} = \frac{\alpha}{|u|} \quad (E.21)$$

- Rectified Wave Rejection

$$R_{RW} = \frac{\gamma}{|u|} \quad (E.22)$$

- Axis Imbalance

$$I_A = \frac{\varepsilon}{2|u|} = \frac{u + jv}{2|u|} \quad (E.23)$$

These three complex numbers completely describe the performance degradation of the demodulator due to hardware impairments and their amplitudes are good figures of merit of demodulator's performance. Notice that in (E.20) the three terms add vectorially to give the total symbol EVM. Their influence depends on the received symbol amplitude $|\Gamma_i^{RX}|$ that in turn depends on the square root of the symbol to LO power ratio as seen in (E.11).

Figure E.7(a) shows this symbol EVM upper bound as a function of symbol to LO power. It can be clearly observed that DC rejection dominates for low power symbols, rectified wave rejection dominates for high power symbols, and axis imbalance has a constant influence. Furthermore, an optimum point exists which minimizes hardware impairment degradation when

$$|\Gamma_i^{RX}|^2 = \frac{P_{RX,i}}{P_{LO}} = \left| \frac{\alpha}{\gamma} \right|. \quad (E.24)$$

However, it is well known that in these six-port receivers an improved performance is obtained for low P_{RX}/P_{LO} ratios [37, 38], so they are typically operated at P_{RX}/P_{LO} power ratios around -30 dB. This contradictory behaviour can only be explained if we take into account that in these cases DC signal is removed using DC block circuits or calibration techniques, so the effect of R_{DC} is corrected. In fact, if $R_{DC} = 0$, (E.20) also predicts a better performance for lower P_{RX}/P_{LO} ratios, as shown in Fig. E.7(b).

E.5.4. Analysis of a specific six-port architecture

In this section a specific six-port architecture is studied using the proposed formula for EVM (E.20) and assuming that DC signal has been previously removed (by means of DC block circuits or calibration techniques). The chosen architecture is comprised of four hybrids and a 90° phase shifter, as shown in Fig. E.8. The objective is to understand its behaviour and analyze the degradation introduced by its elements. The

E. English summary

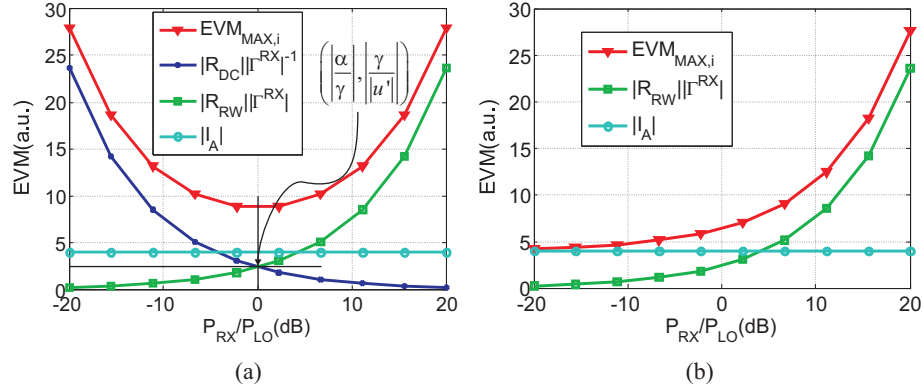


Figure E.7.: Symbol EVM upper bound as a function of symbol to LO power and the effects of the three different contributions of (E.20). a) Including R_{DC} . b) Removing R_{DC} .

hardware impairments considered in this analysis are the imbalance of the quadrature hybrids, and the insertion loss and phase error of the phase shifter in the six-port junction, as defined in Fig. E.8. In all cases, the four hybrids have been supposed to be identical, i.e. we have neglected any possible imbalance due to fabrication tolerances. Applying the equations defined in Fig. E.8 in (E.4)-(E.6) and (E.21)-(E.23), after some manipulation, the figures of merit that compound the EVM (E.20) for this architecture can be calculated as

$$R_{RW} = \frac{k_\gamma (1 - |I_H|^2) [|I_{PS}|^2 + j|I_H|^2]}{|u'|}, \quad (\text{E.25})$$

$$I_A = \frac{1 - \frac{|I_H|^2}{|I_{PS}|} \exp[j(\angle I_{PS})]}{\left| 1 + \frac{|I_H|^2}{|I_{PS}|} \exp[j(\angle I_{PS})] \right|}, \quad (\text{E.26})$$

where I_H is the quadrature hybrid imbalance (defined in Fig. E.8), I_{PS} gives information about the insertion loss and phase error introduced by the phase shifter, and k_γ depends on the six-port elements' S parameters.

In order to understand the effect of the EVM (E.20) and its figures of merit (E.25)-(E.26) several results will be presented setting the P_{RX}/P_{LO} power ratio to a realistic value ($P_{RX}/P_{LO} = -30$ dB). Initially, six-port's EVM is calculated as a function of the quadrature hybrid imbalance (I_H) when the phase shifter is ideal (i.e. $I_{PS} = 1$). In this case, the six-port architecture is not affected by the quadrature hybrid phase imbalance, as shown in Fig. E.9(a). This interesting phenomenon is caused by the six-port network under study, which allows to cancel the common phase errors presented by its quadrature hybrids. Hence, in this architecture only the quadrature hybrid amplitude imbalance can spoil the demodulator performance. This phenomenon has been empirically demonstrated in [55, 56] and will be shown in section E.9.

The main problem of this architecture is that it requires a phase shifter with low insertion loss and phase error to achieve a good performance. In Fig. E.9(b) we shows the EVM of this architecture as a function of the phase shifter impairments (I_{PS}) when

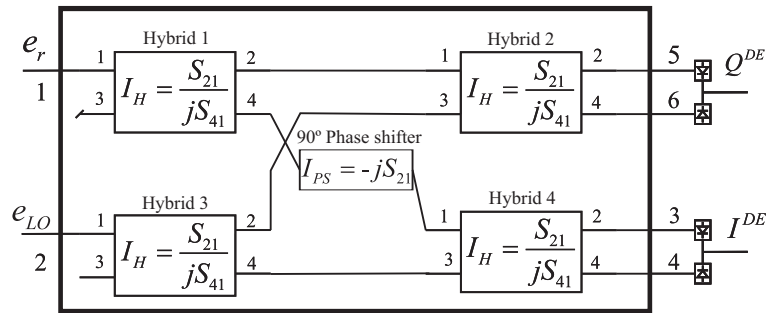


Figure E.8.: Six-port architecture comprised of four hybrids and a 90° phase shifter. I_H and I_{PS} parameters define the quadrature hybrid imbalance and phase shifter impairments, respectively.

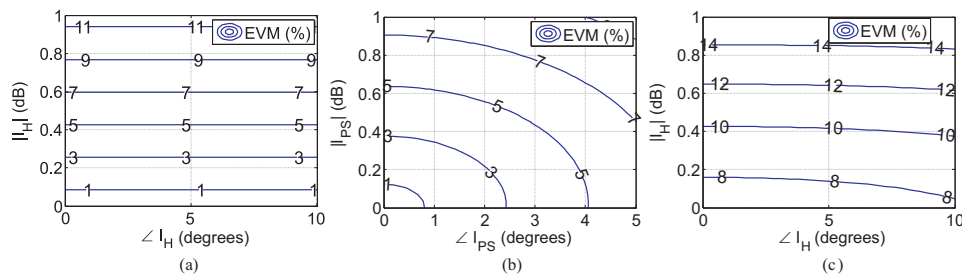


Figure E.9.: Calculated EVM (using (E.20)) of the analyzed six-port architecture. a) EVM as function of the quadrature hybrid imbalance (I_H) when the phase shifter is ideal. b) EVM as function of the phase shifter impairments (I_{PS}) when quadrature hybrids are ideal. c) EVM as function of the quadrature hybrid imbalance (I_H), when the phase shifter has an insertion loss of 1 dB and a phase error of 5°.

quadrature hybrids are ideal. As we can see, any insertion loss or phase error in the phase shifter greatly decreases the demodulator performance. Furthermore, these results are even worse when the quadrature hybrid imbalance is also considered (see Fig E.9(c)). This performance degradation is caused by phase shifter that spoils the reference axes (u and v), i) modifying their amplitude, and ii) causing crosstalk between the I/Q channels. The first problem can be easily solved using a different automatic gain control (AGC) for each channel. However, it is important to design a phase shifter with a phase error as low as possible to avoid the I/Q channel crosstalk. In consequence, the validity of this six-port network is strongly dependant on the phase shifter performance.

This type of analysis has been developed with two other different six-port architectures in order to understand their limitations and compare their theoretical performance. The first one, is a six-port architecture comprised of three quadrature hybrids and a power divider [45], and the second one, is a six-port architecture comprised of two quadrature hybrids, two power divider and a 90° phase shifter. Their results are included in the Thesis manuscript written in Spanish.

E.6. Directional couplers in planar technology

Directional couplers are essential passive components of many microwave systems such as modulators, balanced amplifiers and mixers, network analysers, power meters, source leveling and test systems. Furthermore, they are a key components for the design of passive six-port networks.

Buried homogeneous structures are particularly well suited to directional coupler design because they support TEM modes with the same phase velocity [53]. However, they are not well suited to hybrid integration of components, as the transitions required for accessing to the external metal layers usually degrade their potential performance. Hence, the design of these couplers in microstrip compatible technologies is of great interest. The main difficulties in realizing high performance and wideband directional couplers in microstrip technology are: i) obtaining tight coupling, ii) compensating for the parasitics of the discontinuities between coupled sections, and iii) equalizing the phase velocities of the even and odd modes in the complete operation bandwidth.

In coupled microstrip lines, several techniques have been proposed to overcome these difficulties: re-entrant mode directional couplers [121], patterned ground plane directional couplers [124, 125], branch-line coupler [186, 187], metamaterials [122], inductively compensated couplers [120], directional couplers with dielectric overlay [118], modified vertically installed planar couplers [113], non-uniform couplers [123], etc. However, these techniques cannot completely compensate even and odd mode phase velocities. Furthermore, wiggly coupled lines has been also proposed in non-uniform [115, 126] and multisection directional couplers [114, 127, 128] for phase velocity equalization. However, these techniques present important limitations and cannot completely overcome the aforementioned problems.

An useful structure that solves some of these problems is the slot-coupled directional coupler [106]. This structure can easily achieve a tight coupling. However, the parasitic effects of the discontinuities and the difference between the even and odd mode phase velocities limit its operational bandwidth. This structure has been used in the design of the directional couplers proposed in this Thesis solving the aforementioned problems.

This section is organized as follows, firstly, we analyze the slot-coupled directional coupler. Secondly, we present the design of a high performance wideband quadrature hybrid, which is based on the mutual mitigation of the parasitic effects of the discontinuities and the difference between the even and odd mode phase velocities [49]. Thirdly, we propose a new technique that makes use of a novel corrugated slot in the ground plane to completely equalize both mode phase velocities even in tightly coupled sections, where their differences are considerable. Finally, we present the design of two directional couplers to assess the validity of the proposed technique and whose results are state of the art [50, 51]. The first one is a 10 dB asymmetric five-section slot-coupled directional coupler that operates from 1.2 to 12 GHz. The second one is a three-section symmetric quadrature hybrid that has been recently used to realize high performance six-port networks with full UWB coverage [55, 56].

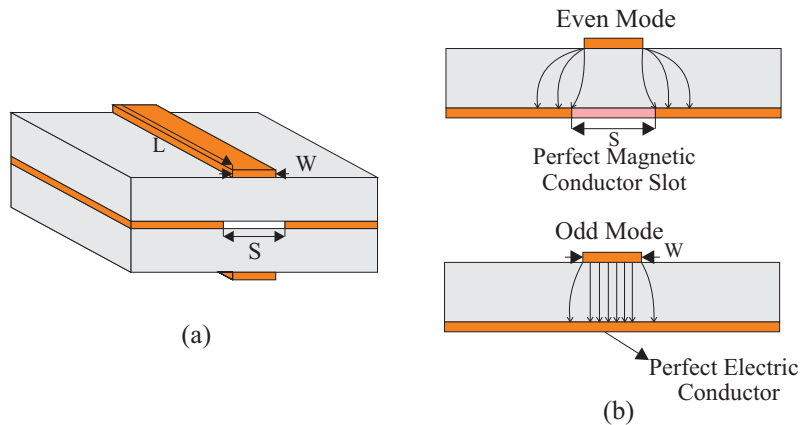


Figure E.10.: a) 3D microstrip slot coupling structure. b) Even-mode and odd-mode models.

E.6.1. Slot-coupled directional coupler

A slot-coupled directional coupler consists of two microstrip lines coupled through a rectangular slot in their common ground plane as shown in Fig. E.10(a). This structure does not support true TEM modes. Therefore, it is crucial to consider not only the effects of the discontinuities, but also the difference between the even and odd mode phase velocities. In this structure the even and odd modes are intrinsically orthogonal and it is possible to model and simulate the propagation of both modes separately, using the equivalent models shown in Fig. E.10(b). Then, the final coupler behaviour can then be recovered combining their even ($[S]_e$) and odd ($[S]_o$) scattering parameters [134, 135].

This structure can be used for the design of multisection equal-ripple directional couplers with an arbitrary number of sections following the modal analysis (2D) design flow shown in Fig. E.11. In this design flow, the initial values for the even and odd mode characteristic impedances (Z_{0e}^i, Z_{0o}^i) of each section are obtained from tables included in [83, 95]. With these characteristic impedances, initial values for the width of the tracks (W_i) and slots (S_i) in each section are calculated using the approximate analytical closed-form expressions obtained using conformal mapping techniques in [132]. However, it has been noticed by numerical 2D modal analysis that the even and odd mode characteristic impedances of the structure for these initial dimensions usually differ from the desired impedance values. Hence, a 2D modal optimization of both modes for each section must be performed to adjust (W_i, S_i) and get the expected characteristic impedances. In doing so, the values of the effective permittivities ($\epsilon_{eff_e}^i, \epsilon_{eff_o}^i$) are also obtained.

Once the initial values of the structure ($W_i, S_i, \epsilon_{eff_e}^i, \epsilon_{eff_o}^i$) have been calculated, the directional coupler response can be simulated to determine: i) the effect of the difference between the even and odd mode phase velocities, and ii) how much this impairment contributes to the coupler performance degradation in comparison with the degradation caused by the discontinuities between the different sections.

E. English summary

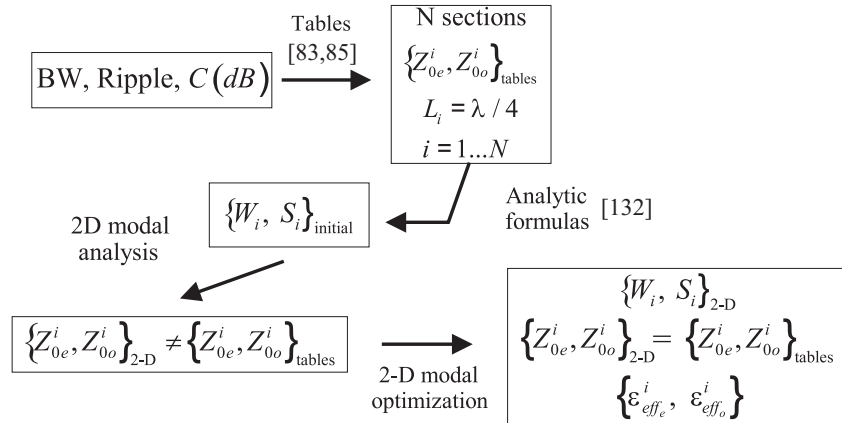


Figure E.11.: Diagram of the initial modal analysis (2D) design flow.

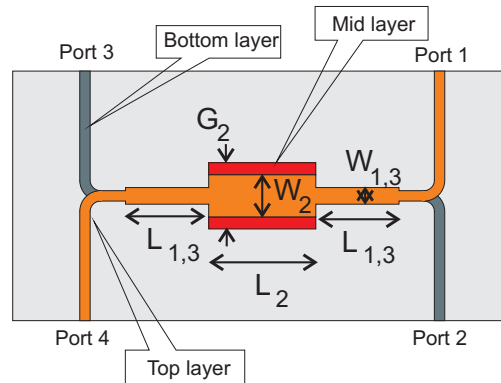


Figure E.12.: Layout of the three-section slot-coupled quadrature hybrid and its main geometrical dimensions.

E.6.2. Simplified design technique for multisection slot-coupled quadrature hybrid

In this subsection we present a simple design technique which is based on getting a mutual cancellation of the parasitic effects of the discontinuities and the difference between the even and odd mode phase velocities. This technique is very useful for the design of tightly coupled multisection directional couplers with a reduced number of sections in which the degradation caused by parasitic effects of the discontinuities, and the the degradation caused by the difference between the even and odd mode phase velocities are comparable. However, it cannot be used for the design of wideband directional couplers comprised of many sections in which the degradation caused by difference between the even and odd mode phase velocities is much more important. In order to show the validity of this technique a three-section quadrature hybrid that operates in the complete UWB band (3.1 to 10.6 GHz) is demonstrated, whose layout is shown in Fig. E.12.

For the hybrid's design and manufacturing, Rogers 4350B substrate with $\epsilon_r = 3.66$ and $h = 0.254$ mm has been chosen. The design criteria is to minimize amplitude and

E.6. Directional couplers in planar technology

Table E.1.: Even-odd mode impedances and coupling levels used in the design of the three-section slot-coupled quadrature hybrid.

Section	$Z_{0e}(\Omega)$	$Z_{0o}(\Omega)$	$C(\text{dB})$
1, 3	59.52	42	-15.26
2	167	14.97	-1.56

Table E.2.: Physical dimensions of the three-section quadrature hybrid.

Section	W (mm)	S (mm)	L (mm)
1, 3	0.85	0.7	6
2	3.5	5.5	7

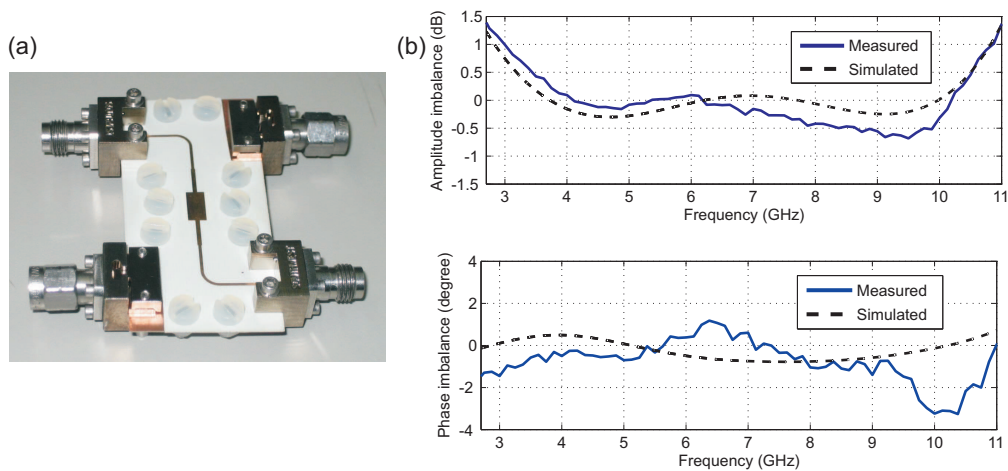


Figure E.13.: a) Photograph of the fabricated three-section quadrature hybrid. b) Amplitude and phase imbalance between through and coupled ports.

phase imbalance, while keeping a good performance in terms of return loss and isolation. The design methodology is as follows: first, each section is preliminary designed by means of 2D modal analysis design flow of Fig. E.11 using the pairs of even-odd mode impedances shown in Table E.1, and then, the three sections are joined together and the overall hybrid performance is optimized by 3D electromagnetic analysis. This optimization process consists in compensating the parasitics appearing in the discontinuities between sections, by slightly adjusting the section geometry, with the objective of minimizing the amplitude imbalance. The final dimensions of this circuit are included in Table E.2.

To verify the three-section quadrature hybrid's performance in UWB, a prototype has been manufactured. A photograph of the fabricated three-section hybrid is shown in Fig. E.13(a) and some of the obtained results are shown in Fig. E.13(b). This circuit has exhibited a return loss better than 20 dB and an isolation better than 17 dB from 3.1 to 10.6 GHz. Furthermore, in Fig. E.13(b) it is observed that the amplitude imbalance between through and coupled ports is less than ± 0.75 dB and the phase shift is better than $90 \pm 3^\circ$ in the complete UWB band [49]. These results outperforms most

E. English summary

Table E.3.: Features of the first section in a five-section asymmetric 10 dB directional coupler in the band from 1.2 to 12 GHz.

$C(\text{dB})$	$Z_{0e}^1(\Omega)$	$Z_{0o}^1(\Omega)$	$W_1(\text{mm})$	$S_1(\text{mm})$	$\varepsilon_{eff_e}^1$	$\varepsilon_{eff_o}^1$
-5.8	88.06	28.39	1.51	2	2.10	2.97

of previously reported designs [108, 113] in terms of amplitude and phase imbalance, which are critical parameters in most quadrature hybrid applications.

As it has been demonstrated, this technique allows to design quadrature hybrids with a good performance in terms of amplitude and phase imbalance between its output ports. However, its application is only possible when the degradation caused by parasitic effects of the discontinuities, and the the degradation caused by difference between the even and odd mode phase velocities are comparable. Besides, it cannot achieve a perfect matching and isolation in the ports of the structure because the effect of the discontinuities and difference between the even and odd mode phase velocities cannot completely cancel each other.

E.6.3. Corrugated slot-coupled directional coupler design technique

The slot-coupled directional coupler can easily achieve the tight coupling needed in wideband multisection designs. However, the difference between the even and odd mode phase velocities degrades the performance of these circuits and cannot be always compensated modifying the geometry of the structure, as we said in subsection E.6.2. Hence, an additional degree of freedom must be included to equalize both modal phase velocities in each section.

To solve this problem we propose the introduction of a corrugated slot to equalize the even and odd mode phase velocities [50, 51]. In this technique, inspired by the wiggly coupled lines [114, 115, 126–128], rectangular shaped teeth (of width T_i and depth D_i), smaller than the wavelength at the central frequency, are added to the edge of the slots in the different sections, as shown in Fig. E.14. These corrugations have a period Λ_i and a duty cycle $\eta_i = T_i/\Lambda_i$. The introduction of these corrugations increases the electrical length of the even mode, but it does not affect the odd mode (i.e. Z_{0o}^i , $\varepsilon_{eff_o}^i$, W_i and L_o^i remain unchanged). Therefore, if the geometry of the teeth is properly designed, it is possible to achieve a nearly perfect phase velocity equalization (i.e. $\varepsilon_{eff_o}^i = \varepsilon_{eff_e}^i$) without greatly affecting the characteristic impedances of the previously designed directional coupler sections. Since the proposed structure used for the even mode consists of a periodic repetition of rectangular shaped teeth, as depicted in Fig. E.14, we use the Bloch-Floquet analysis [129, 139] to perform a rigorous calculation of characteristic impedances and propagation constants for the even mode.

To prove the validity of this technique, in this subsection we analyze and show the specific results for the the first section (the worst case) of the five-section 10 dB directional coupler that will be presented in subsection E.6.4. The 2D modal analysis shows that this section has the features included in Table E.3, with a relative error of a 30% between the effective permittivities of both modes, what means a relative error higher than 19.5% between the physical length required for the even and odd

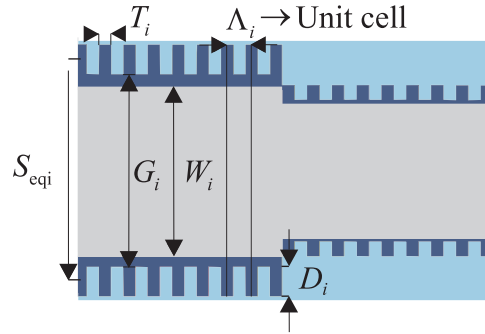


Figure E.14.: Detailed plot of a piece of a corrugated coupler between two sections showing the upper and lower tracks (grey) coupled through the corrugated slot (blue).

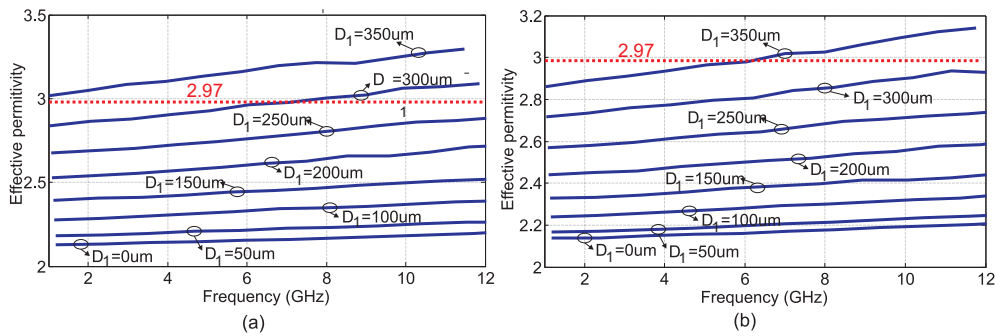


Figure E.15.: Even mode effective permittivities of the first section of the asymmetric 10 dB directional coupler ($\varepsilon_{eff_e}^1$) for different teeth depths (D_1). a) $\Lambda_1=240 \mu m$. b) $\Lambda_2=480 \mu m$.

modes (L_e^1, L_o^1) to be a quarter wavelength. In order to determine the period (Λ_i) and depth (D_i) required for this section to equalize both mode phase velocities (i.e. $\varepsilon_{eff_o}^i = \varepsilon_{eff_e}^i$) some simulations have been performed and the results are shown in Fig. E.15. Analysing Fig. E.15(a), it is clear that with $\Lambda_1 = 240 \mu m$, a teeth's depth of $300 \mu m$ is enough to attain the required value of $\varepsilon_{eff_e}^1 = 2.97$ (see Table E.3) and thus to compensate both modes. However if $\Lambda_1 = 480 \mu m$, a higher teeth's depth of $350 \mu m$ is required to achieve the same effective permittivity, as shown in Fig. E.15(b). Doing these type of simulations in all the sections of the directional coupler, the required D_i and Λ_i in all the corrugated sections can be directly obtained in a computationally efficient manner.

E.6.4. Design of a five-section asymmetric 10 dB slot-coupled directional coupler

In this section, we present the realization of a one decade bandwidth 10 dB asymmetric slot-coupled five-section directional coupler, which makes use of the new corrugated slot to improve its performance.

The design of this circuit is performed as follows, initially the specific impedances and the coupling level of each section are obtained (see Table E.4). Then, the track and

E. English summary

Table E.4.: Even-odd mode characteristic impedances (Z_{0e}^i, Z_{0o}^i) and coupling level of each section for the five-section asymmetric 10 dB directional coupler.

Section	1	2	3	4	5
$Z_{0e}(\Omega)$	88.06	74.56	65.21	58.79	54.51
$Z_{0o}(\Omega)$	28.39	33.53	38.34	42.52	45.86
$C(\text{dB})$	-5.8	-8.4	-11.7	-15.9	-21.3

Table E.5.: Physical dimensions of the five-section asymmetric 10 dB directional coupler.

Sections	1	2	3	4	5
$W(\text{mm})$	1.57	1.25	1.02	0.86	0.76
$L(\text{mm})$	6.43	6.53	6.62	6.64	6.68
$S(\text{mm})$	2.07	1.45	1.01	0.69	0.47
$D(\mu\text{m})$	280	140	100	100	100
$\Lambda(\mu\text{m})$	240	240	240	580	240

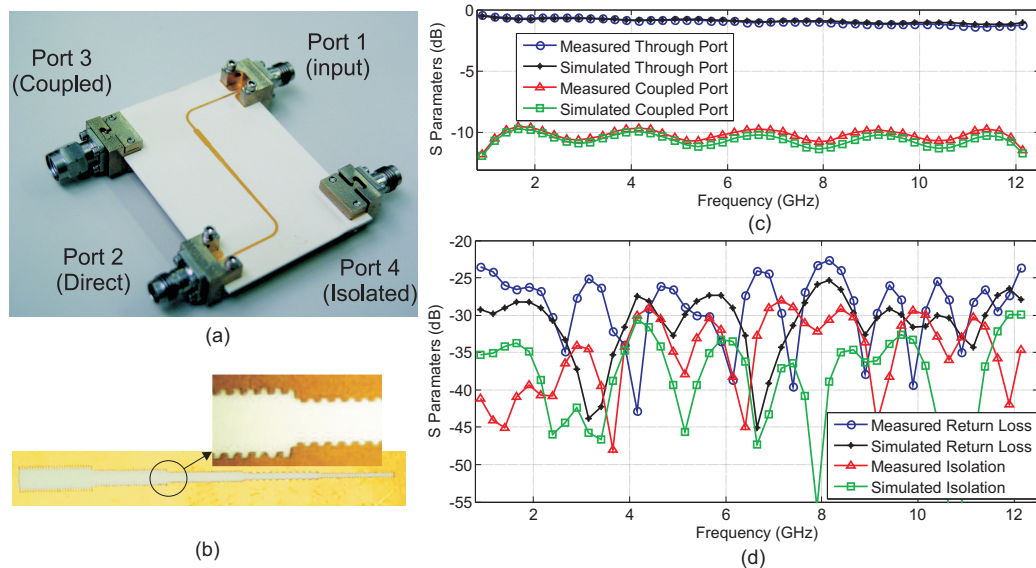


Figure E.16.: a) Photograph of the fabricated five-section asymmetric 10 dB directional coupler. b) Photograph of the inner corrugated slot plane. c) Measured and simulated through and coupled ports. d) Measured and simulated return loss and isolation.

slot widths of each section (W_i , S_i) are optimized to get these target impedance values following the 2D modal analysis design flow of Fig. E.11. Finally, the corrugations are introduced in the different sections of the structure and Floquet analysis is performed using the HFSS eigenmode solver to obtain the period (Λ_i) and depth (D_i) required for each section.

Once every dimension of the directional coupler has been calculated, only minor corrections of the geometrical parameters (lower than 5%) are required to account for second order effects as the finite thickness of the conductors. This is done by means of 3D electromagnetic simulation. The final dimensions of the directional coupler are shown in Table E.5.

To verify the directional coupler's performance within operation bandwidth (1.2-12 GHz), a prototype has been manufactured using Rogers 4350B substrate with $\epsilon_r = 3.66$ and $h = 0.305$ mm. A photograph of the fabricated directional coupler and its novel corrugated slot is shown in Fig. E.16(a) and Fig. E.16(b). This circuit exhibits an extremely good performance with a coupling level of 10 ± 0.6 dB and an insertion loss lower than 1.35 dB, very close to the simulated results in a decade of operational bandwidth (see Fig. E.16(c)). Furthermore, it shows a return loss better than 23 dB and an isolation better than 28 dB, as depicted in Fig. E.16(d). These results clearly outperform previously designed weakly coupled directional couplers in terms of fractional bandwidth and performance [120, 121, 141] and demonstrate the validity of the proposed technique to design directional couplers with features comparable (in planar technologies) only with those achievable by homogeneous TEM couplers [50].

E.6.5. Design of a three-section slot-coupled quadrature hybrid

In this subsection we present a three-section quadrature hybrid that operates in the complete UWB band (3.1 to 10.6 GHz). The goal of this circuit is the improvement of the results obtained in subsection E.6.2 [49] to be used in the implementation of the analog six-port I/Q demodulator.

The design of this circuit starts from the even and odd mode impedances previously shown in Table E.1. Then, each section is preliminary designed by means of 2D modal analysis design flow of Fig. E.11, but using Rogers 4350B substrate with $\epsilon_r = 3.66$ and $h = 0.305$ mm.

Once the initial cross-sectional values have been obtained, the corrugations are introduced in the slot to equalize the even and odd mode phase velocities. However, in this specific design the reactive effect of the discontinuities makes the design more complicated. Effectively, in this circuit there are large differences between the coupling levels of the sections (-1.56 dB and -15.26 dB). Such differences cause an important reactive effect in the discontinuities and increase the electrical length of the even mode.

In order to overcome this problem, a linear transition between the central and the outer sections is introduced in the slot to reduce the length of the outer section for the even mode without affecting to the odd mode, as depicted in Fig. E.17. It has been observed that, once the mode phase velocities have been equalized by means of the corrugated slot, the length of this transition ($L_{\text{transition}}$) is easily found out by optimization. The final dimensions used in this circuit are included in Table E.6.

E. English summary

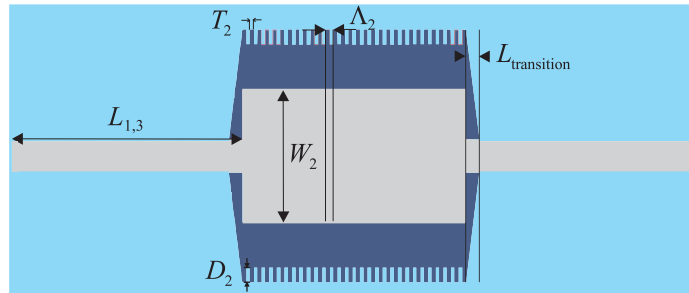


Figure E.17.: Detailed plot of the upper track (grey) and the corrugated slot (blue) with linear transitions between the central and the outer sections in the three-section quadrature hybrid.

Table E.6.: Physical dimensions of the three-section corrugated quadrature hybrid.

Section	W (mm)	S (mm)	L (mm)	D (μm)	Λ (μm)
1, 3	0.89	0.79	6.25	—	—
2	3.55	6.05	6.05	750	205
$L_{\text{transition}}=0.39$ mm					

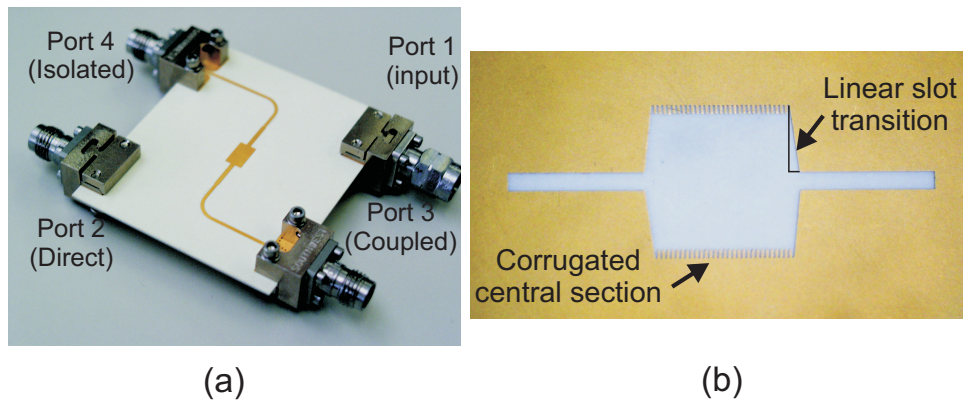


Figure E.18.: a) Photograph of the three-section quadrature hybrid. b) Photograph of the slot showing the corrugations, used to equalize mode phase velocities, and the linear slot transition, used to compensate discontinuity parasitics.

A prototype of this circuit has been manufactured and its photograph with the novel corrugated slot is shown in Fig. E.18. This circuit has exhibited a return loss better than 22 dB and an isolation better than 26 dB from 3.1 to 10.6 GHz (see Fig. E.19(a)). Focusing on the hybrid imbalances, this circuit has achieved an amplitude imbalance between output ports smaller than ± 0.5 dB and a phase shift better than $90 \pm 0.7^\circ$ [50]. These results clearly outperforms previously reported designs [49, 108, 109, 113, 125, 142].

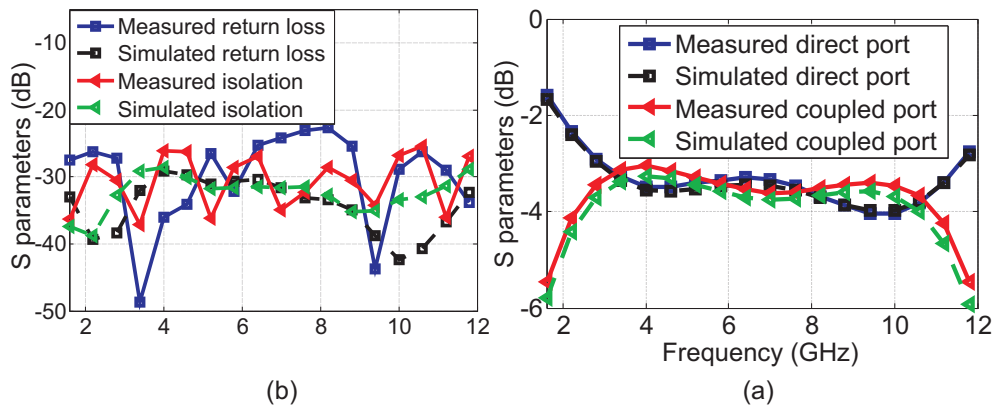


Figure E.19.: Measured and simulated performance of the fabricated three-section quadrature hybrid. a) Return loss and isolation. b) Direct and coupled ports.

E.7. Phase shifters in planar technology

Phase shifters are essential passive components of many microwave systems such as beam-forming networks for array antennas, instrumentation and measurement systems, modulators, etc. In these applications, phase shifters are usually realized in planar microstrip technologies. Furthermore, as it was demonstrated in section E.5, the phase shifter is a key component for the design of the six-port network comprised of four hybrids and a 90° phase shifter. Any phase error in this circuit increases the phase imbalance in the six-port centres and provokes crosstalk between the I/Q channels, directly decreasing the demodulator performance.

In this Thesis we only consider the design of phase shifters based on coupled lines. In this field, one of the best known structures is the multisection Schiffman phase shifter [143, 145, 146]. Figure E.20 shows the typical block diagram of this circuit. It has a reference line and the phase shifter itself, which is comprised of multiple sections of coupled lines with an end connection between the through and the isolated ports. The main inconvenience in realizing this type of phase shifters in microstrip technology are: i) the bandwidth of the structure is limited by the maximum achievable coupling level, ii) the parasitics of the discontinuities between the sections and the differences between the even and odd mode phase velocities spoil the phase performance, and iii) ideally, the final end connection should be of zero length not to degrade the phase shifter performance.

There have been several proposals to solve some of these limitations. In one hand, in [147] non-uniform phase shifters were proposed to remove the parasitics of the discontinuities. However, this solution significantly increases the coupling level and size of the circuit when compared to the classical multisection approach for the same phase shift and bandwidth. On the other hand, wiggled coupled lines were proposed to equalize the even and odd mode phase velocities [148]. However, this technique cannot completely compensate the even and odd mode phase velocities as these wiggled structures partially affect both mode field patterns. In this Thesis we propose the utilization of corrugated slot-coupled lines to overcome all these limitations.

E. English summary

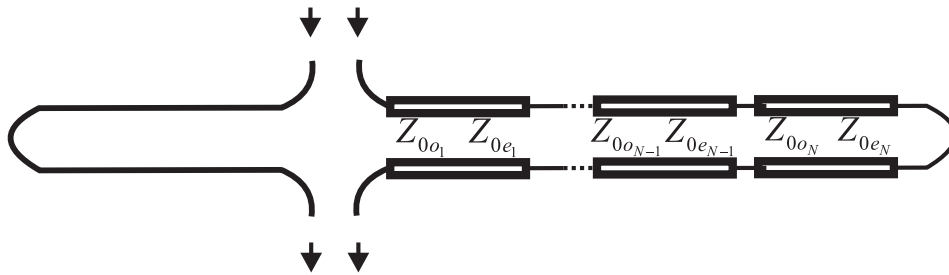


Figure E.20.: Multi-section Schiffman phase shifter circuitual block diagram.

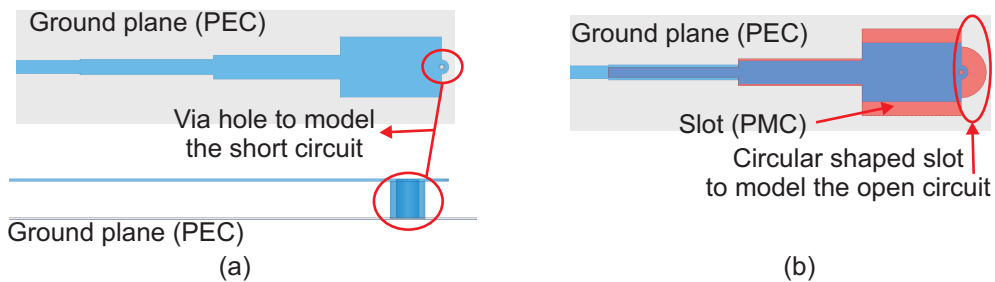


Figure E.21.: Circuitual models used in the design the proposed phase shifters. a) Odd mode. b) Even mode.

E.7.1. Phase shifter design based on the corrugated slot-coupled directional coupler

Most of the multisection Schiffman phase shifter problems are common with those previously presented for the design of directional couplers. Therefore, in this Thesis we propose the utilization of slot-coupled lines for their designs. In doing so, we can completely compensate the differences between the phase velocities of even and odd modes and the parasitics of the discontinuities between the sections making use of the corrugated slot proposed in subsection E.6.3, and the linear transitions presented in subsection E.6.5. However, the problem of the end connection between the through and the isolated ports of the structure still remains. The even-odd mode analysis of the Schiffman phase shifter demonstrates that this end connection acts as an ideal short circuit for the odd mode and an ideal open circuit for the even mode. Hence, in this Thesis we propose the design of this end connection directly inside of the coupling region by means of a suitable via hole, as will be seen in the subsequent paragraphs.

In the phase shifter design, the number of sections and the even-odd mode characteristic impedances are chosen depending on the bandwidth and required phase shift [146]. Then, initial geometrical dimensions of all the sections are calculated by means of the 2D modal analysis design flow of Fig. E.11. Once this initial dimensions are known, the equivalent circuits for the even and odd modes (see Fig. E.10) can be simulated assuming an ideal short/open circuit for the odd/even modes. This allows us to separate the design of the phase shifter from the problem of the end connection. Using this circuitual models, the performance of the phase shifter can be adjusted in-

Table E.7.: Even and odd mode characteristic impedances (Z_{0e}^i, Z_{0o}^i) used in the design of the 90° phase shifter.

Section	1	2	3
$Z_{0e}(\Omega)$	54.6	73.3	148.5
$Z_{0o}(\Omega)$	45.78	34.11	16,84

roducing the corrugations or the linear transitions between the sections, following the same design strategy of section E.6. In this case, the phase shifter behaviour can be recovered from the even ($[S]_e$) and odd ($[S]_o$) scattering parameters as follows

$$\begin{aligned} S_{11} = S_{22} &= \frac{S_{11e} + S_{11o}}{2} \\ S_{21} = S_{12} &= \frac{S_{11e} - S_{11o}}{2} \end{aligned} \quad (\text{E.27})$$

Once the phase shifter behaviour has been adjusted, the problem of the end connection must be tackled. To solve this problem we make use of the fact that the slot in the ground plane is completely transparent for the odd mode in this structure. Hence, its equivalent circuit consists of a single-port microstrip line, and the short circuit can be easily modelled with a signal via hole that connects the microstrip line of the last section with the perfect electric conductor (PEC) ground plane (see Fig. E.21(a)). Using this circuital model, the odd mode can be adjusted (by 3D electromagnetic simulation) modifying the diameter of the via hole and shortening the length of the last section to obtain a behaviour as similar as possible to the one previously obtained with the ideal short circuit.

However, the even mode equivalent circuit is more complex. It consists of a single-port microstrip line with a perfect magnetic conductor (PMC) layer placed in the ground plane to model how the even mode is affected by the slot (see Fig. E.21(b)). In this case, the signal via hole close to the end of the slot does not correctly model an open circuit because there is an important coupling between the via hole and the ground plane. To solve this problem, a circular shaped slot has been added at the end of the last section to smoothly separate the ground plane from signal via hole inside the coupling region. Using this structure, the even mode can be adjusted (from the dimensions previously obtained for the odd mode) modifying the diameter of the slot and the corrugations of the last section (if it was necessary) to obtain a behaviour as similar as possible to the one previously obtained with the ideal open circuit.

Finally, the complete phase shifter can be electromagnetically simulated to account for second order effects as the finite thickness of the conductors.

E.7.2. UWB 90° phase shifter design (3.1-10.6 GHz)

This circuit is used in the implementation of some six-port architectures, as the one analyzed in subsection E.5.4 [56]. The goal of this design is to operate in the complete UWB band (3.1 to 10.6 GHz) minimizing its phase shift error as much as possible. In this case, we have decided to design a three-section phase shifter, which offers a good trade-off between the phase shift error and the insertion loss introduced by the structure.

E. English summary

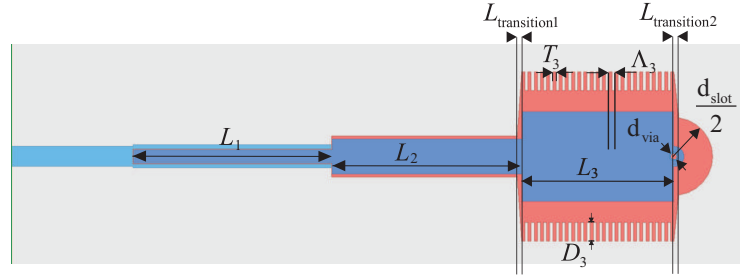


Figure E.22.: Detailed plot of the upper track (blue) and the corrugated slot (purple) with linear transitions between the central and the outer sections in the 90° phase shifter.

Table E.8.: Physical dimensions of the 90° phase shifter.

Section	W (mm)	S (mm)	L (mm)	D (μm)	Λ (μm)
1	0.76	0.5	6.5	—	—
2	1.18	1.37	6.25	—	—
3	2.95	5	4.95	610	240
$L_{\text{transition1}}=0.18$ mm					
$L_{\text{transition2}}=0.36$ mm					

The first step in the design of this circuit is to obtain the required even and odd mode characteristic impedances from [146], which are shown in Table E.7. Then, each section is preliminarily designed by means of 2D modal analysis using Rogers 4350B substrate with $\epsilon_r = 3.66$ and $h = 0.305$ mm. After that, the even-odd mode equivalent circuits can be simulated to determine the effect of the discontinuities and the difference between the even and odd mode phase velocities. In this case, the analysis performed shows that i) corrugations have to be introduced in the third section to equalize both mode phase velocities, and ii) linear transitions are needed at the beginning and at the end of the third section to compensate the parasitics of these discontinuities for the even mode, as depicted in Fig. E.22.

Using the design methodology proposed in subsection E.7.1, it has been determined that the performance of this circuit is optimized when the end connection consists of a via hole with a diameter $d_{\text{via}} = 0.2$ mm going through a circular shaped slot with a diameter $d_{\text{slot}} = 2.55$ mm. The remaining dimensions used in this circuit are included in Table E.8.

This circuit has been fabricated and is shown in Fig. E.23(a). It exhibits a return loss better than 19 dB, an insertion loss better than 1.5 dB (see E.23(b)) and a phase shift of $90 \pm 2.5^\circ$ from 3.1 to 10.6 GHz, as depicted in Fig. E.23(c). These excellent results allow to overcome the main limitation of the six-port junction comprised of four hybrids and a 90° phase shifter that was analyzed in subsection E.5.4, making it feasible. Furthermore, these results clearly outperform even the most recently reported phase shifter designs [147, 149, 152, 153].

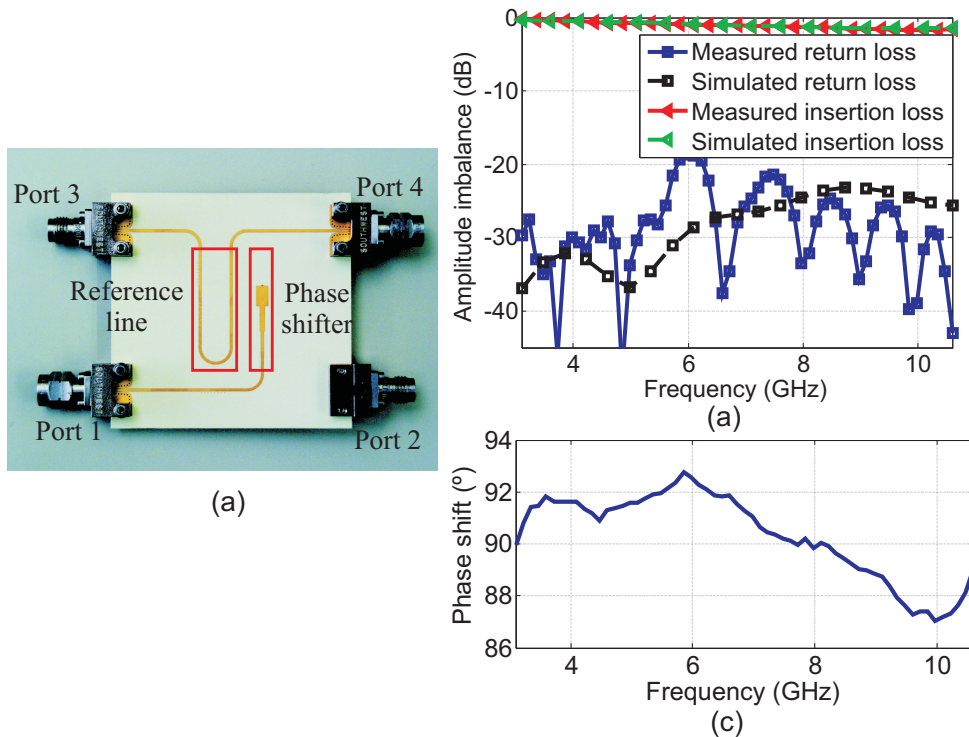


Figure E.23.: 90° three-section slot-coupled phase shifter. a) Photograph of the prototype. b) Simulated and measured return loss and insertion loss. c) Simulated and measured phase shift.

Table E.9.: Even and odd mode characteristic impedances (Z_{0e}^i, Z_{0o}^i) used in the design of the 45° phase shifter.

Section	1	2
$Z_{0e}(\Omega)$	55.69	80.33
$Z_{0o}(\Omega)$	44.89	31.12

E.7.3. UWB 45° phase shifter design (3.1-10.6 GHz)

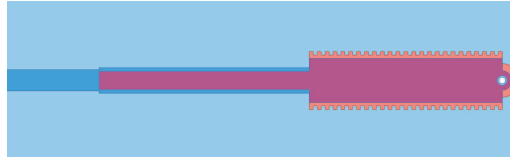
This circuit is used in the implementation the 4x4 Butler matrix that will be presented in the next section. The goal of this design is to operate in the complete UWB band (3.1 to 10.6 GHz) minimizing the phase shift error but reducing its size as much as possible. In this case, we have decided to design a two-section phase shifter that allows to reduce the size of the reference line and the size of the phase shifter itself in comparison with the 90° phase shifter previously presented in subsection E.7.2.

The design of this circuit starts obtaining the even and odd mode characteristic impedances shown in Table E.9. Then, each section is preliminary designed by means of 2D modal analysis using Rogers 4350B substrate with $\epsilon_r = 3.66$ and $h = 0.305$ mm. After that, the even-odd mode equivalent circuits can be simulated as in the 90° phase shifter. In this case, the analysis performed shows that this circuit does not required any linear transition.

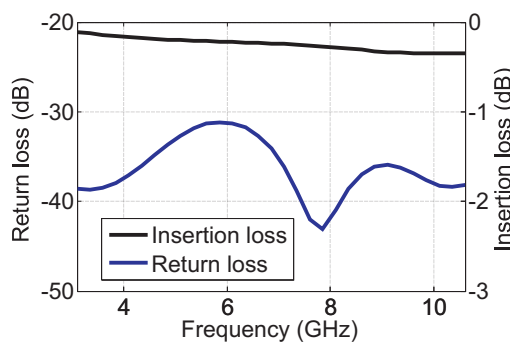
E. English summary

Table E.10.: Physical dimensions of the 45° phase shifter.

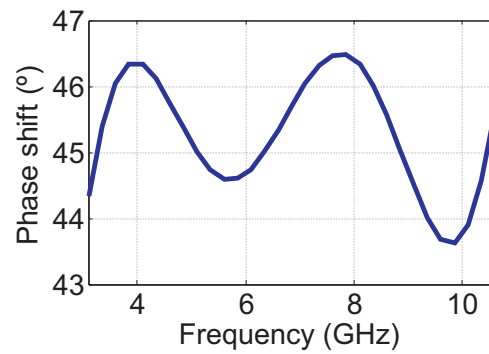
Section	W (mm)	L (mm)	S (mm)	D (μm)	Λ (μm)
1	0.8	6.54	0.57	—	—
2	1.36	6	1.58	110	250



(a)



(b)



(c)

Figure E.24.: 45° phase shifter. a) top view of the 3D model. b) Simulated return loss and insertion loss. c) Simulated phase shift.

Circuit optimization has yielded values of $d_{via} = 0.2$ mm and $d_{slot} = 1.05$ mm for best performance. The remaining dimensions used in this circuit are included in Table E.10. The top view of this circuit is shown in Fig. E.24(a) and the results obtained after the 3D electromagnetic simulation are shown in Fig. E.24(b) and Fig. E.24(c). This circuit exhibits a return loss better than 30 dB, an insertion loss better than 0.4 dB and a phase shift of $45 \pm 1.5^\circ$ from 3.1 to 10.6 GHz. The prototype of this circuit was being fabricated when this Thesis was written, so no experimental results are available yet.

E.8. Butler matrix in planar technology

Current wireless communication systems have to support the presence of multiple users and multipath signal propagation that contribute to co-channel interferences and signal fading, which degrade their capacity and spectral efficiency. A solution for these problems is the utilization of switched beam antenna array systems to generate multiple beam directions and provide multiple selectable channels.

The Butler Matrix is a well-known beamforming networks used in switched-beam antenna array systems and was first described by Jesse Butler and Ralph Lowe in [155]. In the recent years there have been a great interest in the design of 4x4 Butler matrices.

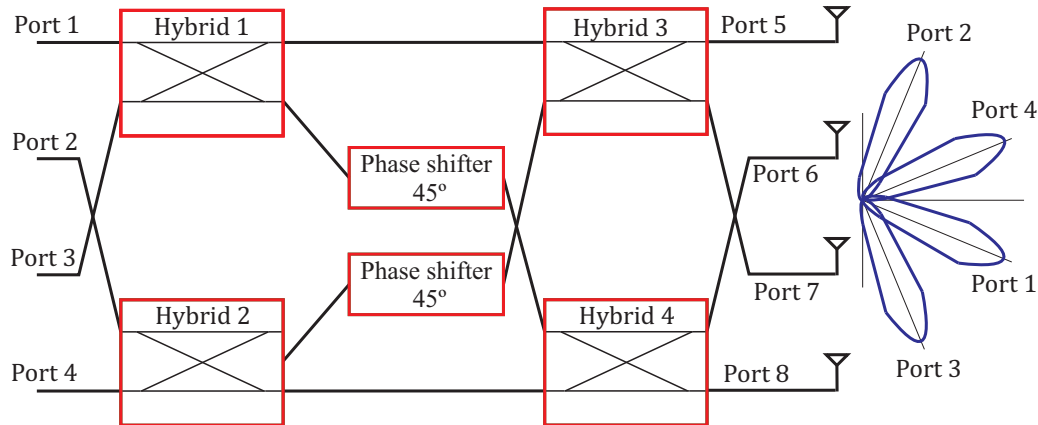


Figure E.25.: Block Diagram of a 4x4 Butler matrix connected to an antenna array and its radiation pattern.

Table E.11.: Phase shifts introduced by the Butler matrix at the output ports depending on the input port.

	Port 5	Port 6	Port 7	Port 8	$\Delta\phi$
Port 1	180°	135°	90°	45°	-45°
Port 2	90°	225°	0°	135°	135°
Port 3	135°	0°	225°	90°	-135°
Port 4	45°	90°	135°	180°	45°

They have been developed in LTCC [156], single-layer [157], and multilayer technologies [158, 159]. Besides, there have been some proposals to improve the compactness of these circuits based on slot-coupled structures, using either coplanar waveguides [154, 160] or microstrip lines [161, 162]. However, all these networks present a significant degradation of their performance in wide frequency ranges with important phase shift errors between their outputs (worse than 10° in most cases).

The block diagram used in the design of the proposed 4x4 Butler matrix is shown in Fig. E.25. This circuit introduces a different phase shift between the output ports depending on the input port chosen. For example, when the signal is injected in port 4, this network introduces a phase shift of 45° between the adjacent output ports. Analogously, choosing the other input ports, this network introduces phase shifts of -45°, 135°, -135°, respectively. The phase distribution at the output port of the structure for the different input ports is included in Table E.11. This phase distribution can be used to get an antenna array with a selectable radiation pattern with four different beams as the one shown in Fig. E.25.

In the design of this circuit it is crucial to minimize the phase shift errors between the outputs to properly synthesize the four beams of the radiation pattern. Hence, the design criteria is to minimize the phase errors of the structure while keeping its size as compact as possible. In doing so, we have decided to use the corrugated three-section slot-coupled quadrature hybrid presented in subsection E.6.5, and the 45° phase shifter presented in subsection E.7.3. Once the circuit elements have been

E. English summary

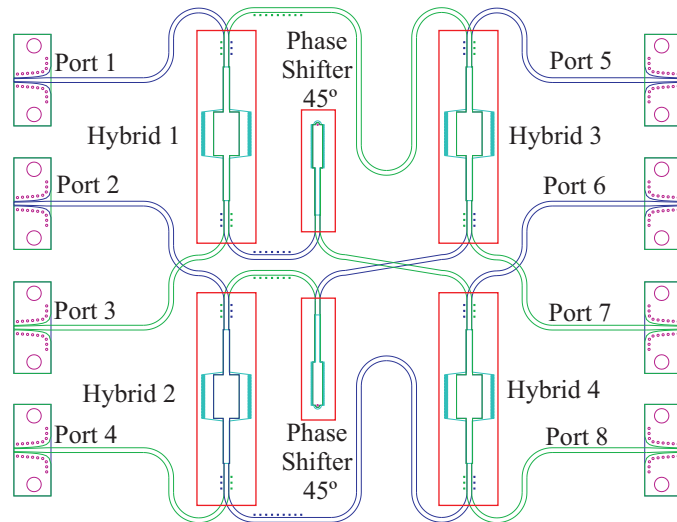


Figure E.26.: Layout of the designed Butler matrix (62mm x 71mm).

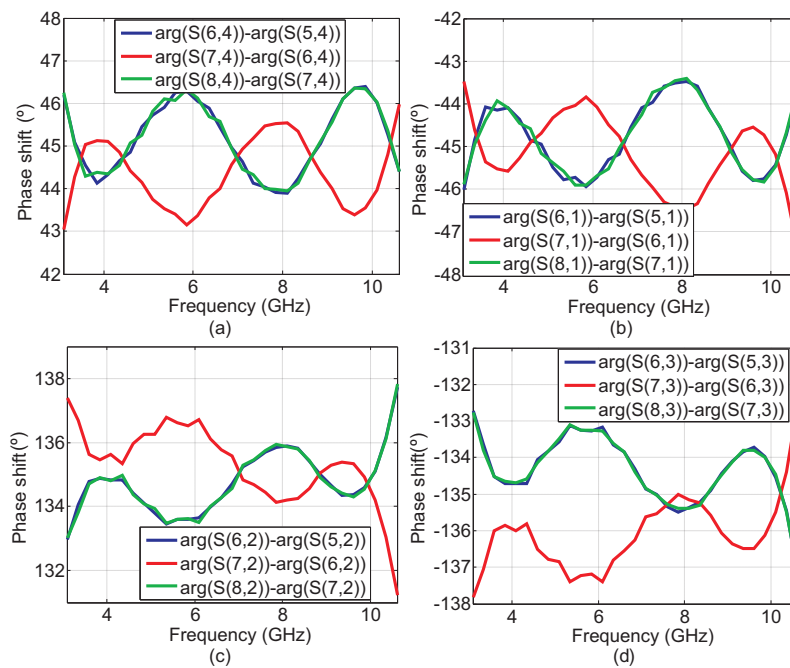


Figure E.27.: Simulated phase shift between adjacent outputs. a) Input port is port 4. b) Input port is port 1. c) Input port is port 2. d) Input port is port 3.

chosen, the main difficulty of this design is the layout definition. This has to achieve a perfect phase shift balance with the frequency between all the signal paths from any input port to any output port. Furthermore, the input ports and the output ports must be equally spaced in the array axis.

Figure E.26 shows the layout of the designed 4x4 Butler matrix and some of the si-

Table E.12.: Characteristic impedances (Z_{0_i}) and resistances (R_i) used in the design of the four-section Wilkinson power divider.

$Z_{0_1}(\Omega)$	$Z_{0_2}(\Omega)$	$Z_{0_3}(\Omega)$	$Z_{0_4}(\Omega)$	$R_1(\Omega)$	$R_2(\Omega)$	$R_3(\Omega)$	$R_4(\Omega)$
55.79	64.79	77.18	89.63	103	172	291	482

ulated results are depicted in Fig. E.27. This circuit exhibits a return loss better than 24 dB and an insertion loss better than 9 dB from 3.1 to 10.6 GHz. Furthermore, simulation results of this circuit show an extremely good phase shift between its adjacent output ports of $45 \pm 2^\circ$, $-45 \pm 2.5^\circ$, $135 \pm 3^\circ$ and $-135 \pm 3^\circ$ respectively, clearly outperforming previously reported designs [154, 158–162]. The prototype of this circuit was being fabricated when this Thesis was written, so no experimental results are still available.

E.9. Six-port architectures in planar technology

In section E.5 we demonstrated the importance of the six-port passive junction in the analog six-port IQ demodulator performance. The first proposals in six-port I/Q demodulators [39, 40] only covered fractional bandwidths up to 30%, making more simple the design of the six-port networks. Recently, new proposals have been developed to cover greater frequencies ranges making use of multilayer technologies [18, 19, 22, 41–44]. However, these structures cannot achieve a good performance in their complete operational bandwidth, showing: i) a low return loss, ii) a low isolation between LO and RX ports, and iii) an important amplitude (> 2 dB) and phase ($> 10^\circ$) imbalance in their centres.

In this Thesis we have developed three six-port architectures, which operate in the complete UWB band (3.1 to 10.6 GHz). In this section, we present two of this architectures [55, 56] and assess their performance with the help of the equation proposed in section E.5 to calculate the EVM (E.20). These six-port networks make use of the quadrature hybrid presented in subsection E.6.5, the 90° phase shifter presented in subsection E.7.2 and a power divider that is presented in the next subsection.

E.9.1. Power divider design

Power dividers are important microwave passive circuits that have been widely developed for decades. In fact, in the last years several new multilayer structures have been proposed [174–177]. However, these circuits present important amplitude and phase imbalances between their output ports. On the contrary, the well-known Wilkinson power divider [169] is a perfectly balanced structure when it is designed with equal splitting ratio. The main drawback of the Wilkinson power divider is its limited bandwidth, but it can be easily extended with the help of multisection approaches [170–173]. In this Thesis, a four-section Wilkinson power divider has been designed to minimize the six-port network imbalances and cover the complete UWB band.

The design of this circuit is relatively simple. Using the impedances (Z_{0_i}) and re-

E. English summary

Table E.13.: Physical dimensions of the four-section Wilkinson power divider.

Sections	1	2	3	4
$W(\mu\text{m})$	555	420	282	197
$L(\text{mm})$	5.9	6.7	6.5	6.67
$R(\Omega)$	100	200	270	500

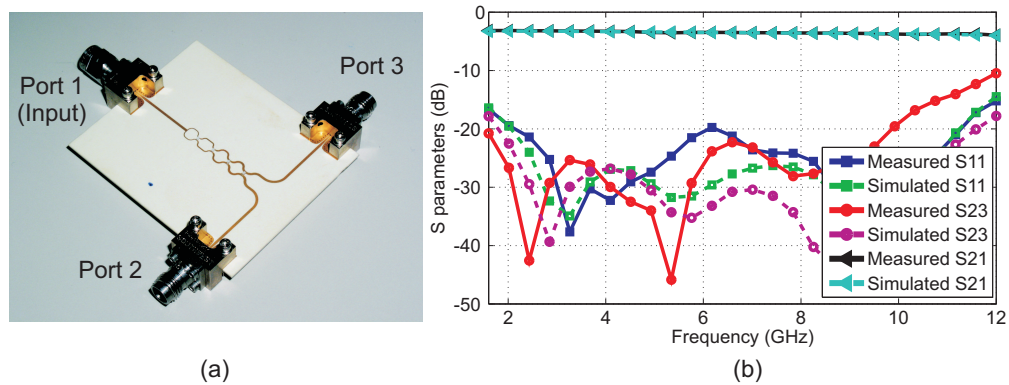


Figure E.28.: a) Photograph of the four-section Wilkinson power divider. b) Measured and simulated insertion loss (S_{21}), return loss (S_{11}) and isolation (S_{23}).

distances (R_i) values included in Table E.12, the width (W_i) and the length (L_i) of the tracks are initially calculated. Then, the power divider can be circuitally simulated using a simple microstrip model to adjust these values (W_i , L_i). Finally, the layout of the circuit is defined and the power divider is electromagnetically optimized. The dimensions used in this circuit are included in Table E.13.

This circuit has been fabricated and its photograph is shown in Fig. E.28(a). It exhibits a good performance with an insertion loss better than 3.8 dB, a return loss better than 20 dB and an isolation between the output ports better than 16 dB from 3.1 to 10.6 GHz, as depicted in Fig. E.28(b). Besides, this circuit has almost a perfect amplitude and phase balance between its output ports as expected.

E.9.2. Six-port architecture comprised of three quadrature hybrids and power divider

This six-port network has been implemented using the quadrature hybrid presented in subsection E.6.5 and the Wilkinson power divider presented in subsection E.9.1. Its block diagram is shown in Fig. E.29(a) and the photograph of the fabricated prototype is shown in Fig. E.29(b) [55].

This prototype has been measured with a two-port vector network analyser (VNA), using matched terminations in the unused ports, and some of the results are depicted in Fig. E.30. The prototype has exhibited really good results with its centres located in 0 , $\pi/2$, π and $3\pi/2$ showing an amplitude imbalance of less than ± 0.75 dB and phase imbalance smaller than $\pm 5^\circ$ from 3.1 to 10.6 GHz, as depicted in Fig. E.30. Besides, it has achieved a return loss better than 21 dB and an isolation between RF and LO input

E.9. Six-port architectures in planar technology

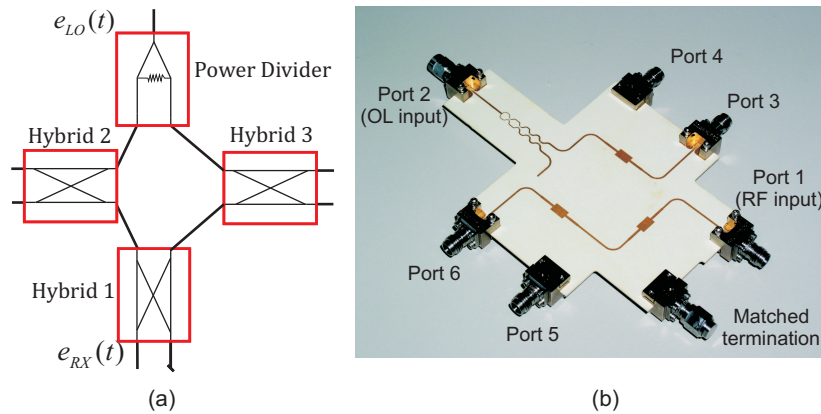


Figure E.29.: Six-port architecture comprised of three quadrature hybrids and power divider. a) Block diagram. b) Photograph of the fabricated prototype (79x42 mm²).

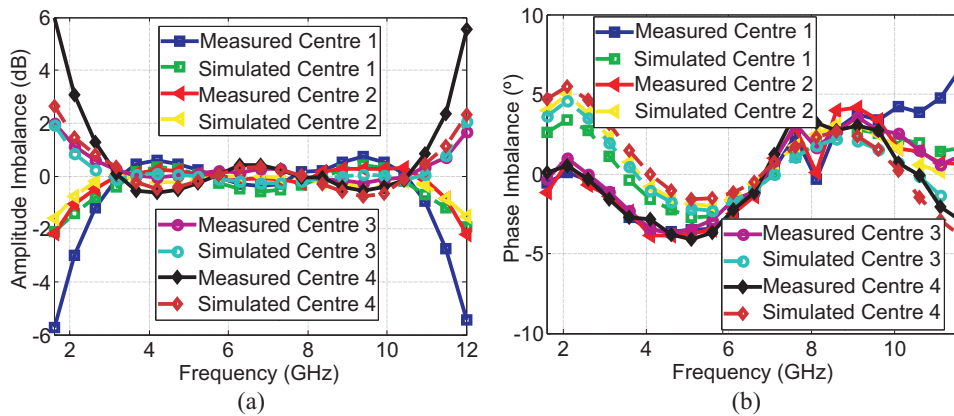


Figure E.30.: Performance of the six-port architecture comprised of three quadrature hybrids and a power divider. a) Six-port centre amplitude imbalance. b) Six-port centre phase imbalance.

ports better than 30 dB.

In order to evaluate its performance, the EVM of this six-port architecture has been calculated, i) simulating the demodulation of QPSK symbols in absence of noise for each frequency point, and ii) using the proposed equation for the EVM (E.20). The obtained results are shown in Fig. E.31. As it can be observed, the simulated and the calculated results are almost coincident, what proves the validity of (E.20) to evaluate real six-port architectures. When the DC signal term is considered ($R_{DC} \neq 0$), the performance of the I/Q demodulator is optimized if $P_{RX} \approx P_{LO}$, obtaining an EVM lower than a 2.5% (see Fig. E.31(a)). This fact was theoretically described in subsection E.5.3. However, when the DC signal term is not considered ($R_{DC} = 0$), the performance of the I/Q demodulator is optimized if $P_{RX} \ll P_{LO}$, obtaining an EVM lower than a 2.5% (see Fig. E.31(b)).

E. English summary

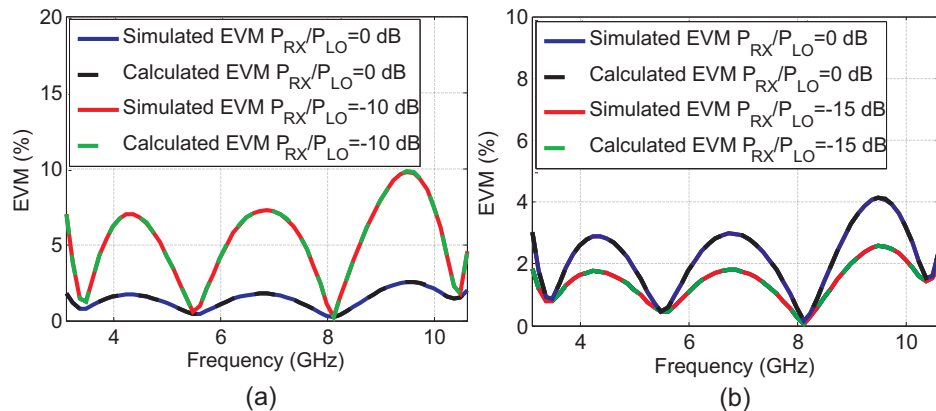


Figure E.31.: Simulated and calculated (E.20) EVM of the six-port architecture comprised of three quadrature hybrids and a power divider. a) Considering the DC signal ($R_{DC} \neq 0$). b) Not considering the DC signal ($R_{DC} = 0$).

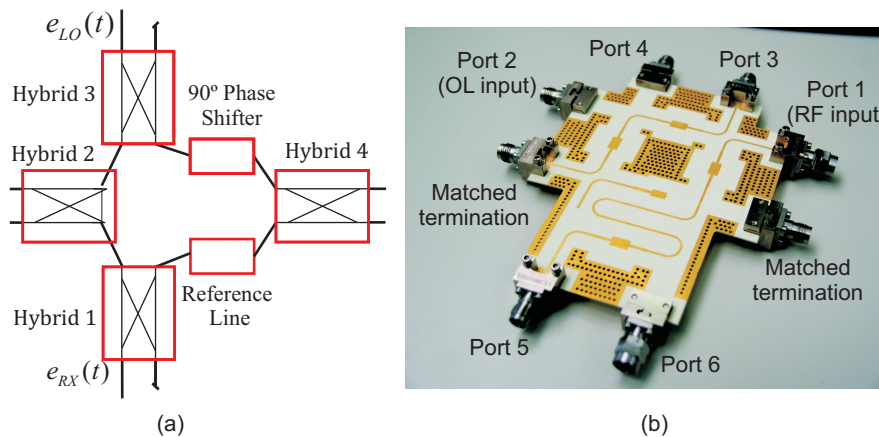


Figure E.32.: Six-port architecture comprised of four quadrature hybrids and a 90° phase shifter. a) Block diagram. b) Photograph of the fabricated prototype ($66 \times 45 \text{ mm}^2$).

E.9.3. Six-port architecture comprised of four quadrature hybrids and a 90° phase shifter

This six-port network has been implemented using the quadrature hybrid presented in subsection E.6.5 and the 90° phase shifter presented in subsection E.7.2. Its block diagram is shown in Fig. E.32(a) and the photograph of the fabricated prototype is shown in Fig. E.32(b) [56].

This prototype has been measured exhibiting extremely good results with a return loss better than 22.5 dB and an isolation between RF and LO input ports better than 27 dB. Focusing on the six-port centres, which are the critical features in six-port networks, the prototype has its centres exactly situated in 0 , $\pi/2$, π and $3\pi/2$, with an amplitude imbalance smaller than $\pm 0.8 \text{ dB}$ and a phase imbalance smaller than $\pm 2.5^\circ$ in whole UWB band (see Fig. E.33). Thanks to the six-port configuration used,

E.10. I/Q demodulator based on a six-port architecture

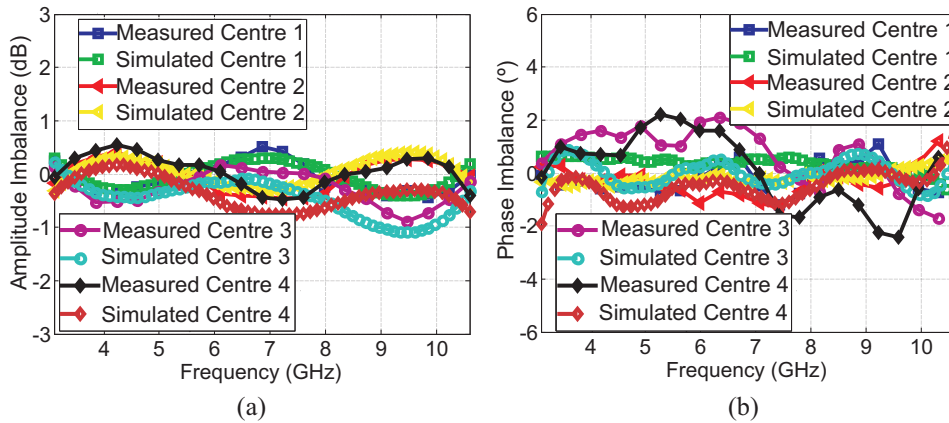


Figure E.33.: Performance of the six-port architecture comprised of four quadrature hybrids and a 90° phase shifter. a) Six-port centre amplitude imbalance. b) Six-port centre phase imbalance.

which cancels the common phase error of its quadrature hybrids (as demonstrated in subsection E.5.4), this new six-port architecture has halved the six-port centre phase imbalance obtained by the former design. To the author's knowledge, these results outperform previously published six-port architectures such as [18, 19, 22, 41–44] and make feasible the design of a high performance six-port receiver with analog I/Q regeneration.

As in subsection E.9.2, the EVM of this six-port architecture has been calculated by simulation and using the proposed equation for the EVM (E.20). In this case, we have assumed a different AGC for the I/Q channels to compensate the extra insertion loss introduced by the phase shifter and its reference line. The obtained results are shown in Fig. E.34. When the DC signal term is considered ($R_{DC} \neq 0$), the performance of the I/Q demodulator is optimized if $P_{RX} \approx P_{LO}$, obtaining an EVM lower than a 1.4% (see Fig. E.31(a)). However, when the DC signal term is not considered ($R_{DC} = 0$), the performance of the I/Q demodulator is optimized if $P_{RX} \ll P_{LO}$, obtaining an EVM lower than a 1.3% (see Fig. E.31(b)).

Comparing the results obtained in the evaluation of both architectures it is clear that the six-port network comprised of four hybrids and 90° phase shifter is the best option. This six-port network is more compact, presents a lower imbalance in its centres and a lower EVM than the other six-port network. For this reason, the six-port network comprised of four hybrids and 90° phase shifter has been finally chosen to implement the I/Q demodulator, as it will be shown in the next section.

E.10. I/Q demodulator based on a six-port architecture

In section E.9, we presented the design of two passive six-port networks and chose the most suitable for implementing the six-port I/Q demodulator. The next step consists in the realization of the power detector and baseband operational amplifier circuits needed to demodulate the I/Q signals. In this section, we present the design of the I/Q demodulator baseband circuitry, and finally, we present the fabricated pro-

E. English summary

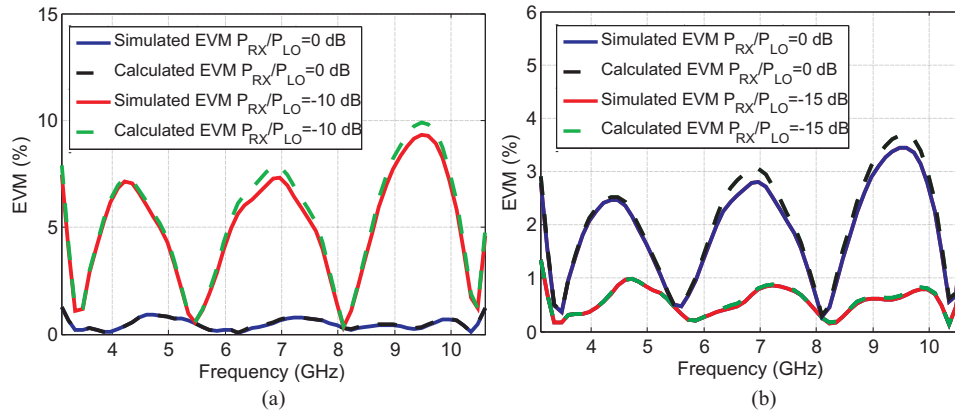


Figure E.34.: Simulated and calculated (E.20) EVM of the six-port architecture comprised of four quadrature hybrids and a 90° phase shifter. a) Considering the DC signal ($R_{DC} \neq 0$). b) Not considering the DC signal ($R_{DC} = 0$).

tototype of the six-port I/Q demodulator, showing some of the results obtained in its evaluation.

As it was commented in section E.3, analog six-port I/Q demodulators provide some interesting advantages when compared with the digital approach, halving the number of A/D converters required, as only the I/Q signals are digitized. However, the analog solution requires a much more demanding hardware design because only the I/Q signals can be used to perform the signal post-processing and remove the hardware impairments by calibration. This hardware restriction must be considered in the design of power detector circuitry as well. In fact, its design is considered an important challenge in the realization of the six-port I/Q demodulator. This circuit must cover the complete UWB band (3.1 to 10.6 GHz) with a low reflection coefficient at the input port, an acceptable dynamic range without higher order non-linearities and a constant sensitivity in the operation bandwidth. Besides, the power detector and the operational amplifier circuits have to adapt the voltage level of the output baseband signal to the measurement equipment requirements.

E.10.1. Power detector circuit design

In this Thesis we have decided to use four single-ended power detectors connected to the outputs of the six-port network and perform the analog subtraction using differential amplifiers. The first step in the design of the power detector circuit consists in choosing the power detector itself. After a thorough study of the different options, we have decided to use the Avago HSCH-9161 zero bias Schottky detector diode [179]. The main problem of this power detector is that it presents an input impedance of 2.5-7.5 k Ω , what can cause an important mismatch in the six-port network output ports. This problem is typically solved introducing a parallel 50 Ω matching resistor at the input of the power detector circuit. Although, this solution drastically reduces the sensitivity of the power detectors, because most of the input power is dissipated by the 50 Ω resistor, it is still a good compromise solution for a demodulator whose input signal is amplified by a Low Noise Amplifier (LNA).

E.10. I/Q demodulator based on a six-port architecture

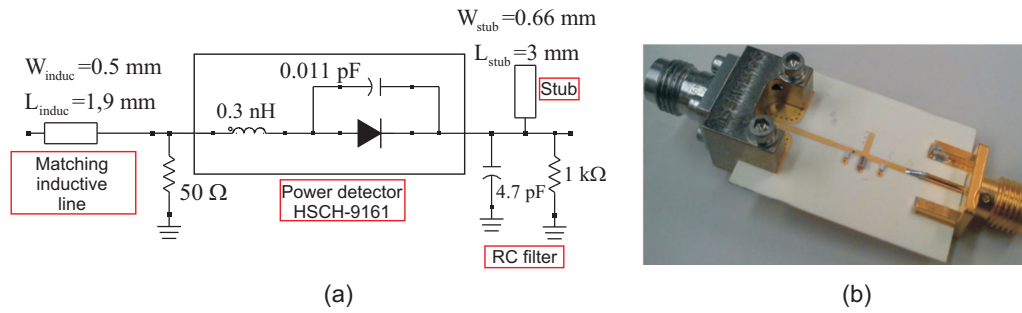


Figure E.35.: Power detector. a) Circuit model. b) Photograph of the fabricated prototype.

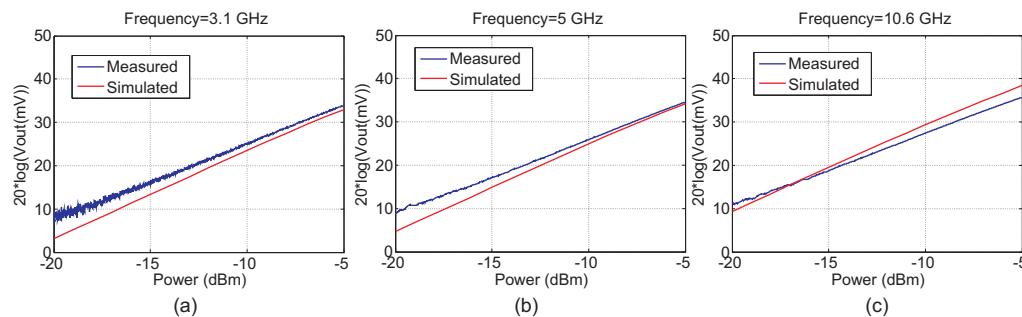


Figure E.36.: Power detector output voltage in logarithmic scale as a function of the input power at different frequencies. a) $f_o=3.1$ GHz. b) $f_o=5$ GHz. c) $f_o=10.6$ GHz.

The circuit model used in the design of the power detectors is shown in Fig. E.35(a). This circuit makes use of a simple matching input network consisting of a short inductive microstrip line and a parallel 50Ω resistor. Besides, this circuit has a low pass RC filter and a stub at the output to short-circuit the RF signal and obtain the desired baseband output signal voltage. All the values and dimensions used in the design of this circuit are included in Fig. E.35(a).

This circuit has been fabricated and its photograph is shown in Fig. E.35(b). It exhibits a good reflection coefficient better than -20 dB and a linear response up to -8 dBm of input power with a baseband output voltage of 30 mV (29.5 in logarithmic scale) without amplification in the complete UWB band (3.1 to 10.6 GHz), as shown in Fig. E.36.

E.10.2. Operational amplifier circuit design

In the design of this circuit we have to consider the features of the power detectors and the A/D converters. Our measurement system has a four channel 20 MS/s simultaneous-sampling Adlink PCI-9812 analog input card. This card has two hardware programmable input ranges of ± 1 V and ± 5 V. The operational amplifier circuit has to adapt the voltage level of the output baseband signal to the voltage level required by A/D converter. Besides, it has to cover a bandwidth of at least 10 MHz, which is

E. English summary

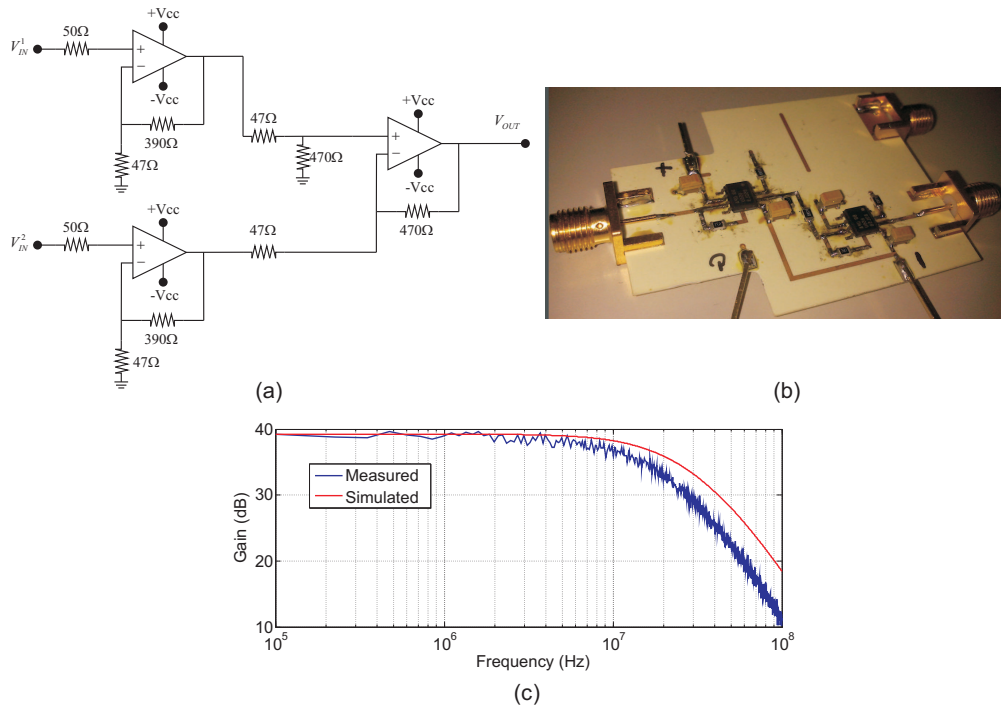


Figure E.37.: Differential amplifier. a) Circuit topology. b) Photograph of the fabricated prototype. c) Gain response.

the maximum frequency of the baseband signal that the A/D converter can support (Nyquist sampling theorem).

After studying the features of different operational amplifiers we have decided to use the OPA656 operational amplifier of Texas instrument [180] and the circuit topology shown in Fig. E.37(a). In this circuit, the outputs of the power detectors are amplified by the non-inverting amplifiers and then subtracted by the differential amplifier to cancel the unwanted signal terms and recover the I/Q signals.

Once the operational amplifier and the circuit topology have been chosen, the design of this circuit is pretty simple. Using the Pspice model provided by Texas Instrument, the non-inverting amplifiers and the differential amplifier are simulated together, and the values of their resistors are adjusted to obtain the desired amplification and bandwidth. The main difficulty of this design is the layout definition because the non-inverting amplifiers have to be placed in different layers.

This circuit has been fabricated and measured to evaluate its performance. The photograph of the fabricated prototype is shown in Fig. E.37(b) and its gain response is shown in Fig. E.37(c). This circuit has exhibited a gain of 39 dB (92 V/V) as in simulation with a bandwidth of 13 MHz slightly lower than expected, but higher than the maximum frequency that the A/D converter can support.

E.10. I/Q demodulator based on a six-port architecture

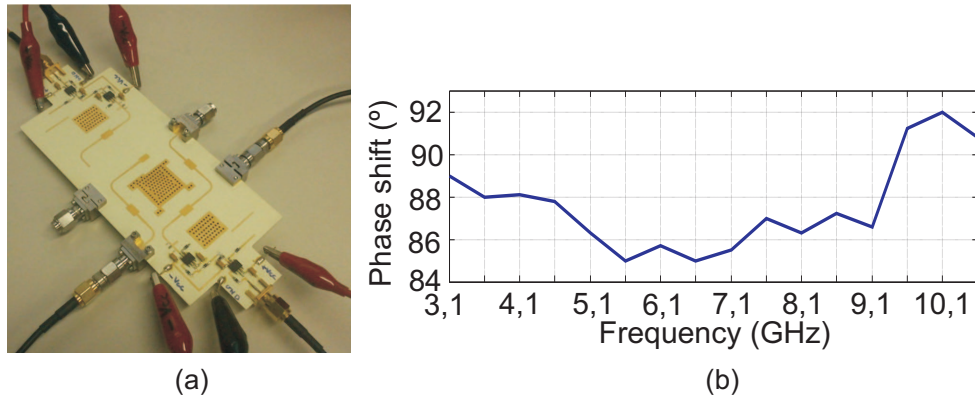


Figure E.38.: Prototype of the six-port I/Q demodulator. a) Photograph. b) Phase shift between the I/Q channels.

E.10.3. Prototype of the I/Q demodulator

We have fabricated the prototype of the analog six-port I/Q demodulator, whose photograph is shown in Fig. E.38(a). This circuit makes use of the six-port architecture comprised of four hybrids and 90° phase shifter presented in subsection E.9.3, four single-ended power detectors as the one presented in subsection E.10.1 and two operational amplifier circuits as the one presented in subsection E.10.2.

Once the prototype has been fabricated, it is important to measure the phase imbalance between the I/Q channels of the demodulator to verify the quadrature condition. To perform this measurement, two high frequency tones with slightly different frequencies are injected in the RX and LO input ports of the demodulator. This frequency difference is detected by the demodulator as two different low frequency tones in each channel, whose phase shift is exactly the phase shift between the I/Q channels (ideally 90°). Repeating this measurement for different frequencies between 3.1 and 10.6 GHz, the phase imbalance of the I/Q demodulator can be measured in the complete UWB band. The I/Q demodulator has exhibited an extremely good phase imbalance between -5° and $+2^\circ$ from 3.1 to 10.6 GHz, as shown in Fig. E.38(b).

Once the quadrature condition has been verified, the performance of the prototype for different modulations (QPSK, 16QAM) must be evaluated calculating its BER. To perform this measurements, an automatic measurement setup has been used, and its main features are briefly explain in the next subsection.

E.10.4. Measurement setup

The automatic measurement setup has to measure the performance of the I/Q demodulator quickly, safely and reliably. This can be achieved controlling the complete measurement station with a personal computer (PC). This PC has to control all the apparatus (including the I/Q demodulator) and analyze the information provided by the I/Q demodulator.

The block diagram of the automatic measurement setup is shown in Fig. E.39. It is comprised of a PC that controls the measurement process, a modulator, a local oscillator and the I/Q demodulator itself. This system has been set up making use of the

E. English summary

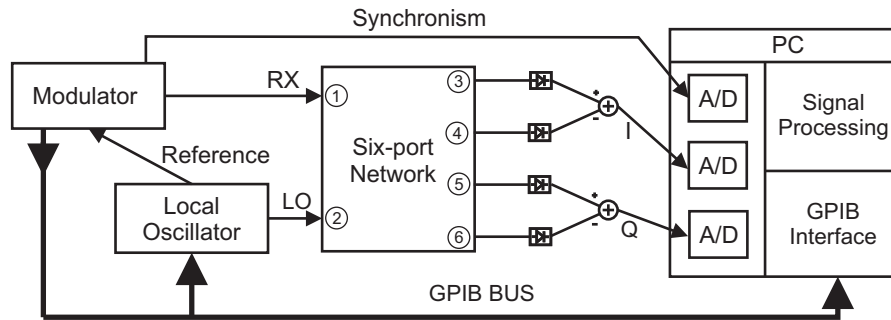


Figure E.39.: Measurement system diagram block.

experience of the research group in this field [5,29,141]. In order to develop all the routines and control the complete process with the PC, we have decided to use MATLAB. With this program, the PC can control all the instrumentation, control the data acquisition, save the information, perform the signal post-processing, and finally, show the results. In this initial phase, no calibration procedures have been developed. The post-processing algorithms only solve the problems related to the measurement station itself, such as: carrier and symbol synchronization, remove the constellation rotation caused by the phase differences between the modulator and the local oscillator, etc.

E.10.5. Measurement and evaluation of the prototype

We have currently set up the measurement station and implemented all the routines needed to generate, send and demodulate QPSK and 16QAM symbol frames with an arbitrary length. These routines have been used to evaluate the performance of the I/Q demodulator for both modulations at the frequency of 5 GHz for different levels of P_{RX} and P_{LO} . However, we have only obtained results of BER for the QPSK modulation due to the limited availability of some equipments.

In Fig. E.40 some QPSK constellations demodulated with a LO power of 0 dBm and different RX power levels are depicted. In this case, the QPSK symbols are properly demodulated even for low RX power levels of -30 dBm (see E.40(a)). However, for higher RX power levels (0 dBm) it is observed that the demodulated constellation start to be distorted even with a modulation as simple as the QPSK, with the same energy in all its symbols (see E.40(c)). It must be clarified that these constellations were demodulated using a local oscillator with an important jitter that was degrading the potential performance of the demodulator and had to be changed.

In order to measure the BER, a new routine has been implemented that generates QPSK symbols frames, calculates their BER after the demodulation and saves the results. It must be noticed that in order to measure a BER of 10^{-6} it is necessary to send more than one million of symbols, what can take several hours. The BER has been evaluated at the frequency of 5 GHz for different LO power levels and the results are depicted in Fig. E.41. This figure shows that the demodulator is very sensitive when it is demodulating QPSK symbols, as it only needs -55 dBm of RX power level to obtain a BER of almost 10^{-6} with an LO power level of 0 dBm, without using neither cali-

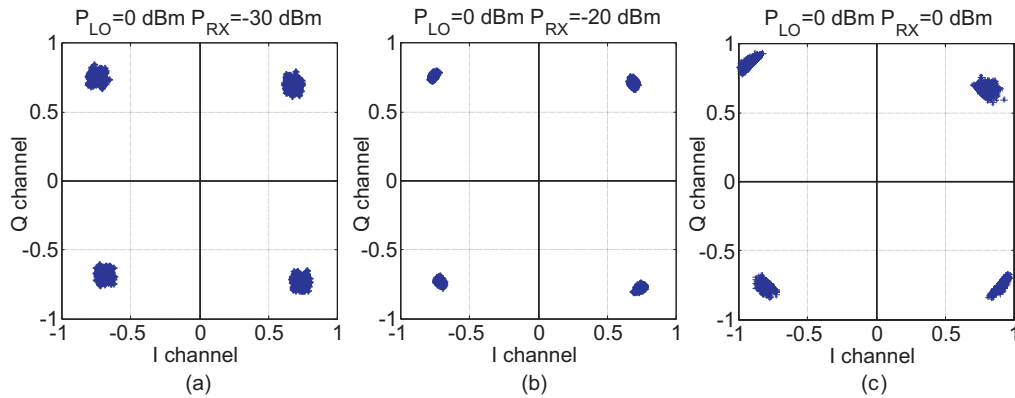


Figure E.40.: Demodulated QPSK symbols for $f_o=5$ GHz and $P_{LO}=0$ dBm when a) $P_{RX}=-30$ dBm, b) $P_{RX}=-20$ dBm and c) $P_{RX}=0$ dBm.

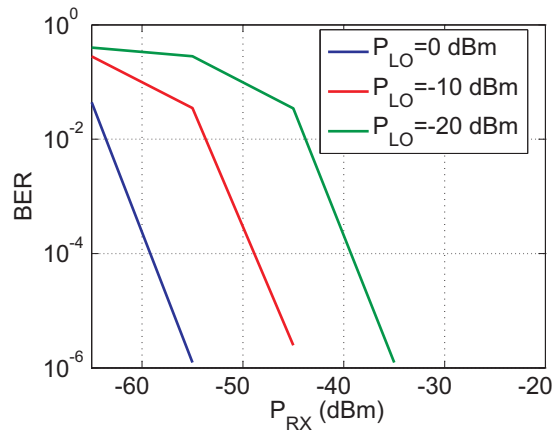


Figure E.41.: Measured BER in the demodulation of QPSK symbols for different local oscillator power levels (P_{LO}) as a function of the RX power (P_{RX}) at the frequency of 5 GHz.

bration techniques nor error correction algorithms. This high sensitivity is obtained despite the fact that resistive matching has been used for the power detectors which, certainly, must have reduced its sensitivity. The prototype is still under evaluation and it is expected to assess its performance with more complicated modulations.

E.11. Conclusions and prospects

E.11.1. Conclusions

The main goal of this Thesis has been the realization of a high performance analog six-port I/Q demodulator operating in the complete UWB band (3.1 to 10.6 GHz) even without calibration. This allows to decrease the specifications of the A/D converters and the post-processing required, thus reducing the complexity and the cost of this type of demodulators. Besides, this Thesis has allowed the collaboration with other members of the research group, dealing with other applications not directly related

E. English summary

with the six-port I/Q demodulator itself. The main topics developed in this Thesis and its main conclusions have been:

1. A detailed study of the analog six-port I/Q demodulator has been carried out. In doing so, three complex parameters have been defined (R_{DC} , R_{RW} and I_A), which completely describe the constellation distortion due to hardware impairments of the six-port junction and can be used to calculate the receiver's EVM and evaluate its performance degradation. Besides, three six-port I/Q demodulators have been analyzed using the three complex parameters (R_{DC} , R_{RW} and I_A) to get a deeper understanding of its behaviour and compare their potential performance. In this English summary we have only included the analysis of the six-port architecture comprised of four hybrids and a 90° phase shifter.
2. One of the main limitations in ultra-wideband six-port implementation is the design of hybrid couplers with minimum amplitude and phase imbalances in wide frequency ranges. To solve this problem, in this Thesis we have proposed a three-section slot-coupled quadrature hybrid, in which the lengths of the different sections were modified to compensate the parasitic effects of the discontinuities and the difference between the even and odd mode phase velocities. This circuit has exhibited an amplitude imbalance lower than ± 0.75 dB and a phase shift better than $90 \pm 3^\circ$ in the complete UWB band, outperforming previously reported designs. However, this design technique cannot always be applied and cannot achieve a perfect matching and isolation in the ports of the directional coupler.
3. To solve the aforementioned limitations, in this Thesis we have developed a new technique based on the concept of wiggly coupled lines but applied to the design of slot-coupled directional couplers. In so doing, a new corrugated slot has been proposed enabling almost perfect compensation of even-odd mode phase velocities. This new slot is based on a periodic structure that can be efficiently designed by simulating only one unit cell (Bloch-Floquet theory) with remarkably accurate results. To demonstrate the validity of the proposed technique several directional couplers have been designed. In this English summary only two of them have been included. The first one is a 10 dB asymmetric directional coupler that has exhibited a really good coupling accuracy of 10 ± 0.6 dB, a return loss better than 23 dB and an isolation better than 28 dB from 1.2 to 12 GHz. The second one is a symmetric quadrature hybrid that has exhibited a return loss better than 22 dB, an isolation better than 26 dB and extremely small amplitude and phase imbalance of less than ± 0.5 dB and $\pm 0.7^\circ$ respectively from 3.1 to 10.6 GHz. These results outperform previously reported designs and are comparable (in planar technologies) only with those attainable by homogeneous TEM couplers.
4. Making use of the new corrugated slot, in this Thesis we have proposed the design of multisection slot-coupled Schiffman phase shifters with a novel end connection placed inside of the coupling region to minimize its length. Two different circuits have been designed, i) a 90° phase shifter, which has exhibited

a phase shift of $90 \pm 2.5^\circ$, clearly outperforming even the most recently reported designs, and a 45° phase shifter, which has exhibited a phase shift of $45 \pm 1.5^\circ$ (in simulation).

5. We have developed three passive six-port architectures, which operate in the complete UWB band (3.1 to 10.6 GHz). However, only two of them (the most relevant) have been presented in this English summary. These six-port networks have exhibited amplitude and phase imbalances in its centres lower than ± 0.8 dB and $\pm 2.5^\circ$ respectively, yielding an EVM lower than 1.5% in the appropriate conditions. Up to the author's knowledge, these results are state of the art.
6. We have designed and tested the power detector and baseband operational amplifier circuits needed to demodulate the I/Q signals, and finally, we have fabricated a prototype of the six-port I/Q demodulator. This circuit has exhibited an extremely good phase imbalance between the I/Q channels lower than $\pm 5^\circ$ from 3.1 to 10.6 GHz. Besides the I/Q demodulator seems to be very sensible for the demodulation of QPSK symbols, as it only needs -55 dBm of RX power level to obtain a BER of almost 10^{-6} with an LO power level of 0 dBm, without using neither calibration techniques nor error correction algorithms. However, due to the limited availability of some equipments, the I/Q demodulator has not been completely evaluated yet.
7. As an interesting application to make use of the directional couplers and phase shifters developed in this Thesis, we have designed a 4x4 Butler matrix. This circuit covers the complete UWB band with a really good phase shift between its adjacent output ports of $45 \pm 2^\circ$, $-45 \pm 2.5^\circ$, $135 \pm 3^\circ$ and $-135 \pm 3^\circ$, respectively. The prototype of this circuit is under fabrication.
8. There has been an important collaboration with other members of the research group to design frequency locked loops (FLL) based on a delay-line frequency discriminator, making use of most of the passive circuits designed in this Thesis (directional couplers, phase shifter, power divider, etc).

E.11.2. Prospects

After the work carried out in this Thesis, there are still some interesting goals to be achieved:

- We have to finish the evaluation of the six-port I/Q demodulator for different modulations (QPSK, 16QAM, 64QAM, etc.), calculating its BER for different frequencies, RX power levels and LO power levels. Besides, it can be interesting to model the behaviour of the power detector and include it in our simulation routines. This will allow to predict if the non-linear errors are introduced by the power detectors or the by the six-port architecture itself. Eventually, this information could be used to develop a new calibration technique that considers both sources of non-linearities. In doing so, this new calibration technique could properly remove these non-linear errors and increase the dynamic range of the analog six-port I/Q demodulator.

E. English summary

- The analog six-port I/Q demodulator can be used as a delay-line frequency discriminator as well. In this approach, as in the classical one based on a quadrature hybrid, the input signal is initially divided between a direct path and a delay line to obtain two signals with a phase difference between them proportional to the frequency deviation. Then, these two signals are injected to the inputs of the six-port I/Q demodulator to obtain the in-phase and quadrature signals that contain the information of the aforementioned phase difference. Finally, a DC block can be used to analogically make some operations with the demodulated I/Q signals and obtain a voltage proportional to the instantaneous frequency deviation of the signal at the input of the frequency discriminator. The main difference between both approaches is that the classical one (based on a quadrature hybrid) usually requires a variable phase shifter and additional control circuitry to keep the circuit working in the quadrature condition. However, the frequency discriminator based on a six-port I/Q demodulator naturally works in the quadrature condition. Hence, it does not need either additional tuning elements or additional control circuits, what makes it a simpler and more robust solution to design wideband FLL. This could be an excellent application for the wideband high performance six-port I/Q demodulator designed in this Thesis.

F

List of publications

F.1. International publications

- **A. Moscoso-Mártir**, J. G. Wangüemert-Pérez, I. Molina-Fernández, E. Márquez-Segura, “Slot-coupled multisection quadrature hybrid for UWB applications,” *IEEE Microwave and Wireless Components Letters*, vol. 19, no. 3, pp. 143–145, 2009.
- B. López-Berrocal, J. de-Oliva-Rubio, E. Márquez-Segura, **A. Moscoso-Mártir**, I. Molina-Fernández, P. Uhlig, “High performance 1.8-18 GHz 10-dB low temperature co-fired ceramic directional coupler,” *Progress In Electromagnetics Research*, vol. 104, pp. 99–112, 2010.
- **A. Moscoso-Mártir**, I. Molina-Fernández, A. Ortega-Moñux, “Signal constellation distortion and BER degradation due to hardware impairments in six-port receivers with analog I/Q generation,” *Progress In Electromagnetics Research*, vol. 121, pp. 225–247, 2011.
- P. Reyes-Iglesias, I. Molina-Fernández, **A. Moscoso-Mártir**, A. Ortega-Moñux, “High-performance monolithically integrated 120° downconverter with relaxed hardware constraints,” *Optics Express*, vol. 20, no. 5, pp. 5725–5741, 2012.
- **A. Moscoso-Mártir**, I. Molina-Fernández, and A. Ortega-Moñux, “High performance multisection corrugated slot-coupled directional coupler,” *Progress In Electromagnetics Research*, vol. 134, pp. 437–454, 2013.
- J. M. Ávila-Ruiz, I. Molina-Fernández, L. Moreno-Pozas, E. Durán-Valdeiglesias, **A. Moscoso-Mártir**, and de-Oliva-Rubio J., “Phase noise enhancement in microwave synthesizers by means of a frequency locked loop,” *IET Microwaves, Antennas and Propagation*, 2013 (submitted).

F.2. International symposiums

- **A. Moscoso-Mártir**, I. Molina-Fernández, A. Ortega-Moñux, “Effects of hardware impairments in six-port homodyne receivers for communication systems,”

F. List of publications

- Proceeding of the 25th Progress in Electromagnetic Research, Marrakesh (Morocco), Mar. 2011.
- **A. Moscoso-Mártir**, I. Molina-Fernandez, “Six-port junction with complete UWB band coverage in multilayer technology,” Microwave Conference (EuMC), 2011 41st European. IEEE, 2011.
 - **A. Moscoso-Mártir**, I. Molina-Fernández, J. M. Avila-Ruiz, “Ultra-wideband multilayer six-port junction with common phase error cancellation,” in Microwave Conference (EuMC), 2012 42st European. IEEE, 2012.
 - I. Molina-Fernandez, **A. Moscoso-Mártir**, J. M. Avila-Ruiz, R. Halir, P. Reyes-Iglesias, J. de Oliva-Rubio, A. Ortega-Monux, “Multi-port technology for microwave and optical communications,” in Proc. IEEE MTT-S Int. Microwave Symp. Digest (MTT), 2012.
 - **A. Moscoso-Mártir**, J. Hong, I. Molina-Fernández, “Varactor-tuned dual-mode frequency discriminator for instantaneous frequency measurements,” IEEE European Microwave Conference, Nuremberg, Germany, 2013 (submitted).

F.3. National patents

- **A. Moscoso-Mártir**, I. Molina-Fernández, “Acoplador Direccional Acoplado por Ranura y Procedimiento de Diseño de Dicho Acoplador”, España, Patent P201 001 553, 2010.

F.4. National symposiums

- **A. Moscoso-Mártir**, J. G. Wangüemert-Pérez, I. Molina-Fernández, E. Márquez-Segura, “Diseño de híbridos en cuadratura acoplados por ranura,” XXIII Symposium Nacional de la Unión Científica Internacional de Radio (Madrid, España), URSI 2008, 2008.
- B. López-Berrocal, J. de-Oliva-Rubio, I. Molina-Fernández, E. Márquez-Segura, **A. Moscoso-Mártir**, “Transición de altas prestaciones entre líneas superficiales y líneas enterradas en circuitos multicapa de microondas,” XXIV Symposium Nacional de la Unión Científica Internacional de Radio (Santander, España), URSI 2009, 2009.
- **A. Moscoso-Mártir**, I. Molina-Fernández, and J. M. Ávila-Ruiz, “Arquitectura de seis puertos de ultra banda ancha con errores de fase autocompensados,” XXVII Symposium Nacional de la Unión Científica Internacional de Radio (Elche, España), URSI 2012., 2012.
- J. M. Ávila-Ruiz, I. Molina-Fernández, E. Durán-Valdeiglesias, L. Moreno-Pozas, **A. Moscoso-Mártir**, J. de-Oliva-Rubio, “Bucle enganchado en frecuencia para reducción de ruido de fase en osciladores de microondas,” XXVII Symposium

E4. National symposiums

Nacional de la Unión Científica Internacional de Radio (Elche, España), URSI 2012.

- P. Reyes-Iglesias, I. Molina-Fernández, **A. Moscoso-Mártir**, and A. Ortega-Moñux, “Receptor monolíticamente integrado de altas prestaciones basado en un acoplador a 120° ,” XXVII Simposium Nacional de la Unión Científica Internacional de Radio (Elche, España), URSI 2012.



SPICUM
servicio de publicaciones

Bibliografía

- [1] A. Goldsmith, *Wireless Communications*. Cambridge University Press, 2005.
- [2] J. Mitola, “The software radio architecture,” *Communications Magazine, IEEE*, vol. 33, pp. 26–38, 1995.
- [3] B. Razavi, “Design considerations for direct-conversion receivers,” *IEEE Transactions on Circuit and Systems II*, vol. 44, pp. 428–435, 1997.
- [4] S. Tatu, E. Moldovan, K. Wu, and R. Bosisio, “A new direct millimeter-wave six-port receiver,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 49, no. 12, pp. 2517–2522, 2001.
- [5] P. Pérez-Lara, J. Medina-Rodríguez, I. Molina-Fernández, J. Wangüemert-Pérez, and A. González-Salguero, “Wideband homodyne six-port receiver with high lo-rf isolation,” *Microwaves, Antennas and Propagation, IET*, vol. 3, no. 5, pp. 882–888, 2009.
- [6] E. Djoumessi, S. Tatu, and K. Wu, “Frequency-agile dual-band direct conversion receiver for cognitive radio systems,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 58, no. 1, pp. 87–94, 2010.
- [7] A. Koelpin, G. Vinci, B. Laemmle, D. Kissinger, and R. Weigel, “The six-port in modern society,” *IEEE Microwave Magazine*, vol. 11, no. 7, pp. 35–43, 2010.
- [8] J. Juroshek and C. Hoer, “A technique for extending the dynamic range of the dual six-port network analyzer,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 33, pp. 453–459, 1985.
- [9] T. Brabetz and V. Fusco, “Six-port receiver front-end mmic for v band mbs applications,” in *Proc. 11th Gallium Arsenide Applications*, Oc. 2003.
- [10] B. R. Crowgey, E. J. Rothwell, L. C. Kempel, and M. E. L., “Comparison of uwb short-pulse and stepped-frequency radar systems for imaging through barriers,” *Progress In Electromagnetics Research*, vol. 110, pp. 403–419, 2010.
- [11] G. Engen and C. Hoer, “Application of an arbitrary 6-port junction to power-measurement problems,” *Instrumentation and Measurement, IEEE Transactions on*, vol. 21, no. 4, pp. 470–474, 1972.
- [12] G. Engen, “The six-port reflectometer: An alternative network analyzer,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 25, no. 12, pp. 1075–1080, 1977.
- [13] F. Ghannouchi and R. Bosisio, “A comparative worst-case error analysis of some proposed six-port designs,” *IEEE Transactions on Instrumentation and Measurement*, vol. 37, no. 4, pp. 552–556, 1988.

Bibliografía

- [14] J. Yao and S. Yeo, "Six-port reflectometer based on modified hybrid couplers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 2, pp. 493–498, 2008.
- [15] J. Li, R. Bosisio, and K. Wu, "A six-port direct digital millimeter wave receiver," in *Microwave Symposium Digest, 1994., IEEE MTT-S International*. IEEE, 1994, pp. 1659–1662.
- [16] E. Moldovan, S.-O. Tatu, T. Gaman, K. Wu, and R. G. Bosisio, "A new 94-ghz six-port collision-avoidance radar sensor," *IEEE Transactions on Microwave Theory and Techniques*, vol. 52, no. 3, pp. 751–759, 2004.
- [17] I. Molina-Fernández, A. Moscoso-Mártir, J. M. Ávila Ruiz, R. Halir, P. Reyes-Iglesias, J. de Oliva-Rubio, and A. Ortega-Moñux, "Multi-port technology for microwave and optical communications," in *Proc. IEEE MTT-S Int. Microwave Symp. Digest (MTT)*, 2012, pp. 1–3.
- [18] N. Seman and M. Bialkowski, "Design of a uwb 6-port reflectometer formed by microstrip-slot couplers for use in a microwave breast cancer detection system," in *Antennas and Propagation Society International Symposium, 2007 IEEE*. IEEE, 2007, pp. 245–248.
- [19] M. Bialkowski, A. Abbosh, and N. Seman, "Compact microwave six-port vector voltmeters for ultra-wideband applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 10, pp. 2216–2223, 2007.
- [20] A. Koelpin, G. Vinci, B. Laemmle, S. Lindner, F. Barbon, and R. Weigel, "Six-port technology for traffic safety," vol. 13, no. 3, pp. 118–127, 2012.
- [21] J. Pérez-Dueñas, J. Wangüemert-Pérez, and I. Molina-Fernández, "Novel modulation scheme and six-port based rake receiver for ds-uwbb," *Wireless Communications, IEEE Transactions on*, vol. 8, no. 7, pp. 3628–3633, 2009.
- [22] S. Winter, A. Koelpin, and R. Weigel, "Six-port receiver analog front-end: multilayer design and system simulation," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 55, no. 3, pp. 254–258, 2008.
- [23] V. Fusco and C. Wang, "V-band 57-65 ghz receiver," *Microwaves, Antennas & Propagation, IET*, vol. 4, no. 1, pp. 1–7, 2010.
- [24] S. Moon, J. Yu, and M. Lee, "Cmos four-port direct conversion receiver for bpsk demodulation," *IEEE Microwave and Wireless Components Letters*, vol. 19, no. 9, pp. 581–583, 2009.
- [25] M. Seimetz and C. Weinert, "Options, feasibility, and availability of 2×4 90 hybrids for coherent optical systems," *Journal of lightwave technology*, vol. 24, no. 3, p. 1317, 2006.
- [26] R. Kunkel, H. Bach, D. Hoffmann, C. Weinert, I. Molina-Fernández, and R. Halir, "First monolithic inp-based 90-hybrid oec comprising balanced detectors for

- 100ge coherent frontends,” in *Indium Phosphide and Related Materials, 2009. IPRM'09. IEEE International Conference on*. IEEE, 2009, pp. 167–170.
- [27] *Implementation Agreement for Integrated Dual Polarization Intradynne Coherent Receivers*, Optical Internetworking Forum, April 2010, [http://www.oiforum.com/public/documents/OIF DPC RX- 01.0.pdf](http://www.oiforum.com/public/documents/OIF_DPC_RX-01.0.pdf) Std.
- [28] C. de la Morena-Álvarez Palencia and M. Burgos-García, “Four-octave six-port receiver and its calibration for broadband communications and software defined radios,” *Progress In Electromagnetics Research*, vol. 116, pp. 1–21, 2011.
- [29] P. Pérez-Lara, I. Molina-Fernández, J. Wangüemert-Pérez, and R. Bosisio, “Effects of hardware imperfection on six-port direct digital receivers calibrated with three and four signal standards,” in *Microwaves, Antennas and Propagation, IEE Proceedings*, vol. 153, no. 2. IET, 2006, pp. 171–176.
- [30] K. Mabrouk, B. Huyart, and G. Neveux, “3-d aspect in the five-port technique for zero-if receivers and a new blind calibration method,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 6, pp. 1389–1396, 2008.
- [31] C. de la Morena-Álvarez Palencia and M. Burgos-García, “Four-octave six-port receiver and its calibration for broadband communications and software defined radios,” *Progress In Electromagnetics Research*, vol. 116, pp. 1–21, 2011.
- [32] J. Östh, A. Serban, Owais, M. Karlsson, S. Gong, J. Haartsen, and P. Karlsson, “Six-port gigabit demodulator,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 1, pp. 125–131, 2011.
- [33] J. Östh, Owais, M. Karlsson, A. Serban, and S. Gong, “Data and carrier interleaving in six-port receivers for increased data rate,” *Proceedings of 2010 IEEE International Conference on Ultra-Wideband (ICUWB2010)*, 2010.
- [34] C. de la Morena-Álvarez Palencia, K. Mabrouk, B. Huyart, A. Mbaye, and M. Burgos-García, “Direct baseband i-q regeneration method for five-port receivers improving dc-offset and second-order intermodulation distortion rejection,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 8, pp. 2634–2643, 2012.
- [35] T. Hentschel, “The six-port as a communications receiver,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 3, pp. 1039–1047, 2005.
- [36] Z. Lan and W. Bing, “Study on six-port demodulator with anti-parallel diode pair detection,” in *Information Technology and Applications, 2009. IFITA'09. International Forum on*, vol. 2. IEEE, 2009, pp. 294–298.
- [37] S. Winter, H. Ehm, A. Koelpin, and R. Weigel, “Analysis of system parameters of a six-port communications receiver with analog i/q regeneration,” in *Signals, Systems and Electronics, 2007. ISSSE'07. International Symposium on*. IEEE, 2007, pp. 375–378.

Bibliografía

- [38] H. K. A. Winter, SM. Ehm and R. Weigel, "Diode power detector dc operating point in six-port communications receivers," in *Microwave Conference, 2007. European.* IEEE, 2007, pp. 795–798.
- [39] S. O. Tatu, E. Moldovan, K. Wu, R. G. Bosisio, and T. A. Denidni, "Ka-band analog front-end for software-defined direct conversion receiver," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 9, pp. 2768–2776, 2005.
- [40] Y. Zhao, J.-F. Frigon, K. Wu, and R. G. Bosisio, "Multi(six)-port impulse radio for ultra-wideband," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 4, pp. 1707–1712, 2006.
- [41] F. Gatti, M. Bozzi, L. Perregrini, K. Wu, and R. G. Bosisio, "A new wide-band six-port junction based on substrate integrated coaxial line (sicl) technology," in *Proc. IEEE Mediterranean Electrotechnical Conf. MELECON 2006*, 2006, pp. 367–370.
- [42] S. Abielmona, H. V. Nguyen, C. Caloz, K. Wu, and R. G. Bosisio, "Compact multilayer ultra-wideband six-port device for modulation/demodulation," *Electronics Letters*, vol. 43, no. 15, pp. 813–814, 2007.
- [43] M. Nedil, T. A. Denidni, and H. Boutayeb, "Ultra-wideband cpw six-port circuits based on multilayer technology," *Electronics Letters*, vol. 43, no. 23, 2007.
- [44] M. Traii, M. Nedil, A. Gharsallah, and T. A. Denidni, "Design of a six-port junction based on single layer technology for uwb applications," in *Proc. 23rd Canadian Conf. Electrical and Computer Engineering (CCECE)*, 2010, pp. 1–4.
- [45] A. Moscoso-Mártir, I. Molina-Fernández, and A. Ortega-Moñux, "Signal constellation distortion and ber degradation due to hardware impairments in six-port receivers with analog i/q generation," *Progress In Electromagnetics Research*, vol. 121, pp. 225–247, 2011.
- [46] —, "Effects of hardware impairments in six-port homodyne receivers for communication systems," *Proceeding of the 25th Progress in Electromagnetic Research, Marrakesh (Morocco)*, Mar. 2011.
- [47] P. Reyes-Iglesias, I. Molina-Fernández, A. Moscoso-Mártir, and A. Ortega-Moñux, "High-performance monolithically integrated 120° downconverter with relaxed hardware constraints," *Optics Express*, vol. 20, no. 5, pp. 5725–5741, 2012.
- [48] —, "Receptor monolíticamente integrado de altas prestaciones basado en un acoplador a 120°," in *XXVII Simposium Nacional de la Unión Científica Internacional de Radio(Elche, España)*, URSI 2012.
- [49] A. Moscoso-Mártir, J. G. Wangüemert-Pérez, I. Molina-Fernández, and E. Márquez-Segura, "Slot-coupled multisection quadrature hybrid for uwb applications," *IEEE Microwave and Wireless Components Letters*, vol. 19, no. 3, pp. 143–145, 2009.

- [50] A. Moscoso-Mártir, I. Molina-Fernández, and A. Ortega-Moñux, “High performance multi-section corrugated slot-coupled directional coupler,” *Progress In Electromagnetics Research*, vol. 134, pp. 437–454, 2013.
- [51] A. Moscoso-Martir, I. Molina-Fernández, Acoplador Direccional Acoplado por Ranura y Procedimiento de Diseño de Dicho Acoplador, España Patent P201 001 553, 2010.
- [52] A. Moscoso-Mártir, J. G. Wangüemert-Pérez, I. Molina-Fernández, and E. Márquez-Segura, “Diseño de híbridos en cuadratura acoplados por ranura,” in *XXIII Simposium Nacional de la Unión Científica Internacional de Radio(Madrid, España), URSI 2008*, 2008.
- [53] B. López-Berrocal, J. de Oliva-Rubio, E. Márquez-Segura, A. Moscoso-Mártir, I. Molina-Fernández, and P. Uhlig, “High performance 1.8-18ghz 10-db low temperature co-fired ceramic directional coupler,” *Progress In Electromagnetics Research*, vol. 104, pp. 99–112, 2010.
- [54] B. López-Berrocal, J. de Oliva-Rubio, I. Molina-Fernández, E. Márquez-Segura, and A. Moscoso-Mártir, “Transición de altas prestaciones entre líneas superficiales y líneas enterradas en circuitos multicapa de microondas,” in *XXIV Simposium Nacional de la Unión Científica Internacional de Radio (Santander, España), URSI 2009*, 2009.
- [55] A. Moscoso-Mártir and I. Molina-Fernández, “Six-port junction with complete uwb band coverage in multilayer technology,” in *Microwave Conference (EuMC), 2011 41st European*. IEEE, 2011, pp. 655–658.
- [56] A. Moscoso-Mártir, I. Molina-Fernández, and J. M. Ávila Ruiz, “Ultra-wideband multilayer six-port junction with common phase error cancellation,” in *Microwave Conference (EuMC), 2012 42st European*, 2012.
- [57] —, “Arquitectura de seis puertos de ultra banda ancha con errores de fase autocompensados,” in *XXVII Simposium Nacional de la Unión Científica Internacional de Radio(Elche, España), URSI 2012.*, 2012.
- [58] J. M. Ávila Ruiz, I. Molina-Fernández, L. Moreno-Pozas, E. Durán-Valdeiglesias, A. Moscoso-Mártir, and J. de Oliva-Rubio, “Phase noise enhancement in microwave synthesizers by means of a frequency locked loop,” *IET Microwaves, Antennas and Propagation*, 2013 (submitted).
- [59] J. M. Ávila Ruiz, I. Molina-Fernández, E. Durán-Valdeiglesias, L. Moreno-Pozas, A. Moscoso-Mártir, and J. de Oliva-Rubio, “Bucle enganchado en frecuencia para reducción de ruido de fase en osciladores de microondas,” in *XXVII Simposium Nacional de la Unión Científica Internacional de Radio(Elche, España), URSI 2012.*
- [60] A. Moscoso-Mártir, J. Hong, and I. Molina-Fernández, “Varactor-tuned dual-mode frequency discriminator for instantaneous frequency measurements,” in *IEEE European Microwave Conference , Nuremberg, Germany, 2013* (submitted).

Bibliografía

- [61] C. Mohamed, M. K., S. Abouchakra, and B. Huyart, "Interference rejection in a five-port homodyne receiver," *Proceedings of the 9th European Conference on Wireless Technology*, Sep. 2006.
- [62] K. Mabrouk, F. de Sousa, B. Huyart, and B. Neveux, "Architectural solution for second-order intermodulation intercept point improvement in direct down-conversion receivers," *IET Microwaves, Antennas & Propagation*, vol. 4, pp. 1377–1386, 2010.
- [63] M. Mailand, R. Richter, and H. Jentschel, "Nonlinearity analysis of power detectors in direct conversion receivers utilizing six-port technology," in *Signals, Circuits and Systems, 2005. ISSCS 2005. International Symposium on*, vol. 1. IEEE, 2005, pp. 123–126.
- [64] M. McKinley, K. Remley, M. Myslinski, J. Kenney, D. Schreurs, and B. Nauwe-laers, "Evm calculation for broadband modulated signals," in *64th ARFTG Conf. Dig.*, 2004, pp. 45–52.
- [65] R. Shafik, S. Rahman, R. Islam, and N. Ashraf, "On the error vector magnitude as a performance metric and comparative analysis," in *Emerging Technologies, 2006. ICET'06. International Conference on*, 2006.
- [66] K. Haddadi, M. Wang, C. Loyez, D. Glay, and T. Lasri, "Four-port communication receiver with digital iq-regeneration," *IEEE Microwave and Wireless Components Letters*, vol. 20, no. 1, pp. 58–60, 2010.
- [67] H. Arslan and H. Mahmoud, "Error vector magnitude to snr conversion for nondata-aided receivers," *Wireless Communications, IEEE Transactions on*, vol. 8, no. 5, pp. 2694–2704, 2009.
- [68] I. Fatadin, S. Savory, and D. Ives, "Compensation of quadrature imbalance in an optical qpsk coherent receiver," *IEEE Photonics Technology Letters*, vol. 20, no. 20, pp. 1733–1735, 2008.
- [69] R. Shafik, S. Rahman, and A. Islam, "On the extended relationships among evm, ber and snr as performance metrics," in *Electrical and Computer Engineering, 2006. ICECE'06. International Conference on*, 2006.
- [70] R. Schmogrow, B. Nebendahl, M. Winter, A. Josten, D. Hillerkuss, S. Koenig, J. Meyer, M. Dreschmann, M. Huebner, C. Koos *et al.*, "Error vector magnitude as a performance measure for advanced modulation formats," *Photonics Technology Letters, IEEE*, no. 99, 2012.
- [71] J. Proakis, *Digital communications*. McGraw-hill, 1987, vol. 1221.
- [72] P. B. Carlson, A. B. and Crilly and J. C. Rutledge, *Communication Systems (4th edition)*. McGraw-Hill, 2002.
- [73] S. Park and D. Yoon, "An alternative expression for the symbol-error probability of mpsk in the presence of i/q unbalance," *Communications, IEEE Transactions on*, vol. 52, no. 12, pp. 2079–2081, 2004.

- [74] S. Park and S. Cho, "Probability of an arbitrary wedge-shaped region of the mpsk system in the presence of quadrature error," *Communications Letters, IEEE*, vol. 9, no. 3, pp. 196–197, 2005.
- [75] —, "Sep performance of coherent mpsk over fading channels in the presence of phase/quadrature error and iq gain mismatch," *Communications, IEEE Transactions on*, vol. 53, no. 7, pp. 1088–1091, 2005.
- [76] R. Bosisio, Y. Zhao, X. Xu, S. Abielmona, E. Moldovan, Y. Xu, M. Bozzi, S. Tatu, C. Nerguizian, J. Frigon *et al.*, "New-wave radio," *Microwave Magazine, IEEE*, vol. 9, no. 1, pp. 89–100, 2008.
- [77] S. Tatu, E. Moldovan, S. Affes, B. Boukari, K. Wu, and R. Bosisio, "Six-port interferometric technique for accurate w-band phase-noise measurements," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 56, no. 6, pp. 1372–1379, 2008.
- [78] P. Jeruchim, M. C. Balaban and K. Shanmugan, *Simulation of Communication Systems Modelling Methodology and Techniques*. Kluwer Academic Plenum Publishers, 2000.
- [79] S. B. Cohn and R. Levy, "History of microwave passive components with particular attention to directional couplers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 32, no. 9, pp. 1046–1054, 1984.
- [80] W. W. Mumford, "Directional couplers," *Proceedings of the IRE*, vol. 35, pp. 160–165, Feb. 1947.
- [81] H. J. Riblet, "The short-slot hybrid junction," *Proceedings of the IRE*, vol. 40, pp. 180–184, Feb. 1952.
- [82] B. M. Oliver, "Directional electromagnetic couplers," *Proceedings of the IRE*, vol. 42, pp. 1686–1692, Nov. 1954.
- [83] E. G. Cristal and L. Young, "Theory and tables of optimum symmetrical tem-mode coupled-transmission-line directional couplers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 13, no. 5, pp. 544–558, 1965.
- [84] *Rogers Corporation, RO4000 Series high frequency circuit materials, Data Sheet*, (<http://www.rogerscorporation.com/>).
- [85] A. Sawicki and K. Sachse, "Novel coupled-line conductor-backed coplanar and microstrip directional couplers for pcb and ltcc applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 6, pp. 1743–1751, 2003.
- [86] D. Thompson, "Characterization and design of liquid crystal polymer (lcp) based multilayer rf components and packages," Master's thesis, School of Electrical and Computer Engineering, Georgia Institute of Technology, 2006.

Bibliografía

- [87] F. J. Schmuckle, A. Jentsch, W. Heinrich, J. Butz, and M. Spinnler, "Ltcc as mcm substrate: design of strip-line structures and flip-chip interconnects," in *Proc. IEEE MTT-S Int. Microwave Symp. Digest*, vol. 3, 2001, pp. 1903–1906.
- [88] R. Valois, D. Baillargeat, S. Verdeyme, M. Lahti, and T. Jaakola, "High performances of shielded ltcc vertical transitions from dc up to 50 ghz," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 6, pp. 2026–2032, 2005.
- [89] J. Yu, B. Tan, and S. Chew, "Ltcc broadband deep embedded interconnects (dei) with application for embedded bandpass filter," *Microwave and Optical Technology Letters*, vol. 38, no. 3, pp. 179–181, 2003.
- [90] S. Lei, Y. X. Guo, and L. C. Ong, "Cpw to stripline transitions in ltcc for millimeter-wave applications," in *Proc. Asia-Pacific Microwave Proceedings APMC 2005*, vol. 2, 2005.
- [91] T. Kangasvieri, J. Halme, J. Vahakangas, and M. Lahti, "Ultra-wideband shielded vertical via transitions from dc up to the v-band," in *Proc. 1st European Microwave Integrated Circuits Conf*, 2006, pp. 476–479.
- [92] F. P. Casares-Miranda, C. Viereck, C. Camacho-Penalosa, and C. Caloz, "Vertical microstrip transition for multilayer microwave circuits with decoupled passive and active layers," *IEEE Microwave and Wireless Components Letters*, vol. 16, no. 7, pp. 401–403, 2006.
- [93] B. López-Berrocal, E. Márquez-Segura, I. Molina-Fernández, and J. C. González-Delgado, "A high quality vertical transition between gcpw and smcpw lines in multilayer technology," in *Proc. 41st European Microwave Conf. (EuMC)*, 2011, pp. 424–427.
- [94] B. López-Berrocal, E. Márquez-Segura, I. Molina-Fernández, and J. González-Delgado, "A circuit model for vertical multilayer transitions in coplanar waveguide technology," *Progress In Electromagnetics Research B*, vol. 41, pp. 51–76, 2012.
- [95] R. Levy, "Tables for asymmetric multi-element coupled-transmission-line directional couplers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 12, no. 3, pp. 275–279, 1964.
- [96] S. B. Cohn, "Characteristic impedances of broadside-coupled strip transmission lines," *IRE Transactions on Microwave Theory and Techniques*, vol. 8, no. 6, pp. 633–637, 1960.
- [97] J. P. Shelton, "Impedances of offset parallel-coupled strip transmission lines," *IEEE Transactions on Microwave Theory and Techniques*, vol. 14, no. 1, pp. 7–15, 1966.
- [98] M. M. Fahmi, J. A. Ruiz-Cruz, K. A. Zaki, and A. J. Piloto, "Multilayer multi-section broadband ltcc stripline directional couplers," in *Proc. IEEE/MTT-S Int. Microwave Symp*, 2007.

- [99] S. Gruszczynski and K. Wincza, "Broadband multisection asymmetric 8.34-db directional coupler with improved directivity," in *Proc. Asia-Pacific Microwave Conf. APMC 2007*, 2007, pp. 1–4.
- [100] J. Mahelber, *Microwave transmission line couplers*. Norwood MA., Artech House, 1988.
- [101] S. Gruszczynski, K. Wincza, and K. Sachse, "Design of compensated coupled-stripline 3-db directional couplers, phase shifters, and magic-t's—part ii: Broadband coupled-line circuits," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 9, pp. 3501–3507, 2006.
- [102] —, "Design of compensated coupled-stripline 3-db directional couplers, phase shifters, and magic-t's—part i: Single-section coupled-line circuits," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 11, pp. 3986–3994, 2006.
- [103] J. Lange, "Interdigitated stripline quadrature hybrid (correspondence)," *IEEE Transactions on Microwave Theory and Techniques*, vol. 17, no. 12, pp. 1150–1151, 1969.
- [104] R. M. Osmani, "Synthesis of lange couplers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 29, no. 2, pp. 168–170, 1981.
- [105] J.-H. Cho, H.-Y. Hwang, and S.-W. Yun, "A design of wideband 3-db coupler with n-section microstrip tandem structure," *IEEE Microwave and Wireless Components Letters*, vol. 15, no. 2, pp. 113–115, 2005.
- [106] T. Tanaka, K. Tsunoda, and M. Aikawa, "Slot-coupled directional couplers between double-sided substrate microstrip lines and their applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 36, no. 12, pp. 1752–1757, 1988.
- [107] A. M. Abbosh and M. E. Bialkowski, "Design of compact directional couplers for uwb applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 2, pp. 189–194, 2007.
- [108] A. M. Abbosh and M. Bialkowski, "Design of ultra wideband 3db quadrature microstrip/slot coupler," *Microwave and Optical Technology Letters*, vol. 49, no. 9, pp. 2101–2103, 2007.
- [109] M. Nedil and T. A. Denidni, "Quasi-static analysis of a new wide band directional coupler using cpw multilayer technology," in *Proc. IEEE MTT-S Int. Microwave Symp. Digest*, 2006, pp. 1133–1136.
- [110] C. Lim and S. Uysal, "Design of a broadband directional coupler using microstrip-like multilayer technology," *Microwave and Optical Technology Letters*, vol. 23, Dic. 1999.

Bibliografía

- [111] M. Nakajima, E. Yamashita, and M. Asa, "New broad-band 5-section microstrip-line directional coupler," in *Proc. IEEE MTT-S Int. Microwave Symp. Digest*, 1990, pp. 383–386.
- [112] A. Abbosh, "Broadband quadrature coupler with slotted ground plane," *Microwave and Optical Technology Letters*, vol. 50, no. 2, pp. 328–331, 2008.
- [113] H.-C. Chen and C.-Y. Chang, "Modified vertically installed planar couplers for ultrabroadband multisection quadrature hybrid," *IEEE Microwave and Wireless Components Letters*, vol. 16, no. 8, pp. 446–448, 2006.
- [114] D. K. Y. Lau, S. P. Marsh, L. E. Davis, and R. Sloan, "Simplified design technique for high-performance microstrip multisection couplers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 46, no. 12, pp. 2507–2513, 1998.
- [115] S. Uysal and H. Aghvami, "Synthesis, design, and construction of ultra-wide-band nonuniform quadrature directional couplers in inhomogeneous media," *IEEE Transactions on Microwave Theory and Techniques*, vol. 37, no. 6, pp. 969–976, 1989.
- [116] S. Uysal, *Nonuniform Line Microstrip Directional Couplers and Filters*. Artech House, 1993.
- [117] B. Sheleg and B. Spielman, "Broad-band directional couplers using microstrip with dielectric overlays," *IEEE Transactions on Microwave Theory and Techniques*, vol. 22, no. 12, pp. 1216–1220, 1974.
- [118] A. M. Pelaez-Pérez, P. Almorox-González, J. I. Alonso, and J. González-Martín, "Ultra-broadband directional couplers using microstrip with dielectric overlay in millimeter-wave band," *Progress In Electromagnetics Research*, vol. 117, pp. 495–509, 2011.
- [119] M. Dydyk, "Microstrip directional couplers with ideal performance via single-element compensation," vol. 47, no. 6, pp. 956–964, 1999.
- [120] M. Chongcheawchamnan, V. Chamnanphrai, and R. Phromloungsri, "Wide-band multi-section quadrupled inductive-compensated parallel-coupled lines," in *Proc. Asia-Pacific Microwave Conf. APMC 2006*, 2006, pp. 678–681.
- [121] C.-S. Kim, S.-W. Lee, P.-Y. Lee, H.-S. Kim, J.-S. Park, and D. Ahn, "Design of re-entrant mode microstrip directional coupler for high directivity performance," in *Proc. Asia-Pacific Microwave Conf*, 2000, pp. 1286–1289.
- [122] Y.-H. Chun, J.-S. Hong, J.-Y. Moon, and S.-W. Yun, "High directivity directional coupler using metamaterial," *Microwave Conference, 2006. 36th European*, Sep. 2006.
- [123] M. Khalaj-Amirhosseini, "Analysis of coupled or single nonuniform transmission lines using step-by-step numerical integration," *Progress In Electromagnetics Research*, vol. 58, pp. 187–198, 2006.

- [124] F.-R. Yang, R. Coccioli, Y. Qian, and T. Itoh, "Analysis and application of coupled microstrips on periodically patterned ground plane," in *Proc. Microwave Symp. Digest. 2000 IEEE MTT-S Int*, vol. 3, 2000, pp. 1529–1532.
- [125] R. Y. Sharma, T. Chakravarty, S. Bhooshan, and B. A. Bhattacharyya, "Design of a novel 3db microstrip backward wave coupler using defected ground structure," *Progress In Electromagnetics Research*, vol. 65, pp. 261–273, 2006.
- [126] J.-L. Chen, S.-F. Chang, Y.-H. Jeng, and C.-Y. Lin, "Wiggly technique for broadband non-uniform line couplers," *Electronics Letters*, vol. 39, no. 20, pp. 1451–1453, 2003.
- [127] A. Podell, "A high directivity microstrip coupler technique," in *Proc. G-MTT 1970 Int. Microwave Symp*, 1970, pp. 33–36.
- [128] J. Mueller and A. F. Jacob, "Advanced characterization and design of compensated high directivity quadrature coupler," in *Proc. IEEE MTT-S Int. Microwave Symp. Digest (MTT)*, 2010.
- [129] D. Pozar, *Microwave Engineering*. Wiley, 2005.
- [130] T. Edwards, *Foundations for microstrip circuit design*. Wiley Chichester etc., 1981.
- [131] E. Yamashita, M. Nakajima, and K. Atsuki, "Analysis method for generalized suspended striplines," *IEEE Transactions on Microwave Theory and Techniques*, vol. 34, no. 12, pp. 1457–1463, 1986.
- [132] M.-F. Wong, V. F. Hanna, O. Picon, and H. Baudrand, "Analysis and design of slot-coupled directional couplers between double-sided substrate microstrip lines," *IEEE Transactions on Microwave Theory and Techniques*, vol. 39, no. 12, pp. 2123–2129, 1991.
- [133] W. Hilberg, "From approximations to exact relations for characteristic impedances," *IEEE Transactions on Microwave Theory and Techniques*, vol. 17, no. 5, pp. 259–265, 1969.
- [134] D. E. Bockelman and W. R. Eisenstadt, "Combined differential and common-mode scattering parameters: theory and simulation," *IEEE Transactions on Microwave Theory and Techniques*, vol. 43, no. 7, pp. 1530–1539, 1995.
- [135] W. Fan, A. Lu, L. L. Wai, and B. K. Lok, "Mixed-mode s-parameter characterization of differential structures," in *Proc. 5th Conf Electronics Packaging Technology (EPTC 2003)*, 2003, pp. 533–537.
- [136] P. B. R. Monghia, I. Bahl, *RF and Microwave Coupled-Line Circuits*. Artech House, 1999.
- [137] C. Reig, E. Navarro, and V. Such, "Calculation of the characteristic impedance of microstrips using a full-wave 2-d fdtd scheme," *Microwave and Optical Technology Letters*, vol. 16, no. 1, pp. 58–60, 1997.

Bibliografía

- [138] J.-S. Hong and M. J. Lancaster, *Microstrip Filters for RF/Microwave Applications*. John Wiley & Sons, Inc., 2001.
- [139] R. E. Collin, *Foundations for Microwave Engineering*. McGraw-Hill, 1992.
- [140] *End Launch Connectors Super SMA (27 GHz), 2.92mm (40 GHz), or 2.40mm (50 GHz) datasheet*, Southwest Microwave Inc., 9055 South McKemy Street - Tempe, Arizona USA.
- [141] P. Pérez-Lara, I. Molina-Fernández, J. G. Wangüemert-Pérez, A. González-Salguero, and J. A. Medina-Rodríguez, "Novel wideband six-port receiver structure," in *Proceedings of the 37th European Microwave Conference*, Oct. 2007.
- [142] M. Nedil and T. A. Denidni, "Analysis and design of an ultra wideband directional coupler," *Progress In Electromagnetics Research B*, vol. 1, pp. 291–305, 2008.
- [143] B. M. Schiffman, "A new class of broad-band microwave 90-degree phase shifters," *IRE Transactions on Microwave Theory and Techniques*, vol. 6, no. 2, pp. 232–237, 1958.
- [144] Y.-X. Guo, Z.-Y. Zhang, and L. C. Ong, "Improved wide-band schiffman phase shifter," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 3, pp. 1196–1200, 2006.
- [145] B. M. Schiffman, "Multisection microwave phase-shift network (correspondence)," *IEEE Transactions on Microwave Theory and Techniques*, vol. 14, no. 4, 1966.
- [146] J. P. Shelton and J. A. Mosko, "Synthesis and design of wide-band equal-ripple tem directional couplers and fixed phase shifters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 14, no. 10, pp. 462–473, 1966.
- [147] C. P. Tresselt, "Broadband tapered-line phase shift networks (correspondence)," *IEEE Transactions on Microwave Theory and Techniques*, vol. 16, no. 1, pp. 51–52, 1968.
- [148] J. Taylor and D. Prigel, "Wiggly phase shifters and directional couplers for radio-frequency hybrid-microcircuit applications," *IEEE Transactions on Parts, Hybrids, and Packaging*, vol. 12, no. 4, pp. 317–323, 1976.
- [149] A. M. Abbosh, "Ultra-wideband phase shifters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 9, pp. 1935–1941, 2007.
- [150] Y. Wang, M. E. Bialkowski, and A. M. Abbosh, "Double microstrip-slot transitions for broadband 90 degrees microstrip phase shifters," *IEEE Microwave and Wireless Components Letters*, vol. 22, no. 2, pp. 58–60, 2012.
- [151] A. Moscoso-Mártir, "Diseño de una arquitectura de seis puertos en tecnología planar para recepción i-q analógica," Master's thesis, ETSIT Universidad de Málaga, 2008.

- [152] Y. Wang, M. E. Bialkowski, and A. M. Abbosh, "Double microstrip-slot transitions for broadband 90° microstrip phase shifters," *IEEE Microwave and Wireless Components Letters*, vol. 22, no. 2, pp. 58–60, 2012.
- [153] R. L. Michal Sorn and J. Mazur, "Simulation and experiment of a compact wideband 90° differential phase shifter," *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 3, pp. 494–501, 2012.
- [154] M. Nedil, T. A. Denidni, and L. Talbi, "Novel butler matrix using cpw multilayer technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 1, pp. 499–507, 2006.
- [155] J. Butler, "Beam-forming matrix simplifies design of electronically scanned antennas," *Electron. Des.*, vol. 9, no. 8, pp. 170–173, 1961.
- [156] G. Tudosie, H. Barth, and R. Vahldieck, "A compact ltcc butler matrix realization for phased array applications," in *Proc. IEEE MTT-S Int. Microwave Symp. Digest*, 2006, pp. 441–444.
- [157] J. He, B. Wang, Q. He, Y. Xing, and Z. Yin, "Wideband x-band microstrip butler matrix," *Progress In Electromagnetics Research*, vol. 74, pp. 131–140, 2007.
- [158] S. Gruszczynski and K. Wincza, "Broadband 4x4 butler matrices as a connection of symmetrical multisection coupled-line 3-db directional couplers and phase correction networks," *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, no. 1, pp. 1–9, 2009.
- [159] K. Wincza, S. Gruszczynski, and K. Sachse, "Ultrabroadband 4x4 butler matrix with the use of multisection coupled-line directional couplers and phase shifters," in *Proc. Microwaves, Radar and Remote Sensing Symp. (MRRS)*, 2011, pp. 118–122.
- [160] M. Nedil, T. Denidni, A. Djaiz, and M. Habib, "A new ultra-wideband beamforming for wireless communications in underground mines," *Progress In Electromagnetics Research*, vol. 4, pp. 1–21, 2008.
- [161] M. E. Bialkowski, F.-C. E. Tsai, Y.-C. Su, and K.-H. Cheng, "Design of fully integrated 4x4 and 8x8 butler matrices in microstrip/slot technology for ultra wideband smart antennas," in *Proc. IEEE Antennas and Propagation Society Int. Symp. AP-S 2008*, 2008, pp. 1–4.
- [162] S. Z. Ibrahim and M. E. Bialkowski, "Wideband butler matrix in microstrip-slot technology," in *Proc. Asia Pacific Microwave Conf. APMC 2009*, 2009, pp. 2104–2107.
- [163] E. Andersen and E. Herleikson, "Rf signal generator single-loop frequency synthesis phase noise reduction, and frequency modulation," *Hewlett Packard Journal*, vol. 1, pp. 27–33, 1989.
- [164] J. Gustrao, F. Fiechtner, and M. Hoffmann, "Vco linearization by frequency feedback," in *IEEE Symposium on Radio Frequency Integrated Circuits*, 1998.

Bibliografía

- [165] E. Ayranci, K. Christensen, and P. Andreani, "Enhancement of vco linearity and phase noise by implementing frequency locked loop," *The International Conference on Computer as a Tool, Septiembre, 2007*.
- [166] J. G. Hartnett, M. E. Tobar, and E. N. Ivanov, "Novel interferometric frequency discriminators for low noise microwave applications," vol. 48, no. 3, pp. 743–749, 2001.
- [167] E. Y. Yuksel, T. Nagode, and T. T. Y. Wong, "Temperature-compensated frequency discriminator based on dielectric resonator," *IEE Proceedings Microwaves, Antennas and Propagation*, vol. 151, no. 3, pp. 221–226, 2004.
- [168] "Voltage Controlled Oscillator HMC587LC4B datasheet," *HITTITE Microwave Corporation, Chelmsford, MA. [Online] Available: <http://www.hittite.com>*.
- [169] E. J. Wilkinson, "An n-way hybrid power divider," *IRE Transactions on Microwave Theory and Techniques*, vol. 8, no. 1, pp. 116–118, 1960.
- [170] S. B. Cohn, "Optimum design of stepped transmission-line transformers," *IRE Transactions on Microwave Theory and Techniques*, vol. 3, no. 3, pp. 16–20, 1955.
- [171] L. Young, "Tables for cascaded homogeneous quarter-wave transformers," *IRE Transactions on Microwave Theory and Techniques*, vol. 7, no. 2, pp. 233–237, 1959.
- [172] —, "Tables for cascaded homogeneous quarter-wave transformers (correction)," *IRE Transactions on Microwave Theory and Techniques*, vol. 8, no. 2, pp. 243–244, 1960.
- [173] S. B. Cohn, "A class of broadband three-port tem-mode hybrids," vol. 19, no. 2, pp. 110–116, 1971.
- [174] M. E. Bialkowski and A. M. Abbosh, "Design of a compact uwb out-of-phase power divider," *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 4, pp. 289–291, 2007.
- [175] A. M. Abbosh, "A compact uwb three-way power divider," vol. 17, no. 8, pp. 598–600, 2007.
- [176] —, "Design of ultra-wideband three-way arbitrary power dividers," vol. 56, no. 1, pp. 194–201, 2008.
- [177] —, "Three-way parallel-coupled microstrip power divider with ultrawideband performance and equal-power outputs," vol. 21, no. 12, pp. 649–651, 2011.
- [178] *NuDAQ PCI-9812 20MHz Simultaneous 4-CH Analog Input Card User Manual*.
- [179] *HSCH-9161 Zero Bias Beamlead Detector Diode Data Sheet, Avago Technologies*.
- [180] *OPA656 Wideband, Unity-Gain Stable, Fet-Input Operational Amplifier Datasheet, Texas instrument*.

- [181] *OPA657 1.6GHz, Low-Noise, Fet-Input Operational Amplifier Datasheet, Texas instrument.*
- [182] *High Performance GPIB Interfaces for PCI and PXI, National Instruments, 2006.*
- [183] *Agilent Technologies N5182A MXG Signal Generators User Guide.*
- [184] *Agilent Technologies 8360B Series Swept Signal Generator User Guide.*
- [185] G. F. Engen and C. A. Hoer, "Thru-reflect-line: An improved technique for calibrating the dual six-port automatic network analyzer," *IEEE Transactions on Microwave Theory and Techniques*, vol. 27, no. 12, pp. 987–993, 1979.
- [186] Y.-H. Chun and J.-S. Hong, "Design of a compact broadband branch-line hybrid," *Microwave Symposium Digest, 2005 IEEE MTT-S International*, 2005.
- [187] —, "Compact wide-band branch-line hybrids," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 2, pp. 704–709, 2006.